
내장형 펌핑 커패시터를 사용한 TFT-LCD 구동 IC 용 전하펌프 설계

임규호*·송성영*·박정훈*·이용진*·이천효*·이태영*·조규삼*·
박무훈*·하판봉*·김영희*

A Charge Pump Design with Internal Pumping Capacitor for TFT-LCD Driver IC

Gyu-Ho Lim* · Sung-Young Song* · Jeong-Hun Park* · Long-Zhen Li* · Cheon-Hyo Lee* · Tae-Yeong Lee* ·
Gyu-Sam Cho* · Mu-Hun Park* · Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 TFT-LCD 구동 IC 모듈의 소형화 측면에서 유리한 DC-DC 변환기 회로인 펌핑 커패시터 내장형 크로스-커플드 전하펌프(Cross-Coupled Charge Pump with Internal Pumping Capacitor) 회로가 새롭게 제안되었다. VGH 및 VGL 전하펌프 각각의 입력단과 전하 펌핑 노드를 연결하는 NMOS 및 PMOS 다이오드를 두어, 초기 동작 시 전하 펌핑 노드를 서로 같은 값으로 프리차지하여 대칭적으로 전하 펌핑을 하도록 하였다. 그리고 첫 번째 전하 펌프의 구조를 다르게 설계하여 펌핑된 전하가 입력단으로 역류되는 현상을 방지하였다. 또한, 펌핑 클럭 구동 드라이버의 위치를 펌핑 커패시터 바로 앞에 두어 기생 저항으로 인한 펌핑 클럭 라인의 전압강하를 방지하여 구동능력을 향상 시켰다. 마지막으로 내장형 펌핑 커패시터를 Stack-MIM 커패시터를 사용하여 기존의 크로스-커플드 전하펌프 보다 레이아웃 면적을 최소화하였다. 제안된 TFT-LCD 구동 IC 용 전하펌프 회로를 0.13 μ m Triple-Well DDI 공정을 사용하여 설계하고, 테스트 칩을 제작하여 검증하였다.

ABSTRACT

A cross-coupled charge pump with internal pumping capacitor, which has advantages from a point of minimizing TFT-LCD driver IC module, is newly proposed in this paper. By using a NMOS and a PMOS diode connected to boosting node from VIN node, the pumping node is precharged to the same value each pumping node at start pumping operation. Since the first-stage charge pump is designed differently from the other stage pumps, a back current of pumped charge from charge pumping node to input stage is prevented. As a pumping clock driver is located the front side of pumping capacitor, the driving capacity is improved by reducing a voltage drop of the pumping clock line from parasitic resistor. Finally, a layout area is decreased more compared with conventional cross-coupled charge pump by using a stack-MIM capacitors. A proposed charge pump for TFT-LCD driver IC is designed with 0.13 μ m triple-well DDI process, fabricated, and tested.

키워드

Charge Pump, Pumping Capacitor, Stack-MIM, Clock Driver, TFT-LCD

1. 서 론

휴대폰 단말기, 디지털 카메라(DSC), 휴대용 모바일 기기 등에 사용되는 소형 디스플레이 장치는 소형화와 경량화를 통해 제품 경쟁력을 높여야 하는 분야이다. 특히 휴대폰 단말기나 MP3 재생기의 경우 그 크기나 두께가 현저히 작아지고 있는 상황이어서 소형화 및 저가격을 이룰 수 있는 SoC(System on a Chip) 기술개발은 경쟁이 아주 치열한 상태다. 현재 소형 디스플레이 장치로 QQVGA(128RGB×160) 급의 TFT-LCD(Thin Film Transistor-Liquid Crystal Display)가 주로 사용되고 있다.

TFT-LCD 패널을 구동하기 위한 전압은 표 1과 같이 입력 전원전압(VCI)보다 높은 양(Positive)의 고전압(Positive High Voltage)인 DDVDH, VGH 전압, 그리고 그라운드(GND) 전압보다 낮은 음전압인 VGL과 같이 부스트된 전압(Boosted Voltage)을 필요로 한다[1]. DDVDH는 TFT-LCD 픽셀의 Source Line 구동 전압으로 사용되고, VGH와 VGL은 Gate Line 구동 전압으로 사용된다[1].

표 1. TFT-LCD 패널에 사용되는 구동 전압
Table 1. A driving voltage for TFT-LCD panel.

구분	용도
DDVDH	Source Line Power
VGH	Gate Line High Voltage
VGL	Gate Line Low Voltage

TFT-LCD 구동 IC(Integrated Circuit)에서 Gate Line과 Source Line 구동에 필요한 전압을 공급하는 DC-DC 변환기로는 인덕터를 사용하는 PWM(Pulse Width Modulation)방식과 스위치-커패시터(Switched-Capacitor)에 의한 전하 펌프(Charge Pump) 방식으로 구현할 수 있으며, 스위치-커패시터에 의한 전하 펌프 방식은 구동 IC 모듈의 소형화 등에 장점을 가지고 있다. 한편 스위치-커패시터에 의한 전하 펌프 방식에서 외장형 펌핑 커패시터(External Pumping Capacitor)를 사용하는 경우는 펌핑 단(Pumping Stage)마다 외부에 펌핑 커패시터와 전하 저장 커패시터(Charge Reservoir Capacitor)를 사용해야 하므로 TFT-LCD 모듈의 소형화에 어려움이 있다[2]. 그래서 최근에는 내장형 펌핑 커패시터(Internal Pumping Capacitor)를 사용한 전하 펌프 방식이 연구되고 있다.

내장형 펌핑 커패시터를 사용한 전하 펌프에는 그림 1

과 같은 크로스-커플드(Cross-Coupled) 전하 펌프 회로가 주로 사용되어진다[3]. 그림 1에서와 같이 PMOS 크로스-커플드 전하 전달 스위치(Charge Transfer Switch)인 MP1, MP2를 사용하여 전하 전달시 문턱전압 손실(Threshold Voltage Loss)을 제거하였지만, MP1 및 MP2에 기생하는 PNP BJT가 존재하고, 이 BJT가 부스트랩(Bootstrap) 노드의 전하 펌핑으로 인해 활성 영역(Active Region)에 있으므로 펌핑된 전하가 기관으로 빠져나가는 charge loss 문제가 생긴다[3]. 그리고 고전압을 위해 펌핑 단의 수를 증가 시킬 때마다 MN1 및 MN2의 몸체 효과(Body Effect)로 인해 V_{TH} 가 증가하여 펌핑 전류가 떨어진다.

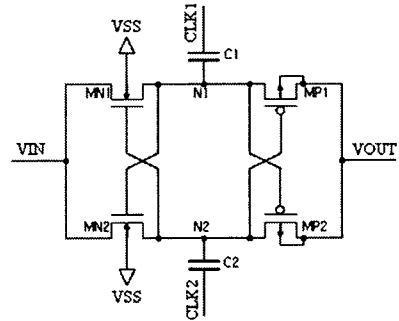


그림 1. 크로스-커플드 전하 펌프 회로도
Fig. 1. A cross-coupled charge pump circuit.

그래서 그림 2에서 보는바와 같이 크로스-커플드 NMOS 전하 전달 스위치(MN1과 MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1과 MP2), Bulk -Potential Biasing 회로(MN3, MN4, MN5, MN6, MP3, MP4, MP5와 MP6)와 전하 펌핑 커패시터(C1과 C2)로 구성된 2-위상 크로스-커플드 전하 펌프(2-Phase Cross-Coupled Charge Pump) 회로가 제안되었다[4]. PMOS Bulk-Potential Biasing 회로를 사용하여 출력 단의 PMOS 크로스-커플드 전하 전달 스위치의 바디 전압(Body Voltage)을 부스트랩 노드와 출력단의 전압 중에서 높은 전압을 가지게 하여 charge loss문제를 해결하고, NMOS Bulk -Potential Biasing 회로를 사용하여 입력단의 크로스-커플드 전하 전달 스위치의 바디 전압을 입력단과 부스트랩 노드의 전압 중에서 낮은 전압에 전기적으로 연결하므로 몸체 효과에 따른 문턱전압의 증가를 방지하고 있다.

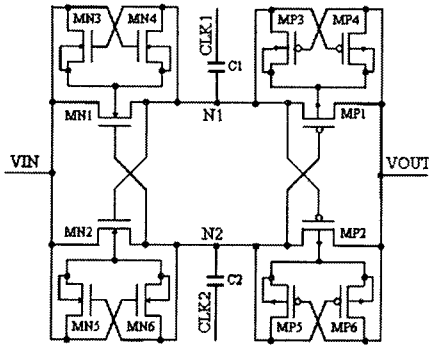


그림 2. 기존의 2-위상 크로스-커플드 전하펌프 회로도
 Fig. 2. A conventional 2-phase cross-coupled charge pump circuit.

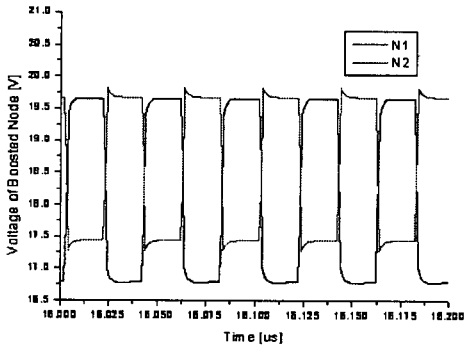


그림 3. 기존 전하펌프의 비대칭적인 펌핑 노드 전압 파형
 Fig. 3. Asymmetrical pumping node voltage swing of a conventional charge pump.

그런데 그림 3의 결과와 같이 기존의 2-위상 크로스-커플드 전하펌프 회로의 경우, 초기 동작 시 부스트랩 노드 N1 및 N2 노드가 안정적인 값을 가지지 못하여 비대칭적으로 펌핑 동작을 수행하고, 이로 인해 펌핑 효율이 떨어진다. 그리고 대기모드(Stand-by Mode) 진입시 부스트랩 노드 N1과 N2의 펌핑 전하가 제대로 방전하지 못하고 고전압을 유지하게 되어 소자의 신뢰도에 문제가 있다. 또한 최대 펌핑 전압은 (펌핑 단수+1)×VDD 이므로 고전압을 만들기 위해 펌핑 단을 늘릴수록 레이아웃 면적(Layout Area)이 비례하여 증가한다.

본 논문에서는 입력단 VIN과 부스트랩 노드인 N1, N2에 NMOS 다이오드를 추가하여 초기 동작 시 N1, N2 노드가 (VIN-V_{TH}) 전압으로 프리차지 하도록 하여 전하

펌핑시 부스트랩 노드가 서로 대칭적으로 동작하도록 하였다. 마찬가지로 출력 단 VOUT과 부스트랩 노드 N1, N2에 PMOS 다이오드를 두어 대기모드(Stand-by Mode) 진입 시 부스트랩 노드가 VOUT 노드보다 |V_{TH}| 이상 높아질 경우 PMOS 다이오드를 통해 VOUT 노드로 방전하도록 하여 각 트랜지스터에 높은 전압이 걸리지 않도록 함으로써 소자의 신뢰성을 확보하였다. 그리고 펌핑 클럭 구동 드라이버를 각 펌핑 단마다 두어 펌핑 클럭 라인의 기생 저항(Parasitic Resistor)으로 인한 전압강하를 방지하여 전하펌프의 펌핑 능력을 높였다. 또한 내장형 펌핑 커패시터인 C1과 C2를 기존의 MIM(Metal-Insulator-Metal) 커패시터보다 용량이 2배 이상 커진 Stack-MIM 커패시터를 사용하여 전하펌프의 레이아웃 면적을 줄였다.

II. 회로 설계

제안된 TFT-LCD 구동 IC 용 DC-DC 변환기의 입력 공급전압, 출력전압, 구동전류, 리플 전압의 주요 설계 사양은 표 2와 같으며, 0.13 μ m Triple-Well DDI 공정 기술을 사용하여 설계하였다.

표 2. TFT-LCD 구동 IC 용 DC-DC 변환기 설계 사양

Table 2. A design specifications of a DC-DC converter for a TFT-LCD driver IC.

구분		주요 설계 사양
공급 전압	VCI	2.5V ~ 3.3V
	VGH	11V ~ 16.5V
출력 전압	VGL	-8.25V ~ -13.75V
	VGH	200 μ A
구동 전류	VGL	200 μ A

그림 4는 제안된 VGH 발생기(Generator)의 블럭도를 보여준다. VGH 발생기는 VGH 레벨 감지기(Level Detector), 링 발진기(Ring Oscillator), 컨트롤 클럭 발생 회로(Control Logic), 프리차지(Pre-charge) 회로 및 7 단의 전하펌프로 구성되어 있으며, 피드백 구조(Feedback Mechanism)를 사용하여 VGH 전압이 목표전압을 유지하도록 한다. VGH 전압이 목표 전압보다 작을 때 VGH 레벨 감지기의 출력 신호인 OSC_ENb는 0V이고 링 발진

기는 발진(Oscillation)을 계속하여 외장 커패시터인 $1\mu\text{F}$ 의 전하 저장 커패시터로 전하 펌핑을 계속한다. 그래서 VGH 전압은 목표 전압을 향하여 양의 방향으로 증가한다. VGH 전압이 목표 전압을 능가하면 OSC_ENb는 VCI가 되고 링 발진기는 발진을 멈추어 더 이상의 전하 펌핑은 일어나지 않는다.

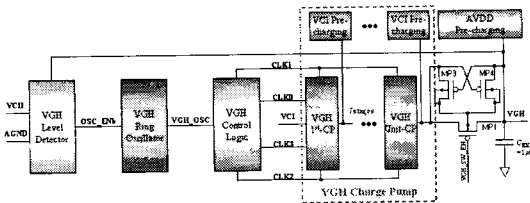
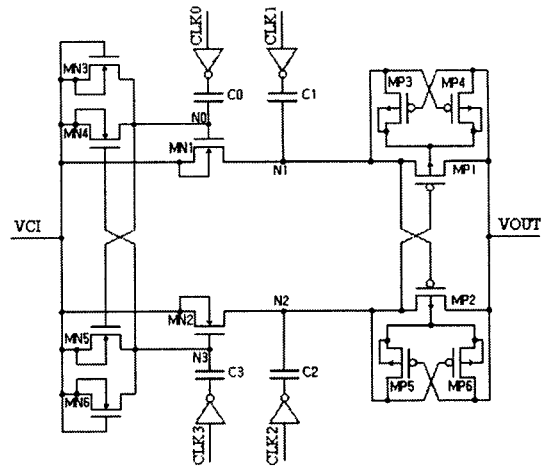


그림 4. 새롭게 제안된 VGH 발생기의 블록도
Fig. 4. A block diagram of newly proposed VGH generator.

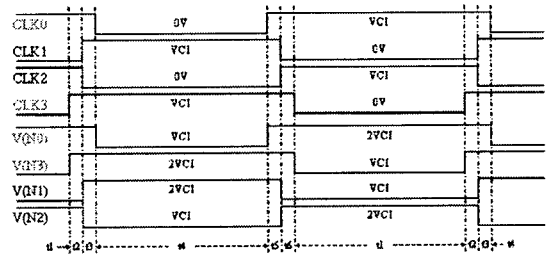
그림 4의 VGH 전하펌프 회로는 7개의 전하펌프와 프리차지 회로(Precharge Circuit)로 구성되어 있다. VGH 전하펌프 회로는 입력전압으로 VCI가 들어오고 출력전압은 VGH이다. 첫 번째(1st-stage) 전하펌프는 VCI 전압 레벨로 스위칭 하는 비중첩 펌핑 클럭인 CLK0, CLK1, CLK2, CLK3의 클럭킹(Clocking)에 의한 전하 펌핑으로 최대 출력 전압은 2VCI이다. 그리고 나머지 6개의 단위 전하펌프(Unit Charge Pump)스위칭 하는 CLK1과 CLK2의 클럭킹에 의해 각 펌프 단마다 VCI씩 부스팅되며, VGH는 최대 8VCI 전압까지 부스팅할 수 있다.

그림 5(a)는 제안된 1st-stage VGH 전하펌프 회로도를 보여준다. VGH 1st-stage 전하펌프 회로는 2개의 프리차지 제어 회로(MN3, MN4, MN5, MN6), NMOS 전하 전달 스위치(MN1, MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1, MP2), Bulk-Potential Biasing 회로(MP3, MP4, MP5, MP6)와 MIM 전하 펌핑 커패시터(C0, C1, C2, C3)로 구성되어 있다. 4개의 클럭 신호(CLK0, CLK1, CLK2, CLK3)는 비중첩 클럭 신호이며, VCI 전압으로 스위칭한다. CLK0와 CLK2는 비중첩되는 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK1과 CLK3도 기본적으로 같은 위상을 가진다. 정상상태(Steady State)에서 1st-stage VGH 전하펌프의 각 노드의 전압파형은 그림 5(b)에 나타나 있으며, 그들의 자세한 노드 전압은 그림 5(c)에서 보여주고 있다. N1과 N2 노드의 정상상태 전압은 프리차지 제어 회로와 펌핑 커패시

터(C1, C2)에 의해 VCI와 2VCI 사이에서 스윙한다.



(a) 첫째 단 VGH 전하펌프 회로도.
(a) A 1st-stage VGH charge pump circuit.



(b) 정상상태에서의 타이밍도.
(b) A timing diagram in the steady state.

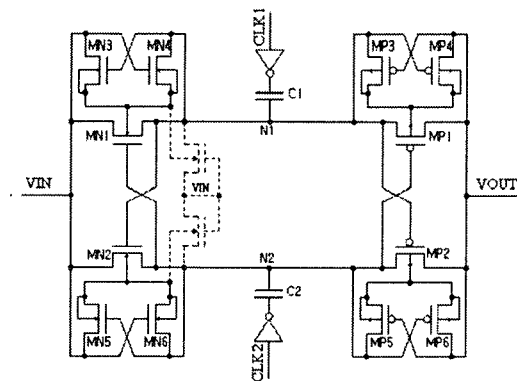
Node Name	Node Voltage	
	t4	t1
CLK0	0V	VCI
CLK1	VCI	0V
CLK2	0V	VCI
CLK3	VCI	0V
V(N0)	VCI	2VCI
V(N3)	2VCI	VCI
V(N1)	2VCI	VCI
V(N2)	VCI	2VCI

(c) 첫째 단 VGH 전하펌프의 노드 전압.
(c) Node voltages of 1st-stage VGH charge pump.

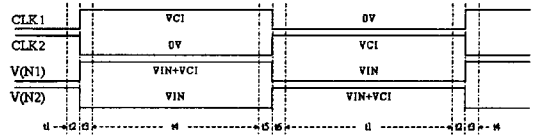
그림 5. 새롭게 제안된 첫째 단 VGH 전하펌프의 회로도, 타이밍도 및 노드 전압
Fig. 5. A circuit, a timing diagram and node voltages of a newly proposed 1st-stage VGH charge pump.

그림 5(b)에 보이는 t_4 의 구간동안 CLK0, CLK1, CLK2와 CLK3는 각각 0V, VCI, 0V와 VCI가 된다. 이 때 N0, N3, N1와 N2 노드의 전압은 각각 VCI, 2VCI, 2VCI와 VCI이므로 MN1은 OFF되고 MN2는 ON되어 N2 노드의 전압은 VCI 전압으로 프리차징 된다. 그리고 2VCI 전압으로 부스팅된 N1 노드의 펌핑된 양전하는 MP1을 통해 VOUT 노드로 전달된다. 그리고 그림 5(b)의 t_1 로 표시된 구간동안 N2 노드의 펌핑된 양전하는 MP2를 통해 VOUT 노드로 전달된다. 그래서 전하 펌핑은 한 사이클 동안 2번 일어나고, VCI로 스위칭하는 클럭 신호를 사용하므로 출력전압인 VOUT은 2VCI로 부스팅된 전압을 유지한다. 한편 MN1이 OFF된 이후 C1에 의해 전하 펌핑이 일어나고, MN2가 OFF된 이후에는 C2에 의해 전하 펌핑이 일어나므로 펌핑된 양전하가 프리차징 트랜지스터인 MN1과 MN2를 통해 빠져나가는 것을 방지하여 펌핑 전류를 증가시킬 수 있다.

그리고 그림 6(a)는 두 번째 단 이후에 사용된 VGH 단위 전하펌프 회로를 보여준다. VGH 단위 전하펌프 회로는 크로스-커플드 NMOS 전하 전달 스위치(MN1, MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1, MP2), Bulk-Potential Biasing 회로(MN3, MN4, MN5, MN6, MP3, MP4, MP5, MP6)와 MIM 전하 펌핑 커패시터(C1, C2)로 구성되어 있다. 정상상태에서 VGH 단위 전하펌프의 각 노드의 전압파형은 그림 6(b)에 나타나 있으며, 그들의 자세한 노드 전압은 그림 6(c)에서 보여주고 있다.



(a) A VGH 단위 전하펌프 회로도
(a) A VGH unit charge pump circuit.



(b) 정상상태에서의 타이밍도
(b) A timing diagram in the steady state.

Node Name	Node Voltage	
	t_4	t_1
CLK1	VCI	0V
CLK2	0V	VCI
V(N1)	VIN+VCI	VIN
V(N2)	VIN	VIN+VCI

(c) VGH 단위 전하펌프의 노드 전압
(c) Node voltages of a VGH unit charge pump.

그림 6. 새롭게 제안된 VGH 단위 전하펌프의 회로도, 타이밍도 및 노드전압
Fig. 6. A circuit, a timing diagram and node voltages of newly proposed VGH unit charge pump.

그림 6(b)에 보이는 t_4 의 구간동안 CLK1과 CLK2는 각각 VCI와 0V가 된다. 이 때 N1과 N2 노드의 전압은 각각 VIN+VCI와 VIN이므로 MN1은 OFF되고 MN2는 ON되어 N2 노드의 전압은 VIN 전압으로 프리차징 된다. 그리고 2VCI 전압으로 부스팅된 N1 노드의 펌핑된 양전하는 MP1을 통해 VOUT 노드로 전달된다. 그리고 그림 6(b)의 t_1 로 표시된 구간동안 N2 노드의 펌핑된 양전하는 MP2를 통해 VOUT 노드로 전달된다.

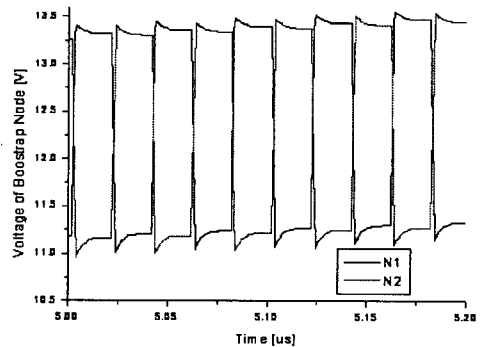


그림 7. 전하펌프의 대칭적 펌핑 노드 전압 파형
Fig. 7. A symmetrical pumping node voltage swing of a charge pump.

그림 6(a)의 제안된 VGH 단위 전하펌프회로에서, 입력단 VIN과 부스트랩 노드인 N1, N2에 NMOS 다이오드를 추가하여 초기 동작 시 N1, N2 노드가 (VIN-V_{TH}) 전압으로 프리차지 하도록 하여 전하 펌핑시 부스트랩 노드가 서로 대칭적으로 동작하도록 하였으며, 그림 7에서는 VGH 전하펌프의 펌핑 노드 N1, N2가 서로 대칭적으로 스위칭하는 것을 보여주고 있다.

그리고 펌핑 클럭 구동 드라이버를 펌핑 커패시터 바로 앞에 두어 기생 저항으로 인한 펌핑 클럭 라인의 전압강하를 방지하여 구동능력을 향상시킴으로 전하펌프의 펌핑 능력을 높였다. 그림 8은 펌핑 커패시터 구동 방식의 차이에 따른 펌핑 노드의 전압 파형을 보여준다. 펌핑 클럭 라인의 기생 커패시턴스 및 저항을 고려하여 모의실험을 한 결과이고, 그래프에서 보듯이 GDS(Global Driving Scheme)의 구동 방식보다 LDS(Local Driving Scheme) 구동방식이 같은 클럭 주파수에서 펌핑 클럭의 스윙 전압이 더 빨리 구동되어서 펌핑 능력을 개선할 수 있다. 또한 내장형 펌핑 커패시터인 C1, C2를 기존의 MIM 커패시터보다 용량이 2배 이상 커진 Stack-MIM 커패시터로 사용하여 기존의 크로스-커플드 전하 전달 스위치를 이용한 전하펌프보다 커패시터의 레이아웃 면적을 1/2로 줄였다.

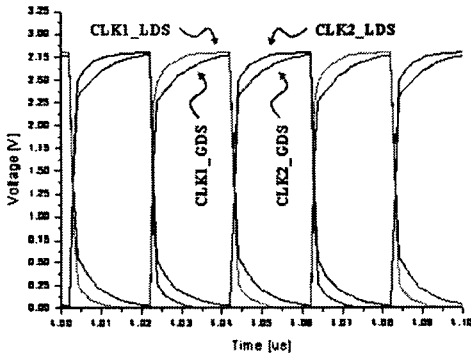


그림 8. 펌핑 커패시터 구동방식의 차이에 따른 펌핑 노드 전압 파형

Fig. 8. A pumping node voltage swing difference by different pumping capacitor driving methods.

전하펌프에 있어서 목표 펌핑 전압뿐만 아니라 전류 구동 능력을 의미하는 펌핑 전류 또한 중요한 설계요소

중의 하나이다. 그림 4의 2-위상 전하펌프에서의 입력 전압이 VCI, 출력 전압은 VGH, 그리고 펌핑 클럭이 VCI 전압으로 스위칭 할 경우 펌핑 전류(IGH)는 식 (1)과 같이 계산된다.

$$IGH = \frac{C_P \times \left[\frac{VCI - VGH - VCI}{N} \right]}{T_{osc}} \times 2 \quad \text{식(1)}$$

여기서 C_P는 VGH 전하펌프에서의 펌핑 커패시터를 나타내며, T_{osc}는 링 발진기의 발진 주기를 나타내고 N은 펌핑 단의 수를 나타낸다. 한 주기에 2번의 전하 펌핑을 수행하므로 펌핑 전류는 1-위상 전하펌프에 비해 2배이다.

음의 전압을 가지는 VGL 전하펌프의 경우 전체적인 구조는 VGH 발생기와 유사한 구조를 가진다. VGL 발생기의 블럭도는 그림 9에서 보는바와 같이 VGL 레벨 감지기, 링 발진기, 컨트롤 클럭 발생회로, 프리차지 회로 및 7 단의 전하펌프로 구성되어 있으며, 피드백 구조를 사용하여 VGL 전압이 목표전압을 유지하도록 한다. VGL 전압이 목표 전압보다 높을 때 VGL 레벨 감지기의 출력 신호인 OSC_ENb는 0V이고 링 발진기는 발진을 계속하여 외장 커패시터인 1µF의 전하저장 커패시터로 전하 펌핑을 계속한다. 그래서 VGL 전압은 목표 전압을 향하여 음의 방향으로 증가한다. VGL 전압이 목표 전압을 능가하면 OSC_ENb는 VCI가 되고 링 발진기는 발진을 멈추어 더 이상의 전하 펌핑은 일어나지 않는다.

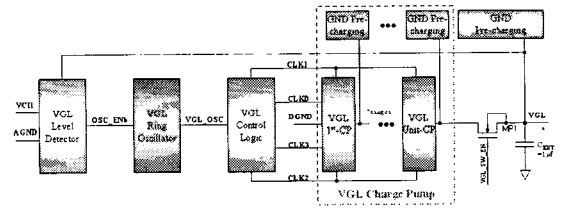
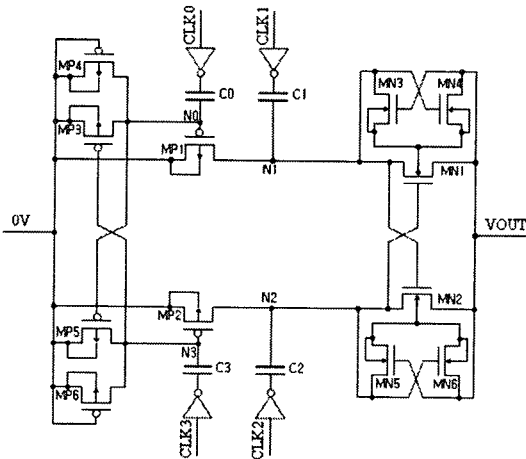


그림 9. 새롭게 제안된 VGL 발생기의 블럭도
Fig. 9. A block diagram of newly proposed VGL generator.

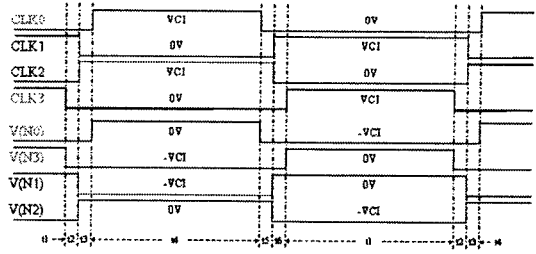
그림 9의 VGL 전하펌프 회로는 7개의 전하펌프와 7개의 프리차지 회로로 구성되어 있다. VGL 전하펌프 회로는 입력 전압으로 DGND가 들어오고 출력 전압은 VGL이다. 첫 번째 전하펌프는 VCI 전압 레벨로 스위칭

하는 비중첩 펌핑 클럭인 CLK0, CLK1, CLK2 및 CLK3의 클럭킹에 의한 전하 펌핑으로 최대 출력 전압은 $-V_{CI}$ 이다. 그리고 나머지 6개의 단위 전하펌프도 첫 번째 전하펌프와 마찬가지로 동작하며 클럭킹에 의해 각 펌프 단마다 펌핑 전압은 $-V_{CI}$ 씩 부스팅된다. 그래서 VGL은 최대 $-7V_{CI}$ 까지 부스팅될 수 있다.

그림 10(a)는 제안된 VGL 첫 번째 전하펌프 회로도를 보여준다. VGL 첫 번째 전하펌프 회로는 2개의 프리차지 제어 회로(MP3, MP4, MP5, MP6), PMOS 전하 전달 스위치(MP1, MP2), 크로스-커플드 NMOS 전하 전달 스위치(MN1, MN2), Bulk-Potential Biasing 회로(MN3, MN4, MN5, MN6)와 MIM 전하 펌핑 커패시터(C0, C1, C2, C3)로 구성되어 있다. 4개의 클럭 신호(CLK0, CLK1, CLK2, CLK3)는 비중첩 클럭 신호이며, V_{CI} 전압으로 스위칭한다. CLK0과 CLK2는 비중첩되는 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK1과 CLK3도 기본적으로 같은 위상을 가진다. 정상상태에서 VGL 첫 번째 전하펌프의 각 노드 전압은 그림 10(c)에 나타나 있으며, 그들의 자세한 전압파형은 그림 10(b)에서 보여주고 있다. N1과 N2 노드의 정상상태 전압은 프리차지 제어 회로와 펌핑 커패시터(C1, C2)에 의해 0V와 $-V_{CI}$ 사이에서 스윙한다.



(a) 첫 번째 단 VGL 전하펌프 회로도.
(a) A 1st-stage VGL charge pump circuit.



(b) 정상상태에서의 타이밍도
(b) A timing diagram in the steady state.

Node Name	Node Voltage	
	t4	t1
CLK0	V_{CI}	0V
CLK1	0V	V_{CI}
CLK2	V_{CI}	0V
CLK3	0V	V_{CI}
V(N0)	0V	$-V_{CI}$
V(N3)	$-V_{CI}$	0V
V(N1)	$-V_{CI}$	0V
V(N2)	0V	$-V_{CI}$

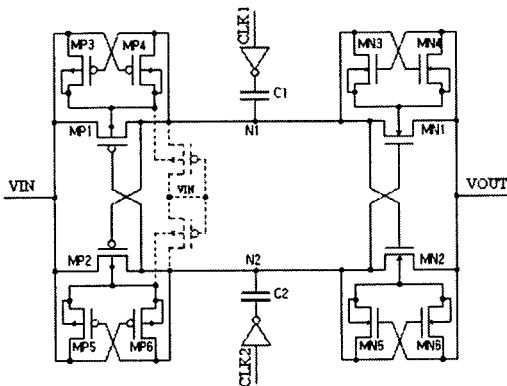
(c) 첫째 단 VGL 전하펌프의 노드 전압.
(c) Node voltages of 1st-stage VGL charge pump.

그림 10. 새롭게 제안된 첫째 단 VGL 전하펌프의 회로도, 타이밍도 및 노드 전압
Fig. 10. A circuit, a timing diagram and node voltages of a newly proposed 1st-stage VGL charge pump.

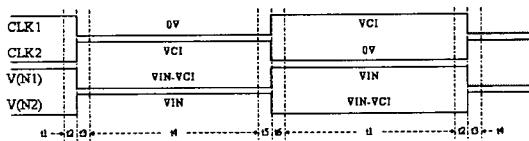
그림 10(b)에 보이는 t4의 구간동안 CLK0, CLK1, CLK2와 CLK3는 각각 V_{CI} , 0V, V_{CI} 와 0V가 된다. 이 때 N0, N3, N1와 N2 노드의 전압은 각각 0V, $-V_{CI}$, $-V_{CI}$ 와 0V이므로 MP1은 OFF되고 MP2는 ON되어 N2 노드의 전압은 0V 전압으로 프리차징 된다. 그리고 $-V_{CI}$ 전압으로 부스팅된 N1 노드의 펌핑된 음전하는 MN1을 통해 VOUT 노드로 전달된다. 그리고 그림 10(b)의 t1로 표시된 구간동안 N2 노드의 펌핑된 음전하는 MN2를 통해 VOUT 노드로 전달된다. 그래서 전하 펌핑은 한 사이클 동안 2번 일어나고, V_{CI} 로 스위칭하는 클럭 신호를 사용하므로 출력전압인 VOUT은 $-V_{CI}$ 로 부스팅된 전압을 유지한다. 한편 MP1이 OFF된 이후 C1에 의해 전하 펌핑이 일어나고, MP2가 OFF된 이후에는 C2에 의해 전하 펌핑이 일어나므로 펌핑된 음전하가 프리차징 트랜지스터인 MP1과 MP2를 통해 빠져나가는 것을 방지하여

펌핑 전류를 증가시킬 수 있다.

그리고 11(a)는 두 번째 단 이후에 사용된 VGL 단위 전하펌프 회로를 보여준다. VGL 단위전하펌프 회로는 크로스-커플드 PMOS 전하 전달 스위치(MP1, MP2), 크로스-커플드 NMOS 전하 전달 스위치(MN1, MN2), Bulk-Potential Biasing 회로(MP3, MP4, MP5, MP6, MN3, MN4, MN5, MN6)와 MIM 전하 펌핑 커패시터(C1, C2)로 구성되어 있다. 정상상태에서 VGL 단위전하펌프의 각 노드의 전압과형은 그림 11(b)에 나타나 있으며, 그들의 자세한 노드 전압은 그림 11(c)에서 보여주고 있다.



(a) VGL 단위 전하펌프 회로도
(a) A VGL unit charge pump circuit.



(b) 정상상태에서의 타이밍도
(b) A timing diagram in the steady state.

Node Name	Node Voltage	
	t4	t1
CLK1	0V	VCI
CLK2	VCI	0V
V(N1)	VIN-VCI	VIN
V(N2)	VIN	VIN-VCI

(c) VGL 단위 전하펌프의 노드 전압
(c) Node voltages of a VGL unit charge pump.

그림 11. 새롭게 제안된 VGL 단위 전하펌프의 회로도, 타이밍도 및 노드전압.

Fig. 11. A circuit, a timing diagram and node voltages of newly proposed VGL unit charge pump.

그림 11(b)에 보이는 t4의 구간동안 CLK1과 CLK2는 각각 0V와 VCI가 된다. 이 때 N1과 N2 노드의 전압은 각각 VIN-VCI와 VIN이므로 MP1은 OFF되고 MP2는 ON 되어 N2 노드의 전압은 VIN 전압으로 프리차징 된다. 그리고 VIN-VCI 전압으로 부스팅된 N1 노드의 펌핑된 음전하는 MN1을 통해 VOUT 노드로 전달된다. 그리고 그림 12(b)의 t1로 표시된 구간동안 N2의 펌핑된 음전하는 MN2를 통해 VOUT 노드로 전달된다.

III. 모의실험 및 측정 결과

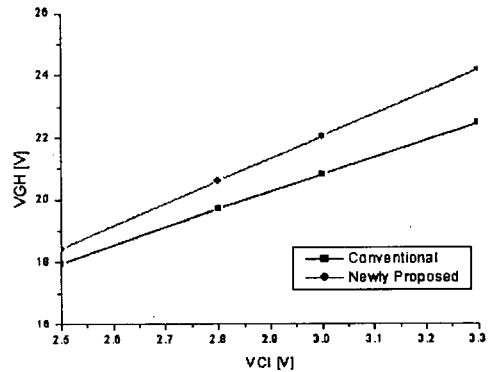


그림 12. 입력 전압에 따른 VGH 전하펌프 출력전압
Fig. 12. A VGH charge pump output voltage with respect to input voltages.

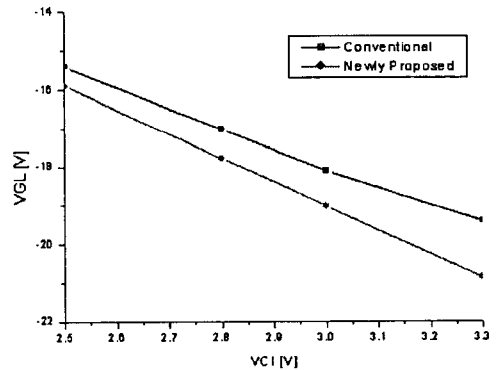


그림 13. 입력 전압에 따른 VGL 전하펌프 출력전압
Fig. 13. A VGL charge pump output voltage with respect to input voltages.

모의 실험은 2.8V의 VCI 전압, 2.75V의 VCII 전압, 100℃의 온도, NMOS와 PMOS 트랜지스터가 Slow 모델 조건에서 기존의 크로스-커플드 전하펌프와 제안된 펌핑 커패시터 내장형 크로스-커플드 전하펌프를 비교하였다.

그림 12와 13은 입력 전원전압(펌핑클럭의 구동전압)의 변화에 따른 VGH 및 VGL 전하펌프의 출력전압을 모의 실험한 결과이다. 그림 12와 13에서 보는바와 같이 새롭게 제안된 VGH 및 VGL 전하펌프 회로가 기존의 전하펌프에 비해서 더 높은 펌핑 전압을 얻는 것을 볼 수 있다.

표 3은 펌핑 클럭의 주기가 $T_{osc}=40ns$ 일때 새롭게 제안된 VGH 및 VGL 전하펌프의 펌핑 효율과 펌핑 전류를 비교한 결과를 보여주고 있으며, 제안된 전하펌프 회로의 펌핑 효율과 펌핑 전류가 기존의 전하펌프 보다 나아졌다. 모의실험은 25℃의 온도, NMOS와 PMOS 트랜지스터가 Slow 모델 조건에서 수행되었다.

표 3. 새롭게 제안된 전하펌프 회로의 펌핑 효율, 펌핑 전류

Table 3. A pumping efficiency and current of newly proposed charge pump.

구분		Conventional	Proposed	Remark
Pumping Efficiency (@ $T_{osc}=40ns$)	VGH	8.45%	9.32%	VGH=16.5V
	VGL	8.22%	9.10%	VGL=-13.75V
Pumping Current (@ $T_{osc}=40ns$)	VGH	202 μ A	235 μ A	VGH=16.5V
	VGL	201 μ A	227 μ A	VGL=-13.75V

그림 14는 0.13 μ m Triple-Well DDI CMOS 공정을 이용하여 설계된 VGH 및 VGL 전하펌프의 레이아웃 그림을 나타내며, 레이아웃 면적은 280 μ m \times 1360 μ m 이다. 기존의 외장형 펌핑 커패시터를 사용한 펌프의 레이아웃 면적에 비해 10% 정도 줄어들었다.

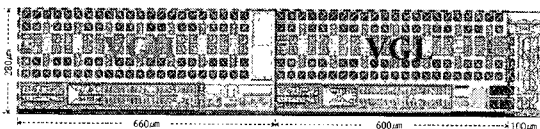


그림 14. VGH 및 VGL 전하펌프의 레이아웃

Fig. 14. A layout plot of VGH and VGL charge pumps.

표 4. VCII 전압변화에 따른 제안된 전하펌프 회로의 측정결과

Table 4. A measurement values of proposed charge pump with respect to VCII changes.

VCII [V]	Target[V] @ BT<2:0>=000		Measurement[V] @ BT<2:0>=000	
	VGH	VGL	VGH	VGL
2.34	14.04	-11.70	14.01	-11.75
2.15	12.90	-10.75	12.87	-10.83
2.04	12.24	-10.20	12.21	-10.26
1.94	11.64	-9.70	11.61	-9.78
1.78	10.68	-8.90	10.65	-8.99
1.71	10.26	-8.55	10.23	-8.64
1.59	9.54	-7.95	9.50	-8.04

표 4는 전하펌프에서 사용되는 기준전압인 VCII 전압을 VC<2:0> 코드를 사용해 변화해 가면서 측정한 값과 목표치를 서로 비교한 결과이며, 설계된 목표 값과 거의 유사한 값을 가짐을 측정을 통해 확인할 수 있으며, 정상적인 동작을 확인 하였다.

표 5. BT<2:0>에 따른 제안된 전하펌프 회로의 측정결과

Table 5. A measurement values of proposed charge pump with respect to BT<2:0>.

BT<2:0>	Target[V] @ VCII=2.34V		Measurement[V] @ VCII=2.34V	
	VGH	VGL	VGH	VGL
000	14.04	-11.70	14.01	-11.75
001	14.04	-9.36	14.01	-9.40
010	14.04	-7.02	14.01	-7.05
011	11.70	-11.70	11.67	-11.75
100	11.70	-9.36	11.67	-9.40
101	11.70	-7.02	11.67	-7.05
110	9.36	-9.36	9.34	-9.40
111	9.36	-7.02	9.34	-7.05

표 5는 BT<2:0> 레지스터 값의 변화에 따른 VGH 및 VGL의 출력 값을 측정하였다. BT<2:0>는 전하펌프의 출력 값을 한정하는 코드이며, 표에서 보듯이 VGH는 VCII 전압의 4~6배, VGL은 VCII 전압의 3~5배로 정해지며, 코드의 변화에 따른 목표 값에 거의 근접한 측정 값을 가짐을 확인하였다.

IV. 결 론

본 논문에서는 TFT-LCD 구동 IC용 DC-DC 변환기 설계에서 IC 모듈의 소형화 및 저가격에 있어 펌핑 커패시터 외장형 전하펌프보다 유리한 펌핑 커패시터 내장형 크로스-커플드 전하펌프를 이용한 전하펌프회로를 제안하였다. 각 전하펌프의 입력단과 부스트랩 노드에 NMOS 다이오드를 추가하여 초기 동작 시 N1, N2 노드가 (VIN-|V_{TH}|)전압으로 프리차지 하도록 하여 전하 펌핑시 부스트랩 노드가 서로 대칭적으로 동작하도록 하였다. 그리고 첫 번째 전하펌프의 구조를 다르게 설계하여 펌핑된 전하가 입력단으로 역류되는 현상을 방지하였고, 펌핑 클럭의 구동 드라이버를 펌핑 커패시터 바로 앞에 두어 기생 저항으로 인한 펌핑 클럭 라인의 전압강하를 방지하여 구동능력을 향상 시키므로 전하펌프의 펌핑 능력을 높였다. 또한 내장형 펌핑 커패시터를 기존의 MIM 커패시터보다 용량이 2배 이상 커진 Stack-MIM 커패시터로 사용하여 같은 부하전류를 가지는 기존의 크로스-커플드 전하 전달 스위치를 이용한 전하펌프보다 레이아웃 면적을 최소화하였다. 0.13 μ m Triple-Well DDI 공정을 이용하여 제작된 테스트 칩을 측정한 결과 정상적으로 동작하는 것을 확인하였다.

감사의 글

본 논문은 2006년도 창원대학교 교내연구비에 의해 연구되었으며, 소프트웨어를 지원해준 IDEC(IC Design Education Center)에 감사를 표한다.

참고문헌

[1] M. Hirata et al., "New Plus- and Minus-Voltage Generator for TFT-LCD Panels," Proceedings of the 2nd IEEE Asia-Pacific Conference on ASIC, pp. 17-20, Aug. 2000.
 [2] E. Bayer et al., "A High Efficiency Single-Cell Cascaded Charge Pump Topology," Proc. IEEE Power Electronics Specialists Conference, vol. 1, pp. 290-295, Aug. 2001.
 [3] P. Favrat et al., "A high-efficiency CMOS voltage doubler," IEEE JSSC, vol. 33, pp. 410-416, Mar. 1998.
 [4] S. I. Cho et al., "A Boosted Voltage Generator for Low-Voltage DRAMs," Current Applied Physics, vol. 3, pp. 501-505, Dec. 2003.

저자소개



임 규 호 (Gyu-Ho Lim)

2002.2 창원대학교 전자공학과 학사
 2004.2 창원대학교 전자공학과 석사
 2007.8 창원대학교 전자공학과 박사

2007.9~현재 매그나칩 반도체 주임 연구원

※관심분야: LCD 구동 칩 설계, CMOS Image Sensor 설계



송 성 영 (Sung-Young Song)

2006.2 창원대학교 전자공학과 학사
 2006.3~현재 창원대학교 전자공학과 석사 과정

※관심분야: LCD 구동 칩 설계, SoC 설계



박 정 훈 (Jeong-Hun Park)

2006.2 창원대학교 전자공학과 학사
 2006.3~현재 창원대학교 전자공학과 석사 과정

※관심분야: LCD 구동 칩 설계, SoC 설계



이 용 진 (Long-Zhen Li)

1983.7 중국 관주대학교 컴퓨터 학과 학사

2002.3 한국 순천대학교 정보통신 학과 석사

2006.3 ~ 현재 창원대학교 전자공학과 박사 과정

1983.7 ~ 현재 중국 연변대학교 컴퓨터 공학과 부교수
 ※관심분야: LCD 구동 칩 설계, SoC 설계



이 천 효 (Cheon-Hyo Lee)

1984.2 동아대학교 전자공학과 학사

1991.2 동아대학교 전자공학과 석사

2006.3~현재 창원대학교 신소재 나노 공학부 박사과정

1994.4~현재 한국 폴리텍7 대학 부교수

※관심분야: LCD 구동 칩 설계, SoC 설계



이 태 영 (Tae-Yeong Lee)

1997.2 금오공과대학 전자공학과 학사
1999.8 금오공과대학 전자공학과 석사
2006.3~현재 창원대학교 신소재 나노
공학부 박사과정

2000.7~현재 해군 정비창 기술 연구소 사무관

※관심분야: LCD 구동 칩 설계, SoC 설계



조 규 삼 (Gyu-Sam Cho)

2002.2 창원 기능대학교 학사
2005.2 창원대학교 전자공학과 석사
2006.3~현재 창원대학교 신소재 나노
공학부 박사과정

2005.5~현재 (주) 이노텍 대표이사

※관심분야: LCD 구동 칩 설계, SoC 설계



박 무 훈 (Mu-Hun Park)

1991.2 경북대학교 전자공학과 학사
1993.3 동북대학교 전기통신공학
연구과 석사

1996.3 동북대학교 전기통신공학연구과 박사

1998.8~현재 창원대학교 전자공학과 교수

※관심분야: 초음파 신호처리, 영상신호처리, 가상현실,
SoC 설계



하 판 봉 (Pan-Bong Ha)

1981.2 부산대학교 전기공학과 학사
1983.2 서울대학교 전자공학과 석사
1993.2 서울대학교 전자공학과 박사

1987.3~현재 창원대학교 전자공학과 교수

※관심분야: 임베디드 시스템, SoC 설계



김 영 희 (Young-Hee Kim)

1989.2 경북대학교 전자공학과 학사
1997.2 포항공대 전자전기공학과 석사
2000.8 포항공대 전자전기공학과 박사

2001.3~현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS Image Sensor 설계