

격리패턴을 지닌 결함접지구조를 이용한 초고주파용 능동공진기

論 文

56-10-19

Design of a Microwave Active Resonator Using Defected Ground Structure with Islands (DGSI)

黃文洙* · 吳星愨* · 林鍾植[†] · 安達**

(Mun-Su Hwang · Seongmin Oh · Jongsik Lim · Dal Ahn)

Abstract - A new active resonator using defected ground structure with islands (DGSI) is proposed. The proposed resonator is composed of the conventional microstrip line with DGSI and negative resistance of active devices. The negative resistance part is realized by field effect transistor (FET) series feedback circuits. The characteristic of the proposed resonator with DGSI is improved by combining the negative resistance part with the parallel microstrip line structure with islands, where the electric field is formed the most strongly. The measured improvement of the proposed active resonator with DGSI are 4.55dB and 0.32dB in S21 and S22, respectively, at the resonant frequency when it is compared to the existing passive resonator having DGSI only.

Key Words : 공진기, 능동 공진기, DGS, 부정저항

1. 서 론

초고주파 대역용 여파기 설계를 위하여 그 동안 주로 수동 소자 공진기를 이용하여 설계하는 방법이 많이 이용되어 왔다. 따라서 수동 소자에서 발생하는 손실을 최소화하면서 크기를 소형화하는 설계 방법이 초고주파 여파기 설계의 주된 관심사였다. 근래에는 반도체형 초고주파 회로인 RFIC (Radio Frequency Integrated Circuits)나 MMIC (Monolithic Microwave Integrated Circuits)가 많이 일반화되고 있는 추세인데, 여기에 발맞추어 집적화, 소형화된 공진기가 더욱 요구된다. 그러나 공진기의 소형화는 삽입손실에 의하여 품질계수(Q) 값이 악화되는 문제점을 가지고 있다. 따라서 소형화된 공진기의 손실을 보상하여 Q값을 개선시키기 위해 능동소자를 사용한 공진기 설계 방법에 대한 연구가 많이 진행되어 왔는데, 능동소자를 이용한 대표적인 시도로서 부정저항 이론을 이용한 방법을 들 수 있다[1]-[4]. 기본적으로 부정저항 이론을 사용한 능동공진기 설계 방법은 초고주파 수동소자로 이루어진 여파기의 손실을 보상할 수 있도록 부정저항 회로를 공진부에 삽입하는 형태를 갖는다.

특히 초고주파 대역에서 부정저항을 사용하는 능동공진기의 경우 부정저항을 원하는 대역에서 정확히 예측하여 이를 소자로 구현하기에는 아직까지 어려움이 있는데, 그 이

유는 부정저항 기본 개념에서 찾아볼 수 있다. 일반적으로 부정저항을 구현하기 위한 회로에 있어서 필요한 회로적 개념은 능동 소자를 포함한 회로의 피드백 루프(feedback loop)를 형성하는 일이다. 피드백 루프의 형성은 낮은 주파수에서는 증폭기와 피드백 회로가 물리적으로 서로 맞물린 상태에서 루프를 완전히 돌아왔을 때 증폭된 신호의 크기로 설명되며, 높은 주파수에서는 내부의 피드백 신호가 상대적으로 커져서 외부에 별도로 피드백 회로를 취하지 않는다. 따라서 능동 소자의 비선형 특성, 끊임없이 존재하는 잡음, 그리고 따로 정확하게 특정할 수는 없지만 증폭 소자 내에 항상 존재하는 각종 신호들 간의 간섭 등의 환경적 요인에 의해 피드백된 신호의 크기를 정확히 예측하기는 어려움이 많다. 따라서 높은 주파수에서의 부정저항 회로의 설계는 부정저항 회로의 적당한 곳을 끊어서 양쪽을 바라본 임피던스간의 관계로 설명하는 것이 일반적이다[5].

원하는 대역에서 필요한 부정저항값을 정확하게 구현하는 것이 매우 어려운데, 부정저항 회로의 불안정성과 원하지 않은 갑작스러운 발진 현상이 나타날 수 있다. 따라서 이러한 부정저항에 의한 소자의 불안정성을 개선시키고 부정저항 성분을 적절하게 구현하기 위한 방법이 필요하다.

부정저항은 능동소자에 의하여 주로 구현되는데, 기본적으로 능동소자와 수동 공진기가 결합된 형태가 되어야 한다. 종래에 발표된 수동공진기 가운데 결함접지구조(DGS, defected ground structure)는 회로 응용성이 매우 뛰어난 구조임이 이미 선행연구를 통하여 여러 번 입증된 바 있다. DGS는 전송선로의 신호선 주변 접지면에 아령형 또는 기타 기하학적 모양의 식각 구조를 삽입하여 부가적인 등가회로 소자(주로 인덕터와 캐패시턴스)에 의한 수동공진기를 구현하는 방법이다. 종래의 DGS는 우수한 회로 응용성을 가지고 있어서 기존의 방법으로 설계가 불가능했던 비대칭 비율

[†] 교신저자, 正會員 : 順天鄉大 전기통신시스템공학과
助教授 · 工博

E-mail : jslim@sch.ac.kr

* 非 會 員 : 順天鄉大 전기통신시스템공학과 碩士課程

** 非 會 員 : 順天鄉大 전기통신시스템공학과 教授 · 工博

接受日字 : 2007年 7月 2日

最終完了 : 2007年 8月 23日

이 높은 전력분배기, 하모닉 성능이 개선된 고출력증폭기, 구조가 단순화된 여파기 등 많은 능동 수동 회로의 설계가 가능하도록 하였다[6]-[9]. 그러나 종래의 DGS를 이용한 회로는 DGS와 능동소자가 직접 결합되는 방식이 아니라, 주로 전송선로와 결합하였기 때문에 능동부성 저항을 설계할 수는 없었다.

본 논문에서는 이를 위하여 격리패턴을 지닌 결합접지구조(DGSI, defected ground structure with islands)를 이용한 능동공진기를 제안한다. DGSI는 아령 모양의 식각된 DGS 패턴의 상단에 두 개의 평행 선로가 아령 모양으로 식각된 DGS의 경계면 위에 위치하고 있는데, 접지면을 이용하지 않고 DGS의 공진점을 조절할 수 있는 구조이다[10]-[11].

능동소자에 의하여 생성되는 사용된 부성저항 회로는 DGSI의 손실을 보상하여 공진기의 특성을 개선시킨다. DGSI와 연결되는 공진회로의 구조는, 초고주파 대역용 FET(field effect transistors)를 공통소스(common source) 형태로써 취하고, 드레인(drain) 단자에 저항(R), 인덕터(L), 캐패시터(C)를 직렬로 피드백시킨 형태를 취한다. 제안하는 구조의 부성저항 구현 설계 방법은 피드백 소자인 R-L-C와 함께 능동소자의 세밀한 분석에 따른 적절한 부성저항 대역을 드레인 단자에 연결한 회로 소자들을 통해 구현 및 조절할 수 있다는 데에 그 특징이 있다.

한편 DGS 구조는 기본적으로 PBG 구조와 달리 단위 소자의 정의와 등가 회로 모델링이 가능하고, 마이크로파 회로 설계 시 우수한 응용 능력을 지니고 있어서 지금까지 여러 종류의 초고주파 회로 설계에 응용되고 있다. 접지면에 아령 모양의 식각된 패턴을 가지는 DGS의 경우 두 개의 사각형 결합 영역과 두 사각형을 연결하는 슬롯이 각각 등가적으로 부가된 인덕턴스와 캐패시턴스 성분을 갖게 된다. 따라서 L-C가 병렬로 연결되어 있기 때문에 어떤 특정 주파수에서 공진 특성을 보이게 된다. 이로 인하여 DGS를 갖는 마이크로스트립 선로는 어느 특정한 주파수에서 통과 및 차단 대역을 갖는다.

본 논문에서는 DGSI를 이용한 능동공진기에 대한 비교를 위하여 선행 연구 논문에서 제안된 DGSI의 등가모델을 구성하고, EM시뮬레이션을 통해 L-C 등가 병렬 공진회로 소자값을 예측 및 측정하였다. 그리고 이를 시뮬레이션과 측정을 통해 능동공진기와 비교하여 기존 DGSI의 손실 보상에 따른 개선된 능동공진기 특성을 보였다. 이 과정에서 필요한 부성저항 회로를 설계하였으며, 추가적으로 캐패시턴스에 의한 등가회로 및 등가식을 도출하였다.

2. DGSI 패턴과 등가회로 모델링

그림 1은 DGSI를 가진 전송선로의 기본 구조와 전송 특성을 보여주고 있다. DGSI는 마이크로스트립 전송선로 주변에 두 개의 평행한 선로 패턴(island pattern)이 나란히 놓이게 되고, 바닥 접지면에는 기본적인 아령 모양의 식각된 DGS 패턴이 자리하고 있다. 상면의 두 개의 평행한 선로 패턴에 의해 추가적인 캐패시턴스가 형성되게 되므로, DGS만 있을 때에 비하여 더욱 낮은 주파수에서 새로운 공진 특성을 형성하게 된다. 기존 DGS의 경우에 아령 모양의 식각

된 패턴에 의한 등가 캐패시턴스 값이 고정되었으나, DGSI의 경우에는 두 개의 평행선로에 추가적인 소자를 결합하여 등가의 캐패시턴스를 가변시킬 수 있으므로, 공진 주파수의 조절이 가능하다는 장점이 있다.

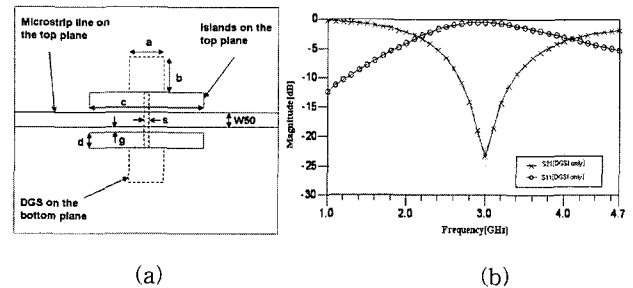


그림 1 DGSI와 결합된 마이크로스트립 전송선로와 전송 특성 (a) 구조 (b) 전송특성 (기판의 유전율=2.2, 기판 두께=31mils, a=b=5mm, c=15mm, d=W50=2.4mm, g=0.2mm, s=0.5mm)

Fig. 1 A microstrip line with DGSI pattern (a) structure (b) transmission characteristics (dielectric constant of substrate=2.2, substrate thickness=31mils, a=b=5mm, c=15mm, d=W50=2.4mm, g=0.2mm, s=0.5mm)

그림 1에 보인 전송 특성을 보면 공진주파수(ω_0)와 3dB 차단주파수(ω_c)가 매우 선명하게 나타나는 전형적인 L-C 공진기의 특성임을 알 수 있다. 이것은 DGSI에 의한 등가의 L-C가 전송선로에 부가되어 나타나는 현상이다. 따라서 그림 2(a)와 같은 L-C 등가회로를 가정한 후 잘 알려진 L-C 병렬 공진회로의 특성을 통하여 DGSI의 L-C 등가회로 소자값들을 구할 수 있다. 그림 1(b)의 L-C 공진회로는 전형적인 1단 저역통과여파기(low pass filter, LPF)의 원형회로(prototype circuit)의 특성을 보인다[12]-[14]. 1-단 버터워스(butterworth) 원형 LPF 회로를 그림 2(b)에 나타냈다. ω_c 에서 두 회로의 리액턴스 값이 같아야 하므로 식 (1)~(3)을 이용하면 등가 L-C 값을 결정할 수 있다. 여기에서 $\omega_c' (=1)$, $g_1 (=2)$, $Z_0 (=50\Omega)$ 은 각각 정규화된 3dB 차단주파수, 1단 버터워스 원형 LPF의 소자값, 단자 임피던스이다.

이 식들에 의하여 먼저 C가 식 (4)와 같이 계산되고, 이어서 식 (5)의 관계에 의하여 L이 (6)처럼 계산된다. 이 과정을 거쳐서 추출한 등가 L,C 값은 각각 3.345nH와 0.74pF이다.

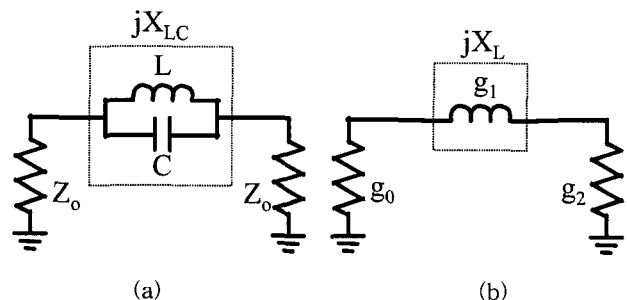


그림 2 (a) DGSI 마이크로스트립 전송선로의 등가회로 (b) 1단 버터워스 원형 LPF

Fig. 2 (a) Equivalent circuit of the microstrip line with DGSI (b) Butterworth prototype of one-pole LPF

$$X_{LC} = \frac{1}{\omega_o C \left(\frac{\omega_o}{\omega} - \frac{\omega}{\omega_o} \right)} \quad (1)$$

$$X_L = \omega' Z_o g_1 \quad (2)$$

$$X_{LC} |_{\omega = \omega_c} = X_L |_{\omega' = 1} \quad (3)$$

$$C = \frac{\omega_c}{g_1 Z_o (\omega_0^2 - \omega_c^2)} \quad (4)$$

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (5)$$

$$L = \frac{1}{\omega_0^2 C} \quad (6)$$

3. 부성저항 이론과 능동공진기의 설계

본 논문에서 제안하는 DGSI를 이용한 능동공진기 구조는 그림 3과 같다. 전술하였듯이 그림 1(a)의 구조는 기본적으로 1단 지역통과여파기 또는 대역저지여파기로 동작하며 그라운드 면의 아령 모양으로 식각된 DGS를 가지고 있다. 또한 상면의 두 개의 평행 선로는 바닥면에 식각된 DGS와의 경계면에 위치한다. 본 논문에서는 그림 3과 같이 제안하는 능동공진기와 비교하기 위하여 전술한 그림 1(a)처럼 DGSI만 있는 경우를 DGSI 수동공진기로 기술한다.

그림 3의 구조에서 상면 두 개의 평행선로를 있을 때의 등가 L-C 병렬 공진 특성에 추가적인 캐패시터 값을 더해 준다. 따라서 DGS에 의하여 처음에 고정된 공진주파수를 추후에 조절할 수 있는 여지를 제공하게 된다. DC적으로 격리된 평행선로에 추가적인 집중소자(lumped elements)를 결합하여 공진주파수와 Q를 조절할 수 있다는 사실은 이미 선행 연구를 통해서 밝혀졌다[11].

DGSI를 이용한 능동공진기를 구성하기 위하여 전계(electric field)가 가장 강하게 형성되는 평행선로를 통해 능동소자와 결합시켰다. 결합된 능동소자는 공통 소스 FET 직렬 R-L-C 피드백 회로이다. 이렇게 하면 전송선로와 DGSI를 포함한 수동 소자에 의하여 발생한 손실을 부성저항 회로를 통해 보상하는 새로운 능동 공진회로의 구현이 가능하다.

그림 4(a)는 부성저항을 구현하기 위한 FET 공통 소스 회로 구조로서 R-L-C 직렬 피드백 회로를 포함하고 있다. 이 회로에 대한 등가회로가 그림 4(b)에 제시되어 있다. 등가회로도에서 입력 어드미턴스 Z_1, Z_2, Z_d 는 식 (7)과 같다[9]. 또한 등가회로에서 입력 어드미턴스 Y_{in} 을 구하여 정리해 보면 (8)과 같이 실수부와 허수부로 나누어 나타낼 수 있다. 여기

에서 중요한 것은 그림 4(b)의 입력 어드미턴스를 계산한 결과 식 (8)처럼 부성저항 R_{neg} 와 등가적인 캐패시턴스 C_{eq} 가 병렬 결합된 형태로 존재한다는 것이다. 따라서 등가회로를 그림 5처럼 간략화시킬 수 있다.

부성저항 특성을 보이는 주파수대역은 주로 직렬 피드백 회로 소자인 L_d 와 C_d 에 의해서 조절이 가능하다. 그리고 R_d 를 이용하여 부성저항의 크기와 부성저항을 보이는 주파수 범위를 조절할 수 있다. R_d 의 값이 클수록 부성저항의 크기가 감소되며 부성저항 대역도 좁아진다. 결론적으로 직렬 피드백 회로소자 값들인 L_d, C_d, R_d 가 부성저항 특성에 큰 영향을 끼치게 되므로 FET를 이용한 부성저항회로의 설계가 가능한 것이다.

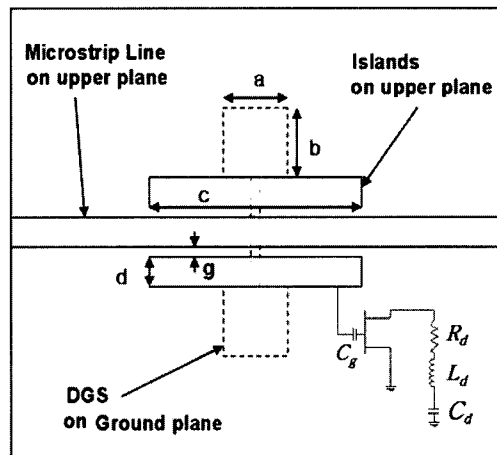


그림 3 본 논문에서 제안하고 있는 DGSI를 이용한 능동공진기의 구조

Fig. 3 Proposed active resonator structure using DGSI

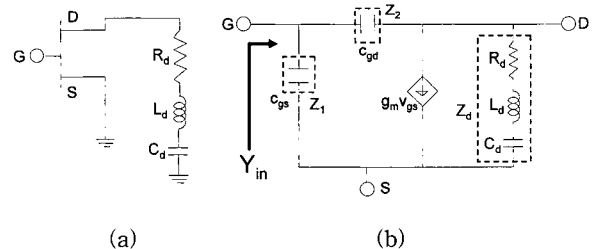


그림 4 FET를 사용한 부성저항 회로 (a) 공통 소스 FET 직렬 R-L-C 피드백 구조 (b) 등가회로

Fig. 4 Negative resistance circuit using FET (a) common source FET series R-L-C feedback circuit (b) equivalent circuit

$$Z_1 = \frac{1}{j\omega C_{gs}} = -jX_1 \quad (7-a)$$

$$Z_2 = \frac{1}{j\omega C_{gd}} = -jX_2 \quad (7-b)$$

$$Z_d = R_d + j\left(\omega L_d - \frac{1}{\omega C_d}\right) = R_d + jX_d \quad (7-c)$$

$$\begin{aligned}
 Y_{IN} &= \frac{R_d + g_m(R_d^2 + (X_d - X_2)X_d)}{R_d^2 + (X_d - X_2)^2} \\
 &+ j\left(\frac{1}{X_1} - \frac{X_d - X_2 - g_m X_2 R_d}{R_d^2 + (X_d - X_2)^2}\right) \\
 &= \frac{1}{R_{neg}} + j\omega C_{eq}
 \end{aligned} \tag{8}$$

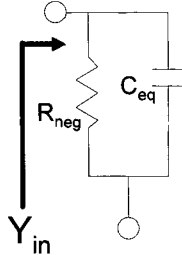


그림 5 간략화된 등가회로
Fig. 5 Simplified equivalent circuit

이제 DGSI에 의한 L-C 등가회로와 부성저항 회로의 간략화된 등가회로를 결합하여 본 논문에서 제안하고자 하는 DGSI 능동공진기의 등가회로를 그림 6과 같이 나타낼 수 있다. 즉 DGSI 전송선로에서 상면의 평행선로에 능동 부성저항 회로가 결합한 꼴이 된다. 그러므로 최종적으로 본 논문에서 제안하고자 하는 DGSI 능동공진기의 전체 등가 캐패시턴스(C_{total})은 식 (9)로 표현되는데, 이 때 C_g 는 FET의 gate 단자에 연결되는 DC block 캐패시터의 캐패시턴스값이다. 따라서 제안하는 DGSI 능동공진기의 공진주파수는 $L-C_{total}$ 에 의하여 주로 결정된다.

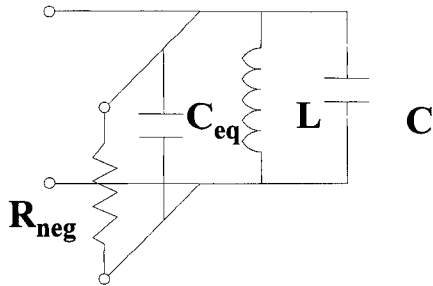


그림 6 DGSI를 이용한 능동공진기의 등가회로
Fig. 6 Equivalent circuit of the active resonator adopting DGSI

$$C_{total} = C + \frac{C_{eq}C_g}{C_{eq} + C_g} \tag{9}$$

한편 C_{total} 이 DGSI만 있을 때의 등가 C보다 크다는 것이 자명하므로, DGSI 능동공진기의 공진주파수가 수동 DGSI만 있을 경우보다 공진주파수가 더 낮아진다. 이는 직렬 피드백 회로의 설계시 외부에서 연결해 주는 소자값을 다르게 해주면 공진주파수가 가변할 수 있음을 의미하는 것이어서 공진기를 필요로 하는 다양한 회로에 응용할 때 장점을 제공한다.

4. 능동공진기의 제작 및 측정

앞에서 설명한 이론을 바탕으로 DGSI와 FET 직렬 R-L-C 피드백 부성저항 회로를 결합한 능동공진기를 그림 7과 같이 제작하여 성능을 측정하고, 시뮬레이션 결과와 비교해 보았다. 능동공진기의 제작을 위한 전송선로용 기판과 DGSI 치수는 그림 1에 설명된 것과 동일하게 택하였다. 본 논문에서 사용한 FET 소자는 FHX35LG이며, 이 소자를 구동할 때 사용한 동작 바이어스 조건은 $V_{ds}=2.5V$, $I_{ds}=10mA$ 이다. 이 때 피드백 소자값 및 DC block 캐패시터값(R_d , L_d , C_d , C_g)은 각각 39Ω , $8.2nH$, $3pF$, $1pF$ 이다. 또한 소신호 등가모델의 기생 캐패시턴스 C_{gs} , C_{gd} 및 g_m 값은 각각 $0.8pF$, $0.16pF$, $100mS$ 이다.

그림 8은 DGSI만 있는 수동공진기와, 본 논문에서 제안한 DGSI 및 FET RLC 직렬 피드백 부성저항회로를 갖는 능동공진기의 시뮬레이션 결과를 보여주고 있다. S-parameter 특성 분석을 위하여 전자기적 시뮬레이터인 Agilent ADS(Advanced Design System) Momentum과 circuit simulator간의 연동 시뮬레이션 (co-simulation)을 실시하였다. 전술한 바와 같이 제안한 능동공진기의 공진주파수가 DGSI만 있는 경우에 비하여 주파수가 더 낮아지는 쪽으로 이동하였다. 이 때 제안한 능동공진기의 경우에 S_{21} , S_{11} 특성이 DGSI만 있는 경우에 비하여 공진주파수에서 각각 $5.6dB$, $0.62dB$ 만큼 개선되었다. 또한 Q 특성의 지표가 되는 $3dB$ 대역폭 대비 공진주파수의 비율 특성도 제안한 능동공진기의 경우가 더 우수함을 알 수 있다. 표 1에 시뮬레이션 결과를 쉽게 비교할 수 있도록 정리하였다.

그림 9는 DGSI만 있는 수동공진기와, 본 논문에서 제안한 DGSI 및 FET RLC 직렬 피드백 부성저항회로를 갖는 능동공진기의 실제 측정 결과를 보여주고 있다. 제안한 공진주파수의 경우에 S_{21} , S_{11} 특성이 DGSI만 있는 경우에 비하여 공진주파수에서 각각 $4.55dB$, $0.32dB$ 만큼 더 우수하게 측정되었고, Q 특성도 더 개선되었음을 알 수 있다. 따라서 제안한 능동공진기를 공진기가 필요한 여파기, 발진기 등에 응용할 경우 기존의 수동공진기만 있을 경우보다 우수한 성능을 얻을 수 있을 것으로 기대할 수 있다.

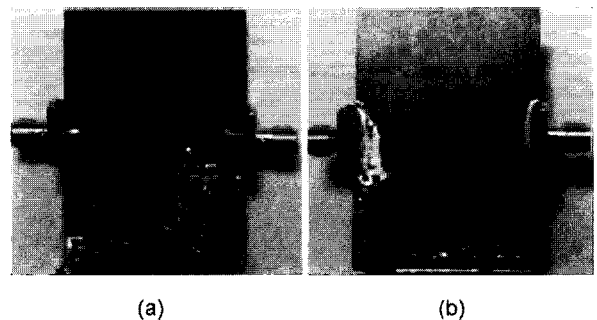


그림 7 능동공진기의 제작된 사진 (a) 상단면 (b) 바닥면
Fig. 7 Photograph of the fabricated active resonator (a) Top view (b) Bottom view

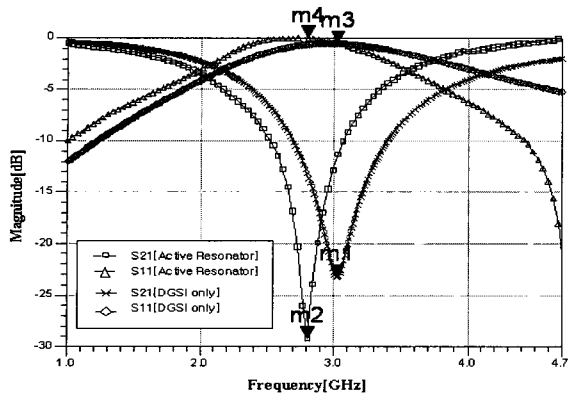


그림 8 DGSI만 있는 수동공진기와 DGSI 및 FET를 포함하는 능동공진기의 시뮬레이션 특성
 Fig. 8 Simulated S-parameters of the DGS passive resonator and active resonator with DGS and FET

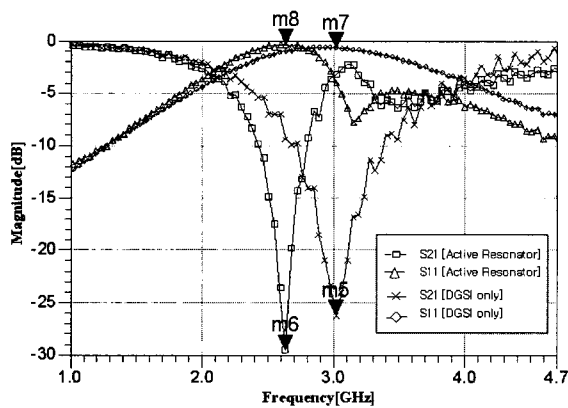


그림 9 DGSI만 있는 수동공진기와 DGSI 및 FET를 포함하는 능동공진기의 측정된 특성
 Fig. 9 Measured S-parameters of the DGS passive resonator and active resonator with DGS and FET

표 1 DGSI 수동공진기와 제안한 능동공진기의 특성 데이터

Table 1 Data of the DGS passive resonator and proposed active resonator

	DGSI only		Proposed active resonator	
	simulation	measurement	simulation	measurement
공진주파수(F_o) [GHz]	3.023 (m1)	3.018 (m5)	2.8 (m2)	2.635 (m6)
S21 [dB]	-23.260 (m1)	-25.024 (m5)	-29.219 (m2)	-29.577 (m6)
S11 [dB]	-0.59 (m3)	-0.697 (m7)	-0.003 (m4)	-0.370 (m8)
$3dB$ bandwidth F_o [%]	60.9	53.5	56.25	33.85

5. 결론

본 논문에서는 발표된 격리 island 패턴을 지니는 결합접 지구조(DGSI)와 FET 능동 소자를 지는 새로운 형태의 능동공진기를 제안하였다. 공통 소스 FET 회로의 드레인 단자에 직렬 피드백 회로를 연결하여 부정저항을 얻을 수 있음을 보이고 이를 결합한 능동공진기를 제안하였다. 제안한 구조를 바탕으로 능동공진기를 실제로 설계한 후 특성을 측정된 결과, DGSI만을 지니는 수동공진기에 비하여 S₂₁, S₁₁이 각각 4.5dB, 0.3dB 개선되고, 공진기의 Q 특성도 개선됨을 확인하였다. 이러한 개선은 FET의 부정저항에 의하여 수동소자 부분에서의 손실이 보상된 결과이다.

제안한 능동공진기는 공진기를 필요로 하는 여파기, 발진기 및 기타 DGS를 응용하고자 하는 각종 초고주파 회로 설계에 잘 응용될 수 있을 것으로 기대된다. 본 연구팀은 향후 관련된 연구를 지속적으로 진행하여 제안된 구조의 소형화 및 다층 기판 적용 연구를 지속할 예정이다.

감사의 글

이 논문은 교육인적자원부, 산업자원부, 노동부의 출연금 및 보조금으로 수행한 최우수실험실지원사업의 연구결과입니다

참고 문헌

- [1] C. Y. Chang and T. Itoh, "Microwave Active Filters Based on Coupled Negative Resistance Method", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-38, no. 9, pp. 1879-1884, Sep. 1990.
- [2] S. R. Chandler, I. C. Hunter and J. G. Gardiner, "Active Varactor Tunable Bandpass Filter", *IEEE Microwave and Guided wave Letter*, vol. 3, no. 3, pp. 70-7., Mar. 1993.
- [3] R. V. Snyder and D. L. Bozarth, "Analysis and design of a microwave transistor active filter," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-18, pp. 2-9, Jan. 1970.
- [4] U. Karacaoglu, I. D. Robertson, "MMIC Active Bandpass Filter Using Negative Resistance Elements", in 1995 IEEE MTT-S Int. Microwave Symp. Dig., pp. 135-138, Jun. 1995.
- [5] Y.-H. Chun, J.-R. Lee, S.-W. Yun, J.-K. Rhee, "Design of an RF low-noise bandpass filter using active capacitance circuit," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-53, no. 2, pp. 687-695, Feb. 2005.
- [6] 임 종식, 구 재진, 오 성민, 안 달, 최 관순, "결합접지구조를 이용한 초고주파 비대칭 전력 분배기 설계" *대한전기학회 논문지*, 제 56권, 제 6호, pp. 1099-1104, 2007년 6월.
- [7] 임 종식, 박 준석, 김 철수, 이 영택, 안 달, 남 상욱, "결합된

접지 구조를 이용한 증폭기의 소형화 방법," *한국전자과학회 논문지*, vol. 13, no. 5, pp. 436-444, 2002년 6월.

- [8] 임 중식, 정 용채, 한 재희, 이 영택, 박 준석, 안 달, 남 상욱, "결함 접지 구조를 이용하여 소형화한 증폭기의 개선된 전력 성능", *한국전자과학회논문지*, vol. 13, no. 8, pp. 754-763, 2002년 9월.
- [9] 임 중식, 김 철수, 안 달, 정 용채, 남 상욱, 김 광수, "결함 접지 구조를 이용한 새로운 5-단 저역 통과 여파기," *한국전자과학회논문지*, 제 16권, 제 6호, pp. 594~602, 2005년 6월.
- [10] J. U. Kim, K. S. Kim, S. J. Lee, J. S. Lim, K. H. Park, and K. S. Kim, and D. Ahn, "A New Defected Ground Structure with Islands and Equivalent Circuit Model," *2005 Asia Pacific Microwave Conference Proceedings*, vol. 1, pp. 458-461, Dec. 2005.
- [11] J. U. Kim, J. S. Lim, K. S. Kim, and D. Ahn, "Effect of a Lumped Element on DGS with Islands," *IEEE International Microwave Symposium Dig.*, pp. 1145-1148, Jun. 2006.
- [12] D. Ahn, J. S. Park, C. S. Kim, J. Kim, Y. Qian, and T. Itoh, "A Design of the Low-Pass Filter Using the Novel Microstrip Defected Ground Structure," *IEEE Trans. Microwave Theory Tech*, vol. MTT-49, no. 1, pp. 86-93, Jan. 2001.
- [13] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits," *IEEE Microwave Guide Wave Letters* vol. 10, no. 4, pp. 131-133, Apr. 2000.
- [14] G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*, Artech House, Dedham, 1980.



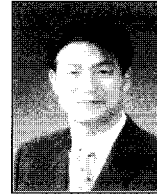
오 성 민 (吳 星 愃)

1980년 12월 25일생. 2006년 순천향대 정보기술공학부 졸업(공학사). 2006~현재 동대학원 전기통신시스템공학과 석사과정

Tel : (041)530-1630

Fax : (041)530-1735

E-mail : steadfastfriend@nate.com



임 중 식 (林 鍾 植)

1968년 11월 17일생. 1991년 서강대 전자공학과 졸업(공학사). 1993년 동대학원 전자공학과 졸업(석사). 2003년 서울대 대학원 전기컴퓨터공학부 졸업(공학박). 1993~2005 한국전자통신연구원(ETRI) 선임연구원, 2005~현재 순천향대학교 전기통신시스템공학과 조교수.

Tel : (041)530-1332

Fax : (041)530-1548

E-mail : jslim@sch.ac.kr



안 달 (安 達)

1961년 10월 15일생. 1984년 서강대 전자공학과 졸업(공학사). 1984년 동대학원 전자공학과 졸업(석사). 1990년 동대학원 전자공학과 졸업(공학박). 1990~1992 한국전자통신연구원(ETRI) 선임연구원, 1992~현재 순천향대학교 전기통신시스템공학과 교수.

Tel : (041)530-1331

Fax : (041)530-1609

E-mail : dahnkr@sch.ac.kr

저 자 소 개



황 문 수 (黃 文 洙)

1980년 9월 19일생. 2006년 순천향대 정보기술공학부 졸업(공학사). 2006~현재 동대학원 전기통신시스템공학과 석사과정

Tel : (041)530-1630

Fax : (041)530-1735

E-mail : u_zicman@hotmail.com