
누설전류를 고려한 Quasi-MFISFET 소자의 특성

정윤근* · 정양희** · 강성준**

Characteristics of Quasi-MFISFET Device Considering Leakage Current

Yeun Gun Chung* · Yang Hee Joung** · Seong Jun Kang**

이 논문은 2006 년도 전남대학교 교수연구역량강화사업 지원에 의하여 연구되었음.

요 약

본 연구에서는 PLZT(10/30/70), PLT(10), PZT(30/70) 강유전체 박막을 이용한 quasi-MFISFET (Metal-Ferroelectric-Insulator-Semiconductor FET) 소자를 제작하여 드레인 전류 특성을 조사하였다. 이로부터, quasi-MFISFET 소자의 드레인 전류 크기가 강유전체 박막의 분극 크기에 따라 직접적인 영향을 받으며 결정된다는 사실을 알 수 있었다. 또, $\pm 5\text{ V}$ 와 $\pm 10\text{ V}$ 의 게이트 전압변화를 주었을 때 메모리 윈도우는 각각 0.5 V 와 1.3 V 이었고, 강유전체 박막에 인가되는 전압에 의해 만들어지는 항전압의 변동에 따라 메모리 윈도우가 변화된다는 사실을 확인할 수 있었다. MFISFET 소자의 retention 특성을 알아보기 위해 PLZT(10/30/70) 박막의 전기장과 시간지연에 따른 누설전류 특성을 측정하여 전류밀도 상수 J_{ETO} , 전기장 의존 요소 K , 시간 의존 요소 m 을 구하고, 이들 파라미터를 이용하여 시간에 따른 전하밀도의 변화를 정량적으로 분석하였다.

ABSTRACT

In this study, quasi-MFISFET (Metal-Ferroelectric-Insulator-Semiconductor FET) devices are fabricated using PLZT(10/30/70), PLT(10), PZT(30/70) thin film and their drain current properties are investigated. It is found that the drain current of quasi-MFISFET is directly influenced by the polarization strength of ferroelectric thin film. Also, when the gate voltages are ± 5 and $\pm 10\text{V}$, the memory windows are 0.5 and 1.3V , respectively. It means that the memory window is changed with the variation of coercive voltage generated by the voltage applied on ferroelectric thin film. The electric field and the leakage current with time delay of PLZT(10/30/70) thin film are measured to investigate the retention property of MFISFET device. Some material parameters such as current density constant, J_{ETO} , electric field dependent factor K and time dependent factor m are obtained. The variation of charge density with time is quantitatively analyzed by using the material parameters.

키워드

Quasi-MFISFET, Ferroelectric thin film, Memory window, Drain current, Leakage current, Charge density

* 전남대학교 정보소재공학과

접수일자 : 2007. 4. 11

** 전남대학교 전기 및 반도체 공학과

I. 서론

최근에 반도체 산업이 급격하게 발달함에 따라 강유전체 박막의 고유특성인 분극반전과 hysteresis 현상을 이용하는 비휘발성 메모리에 대한 연구가 활발히 진행되고 있다. 특히, 강유전체 박막을 이용하여 외부전기장 없이 정보를 기억할 수 있는 비휘발성 메모리소자인 MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자는 기존의 비휘발성 메모리인 EEPROM 이나 flash EEPROM 등에 비해 고집적도, 고속구동, 고내구성, 내방사선성, 저소비전력화를 실현시킬 수 있어 이상적인 메모리로서 각광받고 있다. 또, MFSFET 소자는 셀 크기를 1T/1C 메모리 셀 보다 작게 할 수 있고, 정보를 읽어내는 순간 써놓았던 정보가 파괴되지 않는 NDRO (Non Destructive Read Out) 방식으로 동작한다는 장점을 가지고 있으며 미래의 neural network system 을 위한 핵심부품인 adaptive-learning 소자로의 응용이 제안되고 있어 그 중요성이 더욱 증가하고 있다.^[1-2] 그러나, 강유전체 박막과 실리콘 기판 사이의 확산 및 산화 등에 의한 계면 문제가 MFSFET 소자의 실용화에 상당한 걸림돌로 작용하고 있다. 최근에, 이를 보완하기 위해 강유전체 박막과 실리콘 기판 사이에 완충층을 형성시켜서 강유전체 박막과 실리콘 사이에서 확산과 산화를 방지하고자 하는 MFISFET (Metal-Ferroelectric-Insulator-Semiconductor FET) 구조가 제안되면서 활발한 연구가 이루어지고 있으나, 박막공정 등 여러 가지 문제점 때문에 실용화에는 아직까지 크게 미흡한 실정이다.^[3-5]

본 논문에서는 강유전체 박막과 MOSFET 소자를 분리 제작하여 연결할 수 있어서 제작이 간편하고, 실제적인 MFISFET 특성과 유사한 값을 손쉽게 얻을 수 있는 quasi-MFISFET 소자를 제작하여 드레인 전류 특성을 조사하였다. 또한, MFISFET 소자의 신뢰성을 알아보기 위하여 누설전류의 전기장 및 시간 의존요소와 전류밀도 및 절대온도 등에 따른 메모리 retention 특성에 대해서도 연구하였다.

II. 실험방법

본 논문에서는 그림 1 에 나타낸 것과 같이 외부 게이트 블로 MOSFET 의 게이트 부분과 강유전체 박막의 상부전

극을 연결한 형태의 quasi-MFISFET 소자를 제작하였다.

Quasi-MFISFET 소자의 경우, 강유전체 박막과 MOSFET 소자를 분리 제작하여 연결할 수 있어서 제작이 간편하고, 다양한 강유전체 박막과 MOSFET 소자를 대상으로 특성을 분석할 수 있는 장점을 가진다. 또, 실제적인 MFISFET 특성과 유사한 값을 손쉽게 얻을 수 있다.

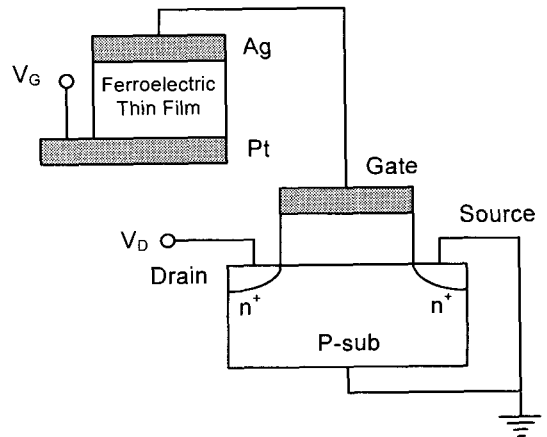


그림 1. MOSFET 와 강유전체 박막을 연결한 quasi-MFISFET 소자

Fig. 1. Schematic drawing of the quasi-MFISFET device connecting MOSFET and ferroelectric thin film.

본 연구에서 사용한 강유전체 박막은 PLZT(10/30/70), PLT(10) 그리고 PZT(30/70) 이며, 용액 합성과 열처리에 대한 상세한 내용은 이전에 발표된 논문에서 언급되어 있다.^[6] 강유전체 박막과 MOSFET 을 외부 게이트 블로 연결한 quasi-MFISFET 소자의 드레인 전류와 메모리 retention 특성 그리고, 누설전류 특성은 parameter analyzer (HP 4145B) 를 이용하여 측정하였다.

III. 결과 및 고찰

그림 2 는 quasi-MFISFET 소자에 사용된 MOSFET 의 드레인 전류 특성 곡선을 나타낸 것이다. 여기서, 실리콘과 산화막 사이에 계면전하 (Q_{ox}) 는 $1.6 \times 10^{-8} \text{ C/cm}^2$, MOSFET 의 게이트 산화물의 두께는 10 nm, N_A 은 $1.0 \times 10^{16} \text{ cm}^{-3}$, 실리콘의 유전상수 (ϵ_{si}) 는 11.8, 게이트 길이 (L) 와 너비 (W) 의 비는 30 이며, 문턱전압은 약 -0.8 V 이다. 실선으로 표시된 곡선은 위의 파라미터를 Sze 등^[7]

에 의해서 논증된 MOSFET의 드레인 전류모델에 적용하여 얻은 시뮬레이션 값이고, 기호로 표시된 곡선은 측정값인데 각각의 값들이 거의 일치하는 경향을 보였다. 또, 게이트 전압에 따라 상대적으로 큰 드레인 전류가 생성되어 본 연구에서 사용되는 MOSFET이 quasi-MFISFET 소자의 확실한 동작을 보증할 수 있음을 확인할 수 있었다.

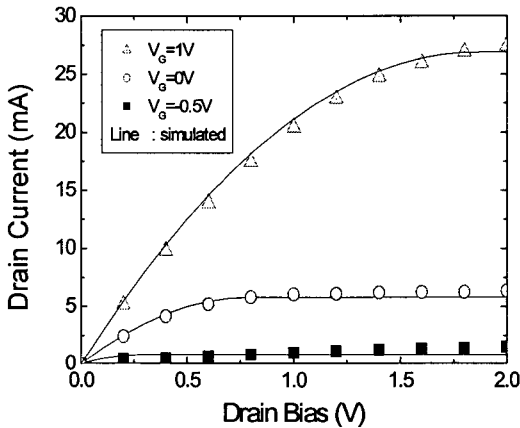
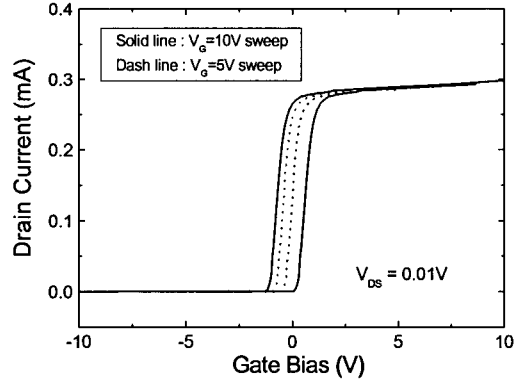


그림 2. 드레인 바이어스에 따른 MOSFET 소자의 드레인 전류곡선

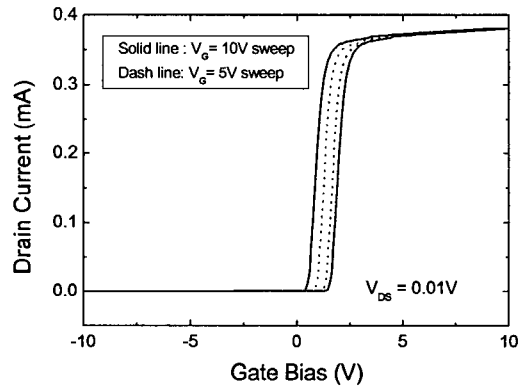
Fig. 2. Measured and simulated drain current curves of MOSFET as a function of drain bias.

그림 3은 PLZT(10/30/70) 강유전체 박막을 사용한 quasi-MFISFET의 게이트 전압에 따른 드레인 전류 특성을 나타낸 것이다. 그림 3(a)는 문턱전압이 -0.8 V의 MOSFET을 사용한 경우이며, 게이트 전압은 '-' 방향으로 인가한 후, 다시 '+' 방향으로 인가하였다. ±5 V와 ±10 V의 게이트 전압변화를 주었을 때 각각 0.5 V와 1.3 V의 메모리 윈도우를 나타냈으며, ±5 V와 ±10 V의 게이트 전압변화에서 각각 -0.9 V와 -0.4 V 및 -1.2 V와 0.1 V의 문턱전압을 나타내었다.

이러한 특성은 강유전체에 인가되는 전압에 의해 만들어지는 항전압의 변동에 따라 메모리 윈도우가 변화된다는 Han^[8] 등의 주장에 부합되는 결과이다. 그림 3(b)는 MOSFET의 문턱전압에 따른 quasi-MFISFET의 특성을 비교하기 위해 문턱전압이 +0.8 V인 MOSFET을 사용한 드레인 전류 특성을 나타낸 것이다. 게이트 전압의 변화에 따른 메모리 윈도우의 크기는 그림 3(a)의



(a)



(b)

그림 3. 게이트 바이어스에 따른 quasi-MFISFET 소자의 드레인 전류곡선

Fig. 3. Drain current curves of quasi-MFISFET device as a function of gate bias.

값과 유사하게 나타난 반면, 특성 곡선들은 그림 3(a)와 비교하여 각각에서 사용된 MOSFET의 문턱전압 차이만큼 이동되었음을 확인할 수 있다. 실제적으로 MFISFET 소자는 위와 아래의 강유전체 분극방향을 각각 정보 '1' 또는 '0'로 설정하는 방식을 취하기 때문에 정보를 'read' 하는 게이트 전압을 0 V로 설정하여 분극 반전에 의한 정보의 파괴가 일어나지 않게 해야 한다. 그러므로, 게이트 전압 0 V에서 드레인 전류의 차이가 명확한 그림 3(a)의 quasi-MFISFET 소자가 유망함을 알

수 있다. 또, PLT(10) 과 PZT(30/70) 박막의 경우에서도 이와 같은 드레인 전압의 이동현상이 발생하였고 문턱 전압 -0.8 V 의 MOSFET 을 사용했을 경우, 게이트 전압 0 V 에서 확실한 드레인 전류의 차이를 얻을 수 있었다.

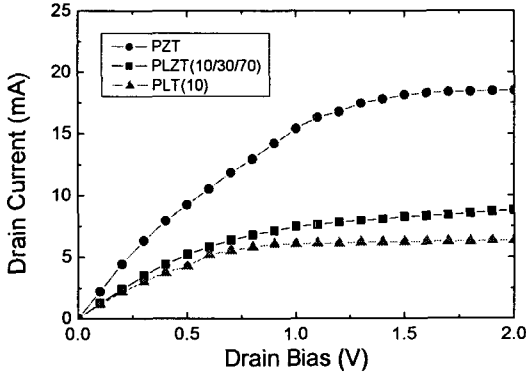


그림 4. 드레인 바이어스에 따른 quasi- MFISFET 소자의 드레인 전류곡선

Fig. 4. Drain current curves of quasi- MFISFET device as a function of drain bias.

그림 4 는 PLZT(10/30/70), PLT(10), PZT(30/70) 강유전체 박막과 문턱전압 -0.8 V 의 MOSFET 을 사용한 quasi-MFISFET 의 드레인 전압에 따른 드레인 전류특성을 나타낸 것이다. 'Write' 게이트 전압을 10 V 로 설정하여 강유전체 분극에 의해 quasi-MFISFET 에 채널이 형성되게 하였고, 0 V 의 'read' 게이트 전압에서 드레인 전류의 변화를 관찰하였다. 또, 'write' 게이트 전압을 -10 V 로 설정했을 경우에는 약 10^{-9} A 크기의 드레인 전류가 흘렀다. 이와 같은 결과는 quasi-MFISFET 소자가 강유전체 분극의 방향에 의해서 조절된다는 사실을 보여주는 것으로서 강유전체 분극 값이 클수록 좀더 확실한 메모리 동작이 가능하다는 사실을 나타낸다.

MFISFET 소자의 누설전류에 따른 특성을 알아보기 위해 PLZT(10/30/70) 박막의 전기장과 시간지연에 따른 누설전류 특성을 측정하여 그림 5 에 나타내었다. 강유전체 박막의 누설전류 특성은 다음과 같은 식으로 나타낼 수 있다.^[9]

$$J = J_{ETO} E^K t^{-m} \exp\left(-\frac{E_a}{kT}\right) \quad (1)$$

여기서, J 는 전류밀도, J_{ETO} 는 전류밀도 상수, E 는 전기장, t 는 시간, K 는 전기장 의존 요소, m 는 시간 의존 요소, k 는 볼츠만 상수, 그리고 T 는 절대온도이다.

그림 5 (a) 의 전기장에 따른 누설전류 곡선을 이용하여 전류밀도 상수 J_{ETO} 와 전기장 의존 요소 K 를 fitting 하여 구하면 각각 $2.5 \times 10^{-15} \text{ A/cm}^2$ 와 2.5~3 이었으며 그림 5 (b) 의 시간지연에 따른 누설전류 곡선으로부터 시간 의존 요소 m 을 fitting 하여 구한 값은 0.7~0.8 이었다.

시간에 따른 전하밀도의 변화를 유도하기 위해서 전하보존법칙으로부터 전류밀도에 대한 식을 다음에 나타내었다.

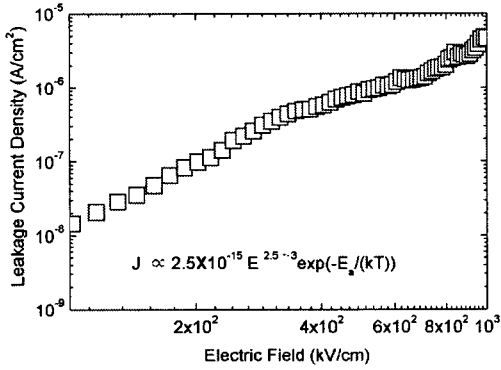
$$J = -\frac{dq}{dt} \quad (2)$$

$$q = CV \quad (3)$$

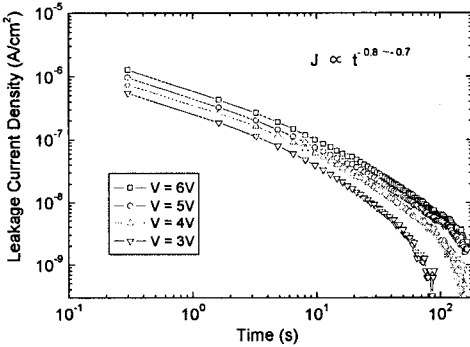
여기서, q 는 전하밀도, C 는 단위 면적 당 강유전체 박막의 캐패시턴스, 그리고, V 는 강유전체 박막의 전압이다. 식 (1)~(3) 으로부터 전하밀도의 변화량을 다음과 같이 유도할 수 있다.

$$q = \left\{ (K-1) \frac{J_{ETO} \exp\left(-\frac{E_a}{kT}\right)}{(\epsilon_0 \cdot \epsilon_r)^K (1-m)} t^{(1-m)} + q_0^{1-K} \right\}^{1/(1-K)} \quad (4)$$

여기서, q_0 는 초기전하밀도, ϵ_r 은 강유전체 박막의 유전 상수이다.



(a)



(b)

그림 5. (a) electric field 와 (b) 시간에 따른 PLZT 박막의 누설전류 특성

Fig. 5. Leakage current of PLZT as a function of (a) electric field and (b) time.

그림 5의 실험 값 으로부터 얻은 파라미터를 식 (4) 에 적용하여 시간에 따른 전하밀도의 변화를 유도할 수 있다.

그림 6 은 J_{ETO} 가 2.5×10^{-15} A/cm², K 가 3, m 이 0.7, E_a 가 0.5 eV 그리고, 절대온도 T 가 300 K 일 경우의 시간에 따른 전하밀도 변화 곡선을 나타낸 것이다. 분극방향에 의해 '+' 와 '-' 의 대칭적인 값을 나타내는 전하밀도가 시간에 따라 지속적으로 감소함을 알 수 있다. 특히, 50 kV/cm² 에서 각각 50, 500, 5000 nA/cm² 의 누설전류에서 시간에 따른 전하밀도는 누설전류의 크기에 따라 비례하여 감소하였는데, 50 nA/cm² 정도의 누설전류에서는 10⁷ s 이상의 시간지연에서도 비교적 강유전체의 전하를 잘 유지하고 있다. 본 연구에서 제작한 PLZT(10/30/70) 박막의 경우, 그림 5 에서 보듯이 누설전류밀도가 50

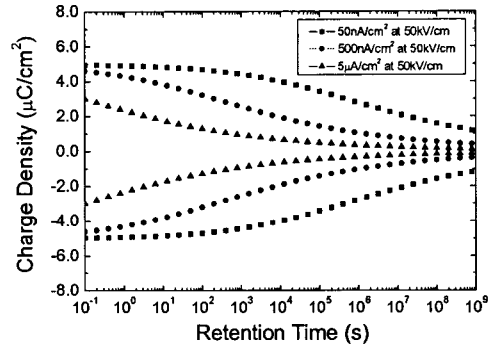
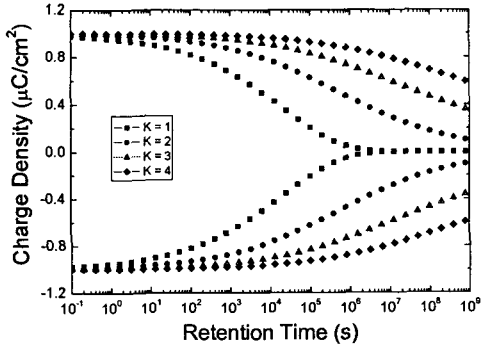


그림 6. 누설전류 크기에 따른 PLZT 박막의 전하밀도 특성

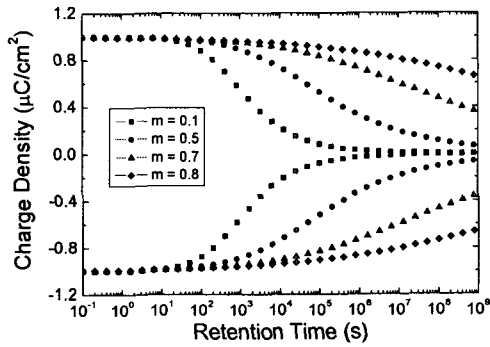
Fig. 6. Charge density of PLZT thin film as a function of leakage current density.

kV/cm² 일 때 50 nA/cm² 이하로써, 누설전류에 따른 분극감소가 미약함을 알 수 있다.

다음으로 식 (4) 로부터 전기장 의존 요소 K 와 시간 의존 요소 m 에 따른 전하밀도 특성을 조사하였다. 그림 7 에서 보듯이 K 와 m 이 감소할수록 전하밀도가 두드러지게 감소하게 되는데, K 와 m 이 각각 약 3~4 와 0.7~0.8 에서 비교적 양호한 전하밀도를 유지하였다. 그 원인은 시간 의존 요소 m 이 클수록 시간 지연에 따라 누설전류가 지속적으로 감소하게 되고, 전기장 의존 요소 K 가 클수록 전압감소에 따른 누설전류가 지속적으로 감소하기 때문으로 추론할 수 있다. 그림 7 의 결과로부터 전기장 의존요소 K 와 시간 의존요소 m 에 따른 전하량 변화를 정량적으로 분석할 수 있으며, 본 연구에서 사용한 PLZT(10/30/70) 박막의 MFISFET 소자의 경우, K 와 m 이 각각 2.5~3, 0.7~0.8 이므로 누설전류에 따른 PLZT(10/30/70) 박막의 MFISFET 소자의 신뢰성이 비교적 우수함을 알 수 있다.



(a)



(b)

그림 7. (a) 전기장 의존 요소와 (b) 시간 의존 요소에 따른 PLZT 박막의 전하밀도 특성
 Fig. 7. Charge density of PLZT thin film as a function of (a) the element of electric field dependence and (b) that of time dependence.

온도에 따른 MFISFET 소자의 신뢰성을 알아보기 위해 PLZT(10/30/70) 박막의 전하밀도 특성을 절대온도의 범위 250~350 K 에서 조사하였다. 그림 8 에서 보듯이, 절대온도 250 K 에서 누설전류에 따른 전하밀도의 감소는 미약했으며, 350 K 에서는 10^3 s 이후 전하밀도가 급속하게 감소하였다. 이는 온도가 증가할수록 누설전류가 지수적으로 증가하기 때문이고 그림 8 의 결과로부터 MFISFET 소자가 신뢰성 있게 동작하기에 적절한 온도범위를 찾을 수 있다.

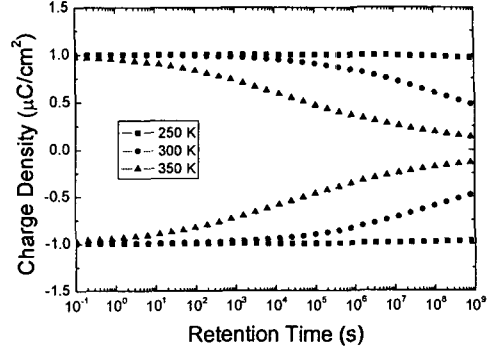


그림 8. 온도에 따른 PLZT 박막의 전하밀도 특성
 Fig. 8. Charge density of PLZT thin films as a function of temperature.

IV. 결론

본 연구에서는 PLZT(10/30/70), PLT(10), PZT(30/70) 강유전체 박막을 이용한 quasi-MFISFET 소자를 제작하여 드레인 전류 특성을 조사하였다. 이로부터, quasi-MFISFET 소자의 드레인 전류 크기가 강유전체 박막의 분극 크기에 따라 직접적인 영향을 받으며 결정된다는 사실을 알 수 있었다. 또, ± 5 V 와 ± 10 V 의 게이트 전압 변화를 주었을 때 메모리 윈도우는 각각 0.5 V 와 1.3 V 이었고, 강유전체 박막에 인가되는 전압에 의해 만들어지는 항전압의 변동에 따라 메모리 윈도우가 변화된다는 사실을 확인할 수 있었다. 다음으로 MFISFET 소자의 retention 특성을 알아보기 위해 PLZT(10/30/70) 박막의 전기장과 시간지연에 따른 누설전류 특성을 측정하여 전류밀도 상수 J_{leak} , 전기장 의존 요소 K, 시간 의존 요소 m 을 구하고, 이들 파라미터를 이용하여 시간에 따른 전하밀도의 변화를 유도하였다. 50 kV/cm^2 에서 각각 50, 500, 5000 nA/cm^2 의 누설전류를 갖는 경우, 시간에 따른 전하량은 누설전류의 크기에 따라 비례하여 감소하였는데, 50 nA/cm^2 정도의 누설전류에서는 10^7 s 이상의 시간지연에서도 비교적 강유전체의 전하를 잘 유지함을 알 수 있었다. 또, K 와 m 이 감소할수록 전하밀도가 두드러지게 감소하여 K 와 m 이 각각 약 3~4 와 0.7~0.8 에서 비교적 양호한 전하밀도를 유지하였다. 그 원인은 시간 의존 요소 m 이 클수록 시간 지연에 따라 누설전류

가 지수적으로 감소하게 되고, 전기장 의존 요소 K 가 클수록 전압감소에 따른 누설전류가 지수적으로 감소하기 때문에 추론할 수 있다. PLZT(10/30/70) 박막의 전하밀도 특성을 절대온도의 범위 250~350 K 에서 조사한 결과, 350 K 에서는 10^3 s 이후 전하밀도가 급속하게 감소하였다. 이는 온도가 증가할수록 누설전류가 지수적으로 증가하기 때문이고, 이로부터 MFISFET 소자가 신뢰성 있게 동작하기에 적절한 온도범위를 찾을 수 있었다.

본 연구로부터 quasi-MFISFET 소자의 드레인 전류 특성과 누설전류 특성에 기반한 retention 특성을 정량적으로 분석할 수 있었고, 이는 향후 강유전체 박막을 이용한 메모리 소자의 개발에 중요한 역할을 할 수 있을 것으로 기대된다.

참고문헌

[1] C. H. Huang, T. Y. Tseng, C. H. Chien, M. J. Yang, C. C. Leu, T. C. Chang, P. T. Liu and T. Y. Huang, "Electrical Properties of Metal-Ferroelectric-Insulator-Semiconductor Using Sol-Gel Derived $\text{SrBi}_2\text{Ta}_2\text{O}_9$ Film and Ultra-Thin Si_3N_4 Buffer Layer," *Thin Solid Films*, **420-421**, pp. 377-381 (2002).

[2] T. P. Ma and J. P. Han, "Why is Nonvolatile Ferroelectric Memory Field-Effect Transistor Still Elusive," *IEEE Electron Device Letters*, **23(7)**, pp. 386-388 (2002).

[3] K. Ashikaga and T. Ito, "Analysis of Memory Retention Characteristics of Ferroelectric Field Effect Transistors Using a Simple Metal-Ferroelectric-Metal- Insulator-Semiconductor Structure," *J. Appl. Phys.*, **85(10)**, pp. 7471~7476 (1999).

[4] X. Wang, J. Zhu, H. Zhang, T. C. Lee, T. Vo, T. A. Rabson and M. A. Robert, "Processing and Characterization of LiNbO_3 Thin Film for Metal Ferroelectric Semiconductor Field Effect Transistor (MFSFET) Application," *Integrated Ferroelectrics*, **40**, pp. 171-180 (2001).

[5] H. B. Kang, J. J. Lee, S. K. Hong, J. H. Ahn, J. S. Kih, M. Y. Sung and Y. K. Sung, "A Dual-Gate Cell (DGC) FeRAM with NDRO and Random Access Scheme Nanoscale and Terabit Non-Volatile Memory," *Integrated Ferroelectrics*, **81**, pp. 141-148 (2006).

[6] 정윤근, 강성준, 정양희, "MFSFET 소자의 전기적 및 리텐션 특성," *한국해양정보통신학회 논문지*, **9**, pp. 570-576 (2007).

[7] S. M. Sze, *Physics of Semiconductor Devices*, 2nd edition, John Wiley & Sons, New York, Chapter 8 (1981).

[8] J. P. Han, X. Guo and T. P. Ma, "Memory Effects of $\text{SrBi}_2\text{Ta}_2\text{O}_9$ Capacitor on Silicon with a Silicon Nitride Buffer," *Integrated Ferroelectrics*, **22**, pp. 213-221 (1998).

[9] J. D. Jackson, *Classical Electrodynamics*, 3rd edition, John Wiley & Sons, New York, Chapter 1 (1998).

저자소개



정 윤 근(Yeun-Gun Chung)

1983년 2월 중앙대 물리학과 졸업 (이학사)

1985년 2월 중앙대 물리학과 졸업 (이학석사)

1988년 8월 중앙대 물리학과 졸업 (이학박사)

현재 전남대학교 정보소재공학과 교수

※관심분야: 반도체 특성 분석 및 simulation



정 양 희(Yng-Hee Joung)

1983년 2월 단국대 응용물리학과 졸업 (공학사)

1985년 8월 인하대 응용물리학과 졸업 (공학석사)

1993년 8월 인하대 전자재료공학과 졸업(공학박사)

1988-1995년 LG반도체 선임연구원

현재 전남대학교 전기 및 반도체 공학과 교수

※관심분야: VLSI 공정 및 반도체물성



강 성 준(Seong-Jun Kang)

1989년 2월 인하대 응용물리학과 졸업 (공학사)

1994년 8월 인하대 전자재료공학과 졸업 (공학석사)

1999년 2월 인하대 전자재료공학과 졸업(공학박사)

현재 전남대학교 전기 및 반도체 공학과 부교수

※관심분야: 반도체 공정 및 재료, 강유전체 박막, 광소자