

---

# 고속 데이터 통신을 위한 다중 Multi SHA 구조를 갖는 ADC 설계

김 선 엽\*

A Design of ADC with Multi SHA Structure which for High Data Communication

Sun-youb Kim\*

---

이 논문은 2006학년도 남서울대학교 학술연구비 지원에 의해 연구되었음

---

## 요 약

본 논문에서는 고속 동작을 위한 다중 SHA(sample and hold amplifier) 구조의 파이프라인 A/D 변환기(analog-to-digital converter)를 제안하였다. 제안된 구조는 변환 속도를 높이기 위해, 동일한 SHA를 병렬로 하는 다중 SHA를 구성하였다. 이를 비중첩 클럭(nonoverlapping clock)에서 동작하도록 하여 셀을 구성하는 SHA의 수와 비례한 빠른 샘플링 속도를 얻을 수 있도록 하였다. 제안된 구조를 적용하여 VDSL(very high-speed digital subscriber line) 모뎀의 아날로그 front-end단의 요구 사항을 만족하는 파이프라인 A/D 변환기를 설계하였다. 설계된 A/D 변환기의 DNL(differential nonlinearity)과 INL(integral nonlinearity)은 각각 0.52LSB~-0.50LSB, 0.80LSB~-0.76LSB의 특성을 나타내어 설계 사양을 만족함을 확인하였다. 또한 2048 point에 대한 FFT를 수행한 결과 SNR이 약 66dB로 10.7 비트의 해상도가 얻어짐을 확인하였으며, 전력 소모는 24.32mW로 측정되었다.

## ABSTRACT

In this paper, ADC with multi SHA structure is proposed for high speed operation. The proposed structure incorporates a multi SHA block that consists of multiple SHAs of identical characteristics in parallel to improve the conversion speed. The designed multi SHA is operated by non-overlapping clocks and the sampling speed can be improved by increasing the number of multiplexed SHAs. Pipelined A/D converter, applying the proposed structure, is designed to satisfy requirement of analog front-end of VDSL modem. The measured INL and DNL of designed A/D converter are 0.52LSB~-0.50LSB and 0.80LSB~-0.76LSB, respectively. It satisfies the design specifications for VDSL modems. The simulated SNR is about 66dB which corresponds to a 10.7 bit resolution. The power consumption is 24.32mW.

## 키워드

ADC, multi SHA, VDSL

### I. 서론

최근 멀티미디어 및 통신시스템의 급속한 발전과 함께 신호처리 기술은 신뢰성의 증대, 저전압 저전력의 동작 특성이 요구되고 있으며 비용 절감과 성능의 향상을 위하여 아날로그와 디지털 혼성모드 VLSI로 발전되는 추세이다. 이러한 시스템에 널리 사용되는 디지털 신호처리 기술의 발달과 더불어 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털 변환기의 중요성이 증가하고 있으며 저전압에서 고해상도를 얻을 수 있는 아날로그 디지털 변환기에 관한 연구가 활발히 이루어지고 있다. 아날로그 디지털 변환방식에서 높은 해상도를 얻기 위한 방법으로 시그마-델타 방식이 사용되고 있지만 변환속도가 느린 단점을 가지고 있다. 따라서 고속처리를 위해서 일반적으로 높은 변환속도를 얻을 수 있는 병렬방식을 사용하지만 높은 해상도를 얻기 위해서는 칩 면적과 소비전력이 증가하는 단점을 가지고 있다. 이러한 문제점을 해결하기 위하여 폴딩(folding), 서브레인징(subranging) 및 파이프라인 구조가 고속 변환 방법으로 사용되고 있으며, 이러한 구조 중에서 적은 면적에서 빠른 동작속도와 고해상도를 얻을 수 있는 파이프라인 구조가 많이 사용되는 추세이다[1]-[12]. 기존의 파이프라인 A/D 변환기의 경우, 고속의 응용 분야에서 타이밍 요구를 완화시키기 위해 입력단에 사용하는 SHA의 성능에 의해 전체 시스템의 해상도 및 동작속도의 제한을 받게 되며 SC(switched capacitor) 회로인 SHA의 동작속도는 연산 증폭기의 대역폭에 의해 제한을 받는다. 따라서 빠른 동작속도와 고해상도의 특성을 얻기 위해서는 연산 증폭기의 성능 향상이 필요하지만, 이러한 시스템에 적합한 연산 증폭기의 설계는 쉽지 않다. 따라서 본 논문에서는 기존의 파이프라인 A/D 변환기의 속도를 향상시키기 위하여 파이프라인 A/D 변환기의 속도 및 해상도에 영향을 크게 미치는 SHA단의 성능을 개선하기 위한 multi SHA 구조의 파이프라인 A/D 변환기의 설계에 관하여 논의한다.

### III. 제안된 아날로그 디지털 변환기

일반적인 N단으로 구성된 파이프라인 A/D 변환기의 구조는 그림1과 같다. 그림1에서 보인 것처럼 마지막

단을 제외한 각 단은 SHA, sub flash A/D 변환기, sub D/A 변환기, 뿔셈기 및 이득단으로 구성되며 그림1에서 점선으로 표시된 SHA, D/A 변환기, 뿔셈기 및 이득단은 동일한 기능을 수행하는 MDAC(Multiplying Digital-to-Analog Converter) 회로를 이용하여 구현할 수 있다 [15]-[16]. 파이프라인 A/D 변환기의 동작은 먼저 SHA에서 샘플링된 데이터가 첫 번째 단의 입력으로 인가된다. 입력된 신호는 sub flash A/D 변환기에서 n비트로 양자화 된 후 다시 sub D/A 변환기에서 아날로그 신호로 변환된다. 변환된 아날로그 신호는 뿔셈기에서 샘플링된 신호와의 차를 구한 후 2<sup>n</sup>배 증폭하여 다음단의 입력으로 인가된다. 이와 동시에 앞단은 새로운 입력 신호를 샘플링 하여 동일한 동작을 수행하게 된다. 파이프라인 A/D 변환기는 각단에서 생성된 전압값이 다음단의 입력으로 사용되기 때문에 전체 해상도로 변환된 첫 번째 이터 값은 단의 수만큼 지연을 가지고 출력되게 되며, 이렇게 변환된 디지털 코드들은 디지털 에러 교정 회로를 이용하여 에러를 교정한 후 최종적인 출력을 얻게 된다. 따라서 N개의 동일한 단으로 구성된 파이프라인 A/D 변환기의 전체적인 해상도는 각단을 구성하는 비트수가 n 일 경우, n×N으로 나타낼 수 있다.

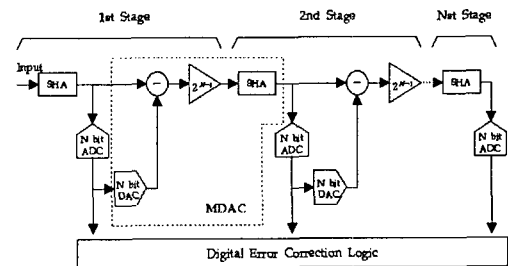


그림 1. 파이프라인 A/D 변환기의 블록도  
Fig. 1. Block diagram of pipelined A/D converter

그림 1과 같은 기존의 파이프라인 A/D 변환기의 경우, SHA 회로는 파이프라인 A/D 변환기의 가장 첫 단에 위치하여 입력을 샘플링한 후 홀드 동작을 수행하는 블록으로 고속의 신호처리에서 발생하는 신호 전달 지연으로 인한 에러들을 줄이는 역할을 수행한다. 따라서 타이밍 요구를 완화시키기 위해 사용하는 SHA의 성능에 의해 전체 시스템의 해상도 및 동작속도가 제한을 받게 되며 SHA 블록에서 발생한 에러는 교정이 불가능한 특징을 갖는다. 이러한 SC 회로인 SHA의 동작속도는 연

산 증폭기의 대역폭에 의해서 제한을 받게 되며 빠른 동작 속도와 고해상도 특성을 얻기 위해서는 연산 증폭기의 성능 향상이 반드시 필요하지만, 고성능의 연산 증폭기 설계는 쉽지 않다. 이러한 문제를 해결하기 위해서 그림 2와 같이 기존의 파이프라인 A/D 변환기를 병렬로 연결하여 동작 하도록 구성한 병렬구조의 파이프라인 A/D 변환기가 제안되었다.

병렬구조의 경우, 이론적으로 병렬로 구성하는 채널의 숫자에 비례한 변환 속도를 얻을 수 있지만, 실제 회로의 구현 시 채널 수에 비례한 하드웨어 증가로 인해 전체 칩 면적 및 전력 소모가 증가하게 되며, 각 채널간의 매칭 문제가 해상도를 제한하는 요인으로 작용하여 고해상도의 구현이 어려운 단점을 갖는다.

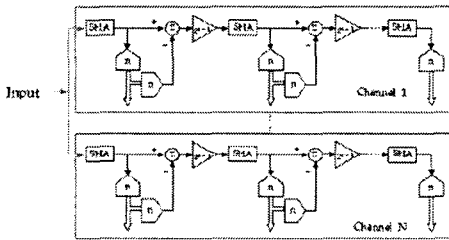


그림 2. 병렬 파이프라인 A/D 변환기의 블록도  
Fig. 2. Block diagram of parallel pipelined A/D converter

따라서 본 논문에서는 이러한 기존의 파이프라인 A/D 변환기와 병렬 구조의 파이프라인 A/D 변환기가 갖는 문제점을 해결하기 위해 그림 3과 같은 multi SHA를 갖는 파이프라인 A/D 변환기를 제안하였다. 제안된 구조는 여러 개의 SHA를 사용하여 각각 비 중첩된 클럭에 SHA가 동작하도록 SHA셀을 설계하였다. 이렇게 동작되는 SHA는 각각의 중첩되지 않는 샘플링과 홀딩된 신호를 출력하게 된다. 이러한 구조를 적용할 경우에  $f_s$ 의 처리속도를 얻기 위해 N개의 SHA를 병렬 구성할 경우, 각각의 SHA 회로는  $f_s/N$ 의 처리속도를 갖게 되며 회로 설계 시 유연성을 가질 수 있으며 동일한 SHA 회로를 사용하여 동작 속도를 향상시킬 수 있고 고해상도 특성을 얻을 수 있게 된다. 따라서 기존의 구조에 비해 연산증폭기의 성능에 의존하지 않는 빠른 동작을 얻을 수 있으며, 병렬구조에 비해서 하드웨어크기를 크게 감소시킬 수 있다.

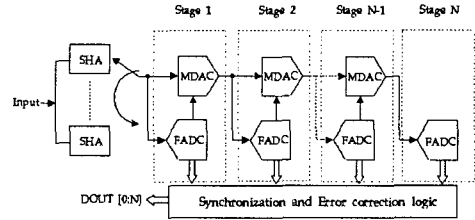


그림 3. Multi SHA를 갖는 파이프라인 A/D 변환기 블록도  
Fig. 3. Block diagram of proposed pipelined A/D converter

### III. Multi SHA를 갖는 파이프라인 A/D 변환기 설계

제안된 구조의 동작을 특성을 확인하기 위해 VDSL 시스템에 적용할 수 있도록 Multi SHA 구조를 적용하여 설계된 A/D 변환기의 설계사양은 표 1과 같다.

표 1. 파이프라인 A/D 변환기의 설계사양  
Table 1. Design parameter of pipelined A/D converter

Item	Specification
Supply voltage	3.3V (single)
Resolution	$\geq 10$ bit
Input range [ V <sub>PP</sub> ]	1V (differential)
Sampling rate [MS/s]	$\geq 20$ MS/s
DNL [LSB]	$< \pm 0.5$
INL [LSB]	$< \pm 1$

그림 4는 제안된 구조를 갖도록 설계된 11비트 20MS/s 파이프라인 A/D 변환기의 블록도이다.

설계된 파이프라인 A/D 변환기는 20MS/s의 동작 속도를 얻기 위해서 10MS/s로 동작하는 SHA를 병렬로 연결하여 구성하였다. 각단은 칩 면적 및 설계요건을 고려하여 3비트의 해상도를 갖도록 설계 하였으며 전체 해상도인 11비트를 얻기 위해 디지털 교정에 사용되는 4비트를 포함한 15비트를 얻을 수 있도록 5단을 연결하여 회로를 구성하였다.

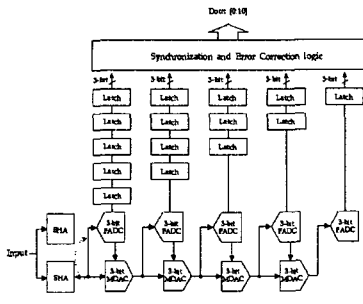


그림 4. 설계된 11비트 20MS/s 파이프라인 A/D 변환기

Fig. 4. Designed 8-bit 20MS/s pipelined A/D converter

파이프라인 A/D 변환기는 각단에서 생성된 전압값이 다음단의 입력으로 사용되므로 마지막 단의 데이터 변환이 이루어진 후 전체 해상도를 얻을 수 있다. 따라서 출력된 각 단의 데이터를 동기 시켜 최종 데이터 값이 출력될 때 까지 지연 되도록 래치회로를 이용하여 타이밍 조정회로를 구성하였다. 최종단의 데이터가 출력된 후 전체 5단에서 출력된 15비트의 데이터를 이용하여 디지털 교정을 수행 후 최종 11비트의 데이터가 출력되도록 하였다.

샘플/홀드 회로는 파이프라인 아날로그 디지털 변환기의 입력을 받아들이는 부분으로 파이프라인 아날로그 디지털 변환기의 해상도를 결정하게 되므로 높은 정확도가 요구된다. 일반적으로 스위치와 커패시터로 SHA 회로를 구성할 경우 높은 해상도를 얻을 수 없으므로 증폭기를 이용하여 회로를 구성하게 된다. 본 논문에서는 그림 5와 같이 2개의 커패시터와 스위치를 사용하는 구조를 이용하여 SHA를 설계 하였다.

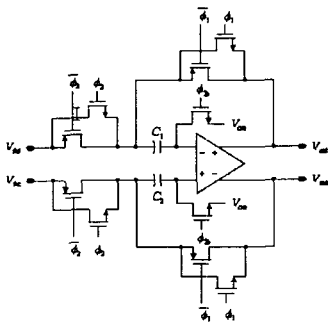


그림 5. SHA

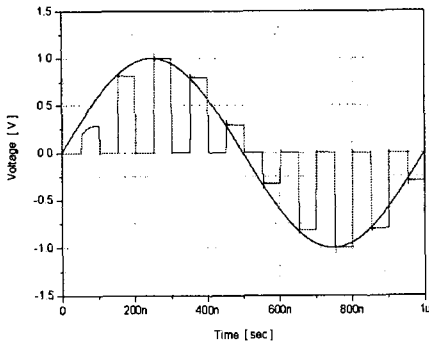
Fig. 5. Sample and Hold Amplifier

설계된 회로는 두 개의 비증첩 클럭을 사용하여 신호의 샘플링 및 홀드 동작이 이루어진다. 먼저  $\phi_2$  클럭이 'high'가 되면, 커패시터의 bottom-plate에 입력 신호가 샘플링 되며, top-plate에는 연산 증폭기의 오프셋 전압이 나타나게 된다. 샘플링 모드에서 홀드 모드로의 전환될 때 커패시터의 top-plate에 연결된 스위치를 먼저 off 시켜 피드스루(feedthrough) 오차를 줄일 수 있다. 홀드 동작은  $\phi_1$  클럭이 'high' 일 때 커패시터의 bottom-plate에 출력단에 연결되어, 샘플링된 입력 신호를 출력하는 홀드 동작이 이루어지게 된다. 따라서 피드스루의 영향을 줄이기 위해  $\phi_{2b}$ 를 먼저 off 시킨 후  $\phi_2$ 가 나중에 off 가 되도록 클럭을 조정하였다. SHA에 사용되는 증폭기는 고주파 응용에 적합한 folded cascode 형태의 증폭기를 이용하였다. 설계된 SHA는 2개의 커패시터를 이용하는 구조 이므로 단일 입력을 샘플링할 경우, 입력단의 공통 모드 전압이 변하게 된다. 따라서 상보형(complementary) 구조의 입력단을 갖도록 설계하여, 낮은 전원 전압에서도 입력 공통 모드 전압의 변화에 영향을 덜 받도록 하였다. n비트의 A/D 변환기를 구현하기 위해서는, SHA의 출력은 여유를 고려하여 n+1 비트 수준의 정확도를 가져야 하며, 20MHz의 클럭 주파수를 사용할 경우에 한주기인 50ns의 반인 25ns에서 클럭의 상승과 하강 시간 및 스위칭 시간 등을 고려하여 15ns안에 정착하도록 설계되어야 한다. 따라서 증폭기의 설계에 필요한  $f_{-3dB}$ 는 식 (1)과 같이 계산할 수 있다.

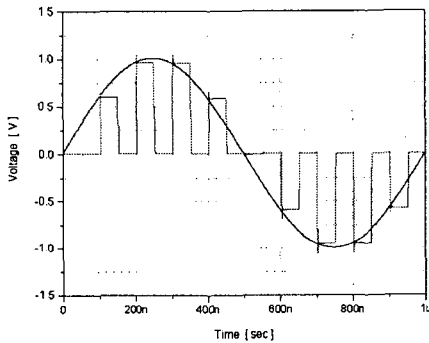
$$t = \tau \cdot n \cdot \ln(2) \tag{1}$$

$$= 12 \cdot \ln(2) \cdot \tau \cong \frac{8.32}{2\pi f_{-3dB}} \cong 15ns$$

식 (1)로부터  $f_{-3dB} \cong 88MHz$ 을 얻을 수 있으며, 설계상의 여유를 고려하여 70dB이상의 이득을 얻을 수 있도록 하였다. 그림 6은 설계된 folded cascode 증폭기를 이용하여 SHA 셀을 구성한 후 크기가 1V인 1MHz 정현파를 인가하여 시뮬레이션을 수행한 결과를 보이고 있다. 그림 7은 SHA1과 SHA2로 구성된 SHA 셀에 대한 전체 출력 신호를 시뮬레이션 한 결과를 보이고 있다. SHA 셀은 비증첩 클럭에 동작하는 SHA1과 SHA2의 신호를 CMOS 스위치를 이용하여 두 출력값이 더해지도록 회로를 구성하였다.



(a) SHA1



(b) SHA2

그림 6. SHA의 출력파형  
Fig. 6. Output of SHA

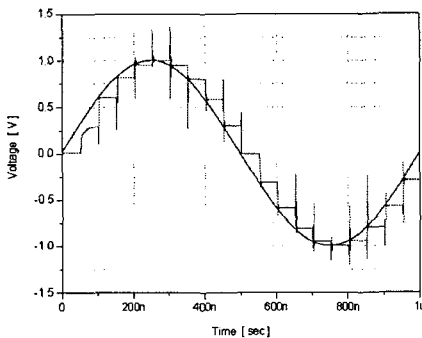


그림 7. SHA 셀의 출력파형  
Fig. 7. Output of SHA cell

비교기는 아날로그 디지털 변환기의 구성 블록 중 상당한 부분을 차지하는 블록으로 본 논문에서는 고속, 저전력 특성을 얻기 위해서 스위치 동작을 간소화시킨 그림 8과 같은 동적 래치비교기를 설계하였다.

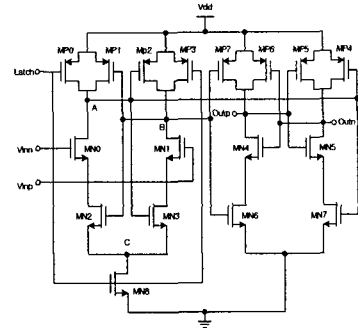


그림 8. 비교기 회로  
Fig. 8. Comparator circuit

설계된 비교기는 CMOS 래치와 RS 래치단으로 구성되며, CMOS 래치는 예비충전(precharge)을 위한 MP0와 MP3을 갖는 교차 결합된 인버터 MP1, MP2, MN2, MN3으로 구성하였으며 정적인 전류를 차단할 수 있는 MN8로 구성된다. 기본적인 동작은 먼저 래치 클럭이 low 일 경우, 절점 A와 B는  $V_{DD}$ 로 충전되며 NMOS 트랜지스터 MN8이 off 되어 정적인 전류가 흐르지 않게 되며 차동 입력단인 MN0와 MN1의 입력 전압의 크기에 따라서 A와 B의 전위가 달라진다. 래치 클럭이 high가 되면 교차 결합된 인버터에 의해서 A와 B 절점의 전위가  $V_{DD}$ 와 접지로 빠르게 변하게 되며, 이 값은 RS 래치 회로에 의해서 다음 래치 클럭동안 출력에 유지된다. 그림 8은 설계된 CMOS 비교기에 대한 동작속도 및 해상도를 알아보기 위한 overdrive recovery 시뮬레이션을 수행한 결과를 보이고 있다. 시뮬레이션 결과 파형에서 나타난 것처럼 최대 50 MHz의 동작 주파수에서 9비트의 해상도를 나타내었다.

#### IV. 시뮬레이션

제안된 구조의 동작을 검증하고, 설계된 파이프라인 A/D 변환기의 성능을 측정하기 위해서  $0.25\mu\text{m}$  CMOS 공정 파라미터를 이용하여 시뮬레이션을 수행하였다. 그림 10은 디지털 교정 회로를 거친 파이프라인 A/D 변환기의 최종 11비트의 특성을 시뮬레이션한 결과를 보이고 있다. ramp 신호를 입력으로 사용하여 전체 범위인 1V 차동 신호를 인가한 후 시뮬레이션을 수행하였으며 실제 데이터의 출력은 5주기 반 후에 정상적으로 변환된 11비트의 디지털 출력값을 얻을 수 있었다.

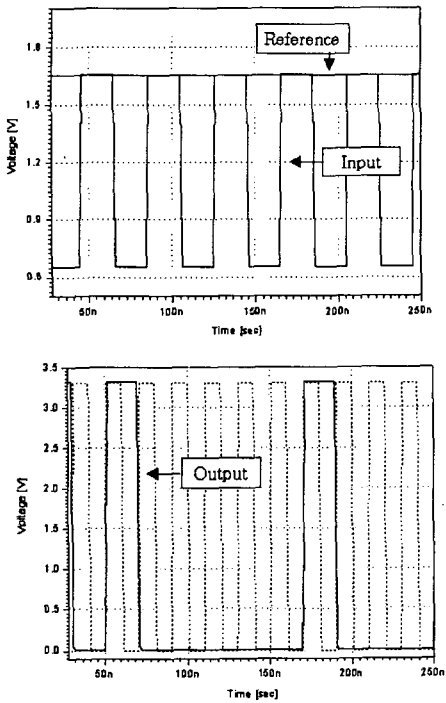


그림 9. 비교기의 Overdrive recovery 시뮬레이션 결과  
 Fig. 9. Overdrive recovery simulation results of comparator

그림 11은 설계된 A/D 변환기의 2048 point에 대한 DNL과 INL을 측정된 결과를 보여 주고 있다. 측정 결과 DNL은 0.52LSB~0.50LSB를 나타내었으며, INL은 0.80LSB~0.76LSB의 특성을 나타내었다.

그림 12는 2048 point에 대한 FFT를 수행한 결과를 보이고 있다. 결과에서 보이는 것처럼 신호와 세 번째 고조파 성분의 비 (SNR)가 약 66dB로 10.7비트의 해상도를 얻을 수 있었으며 설계된 파이프라인 A/D 변환기의 전체 소비전력은 24.32mW의 저 전력의 동작 특성을 나타내었다. 그림 13은 신호의 복원성을 보기 위해서, 1MHz의 정현파를 인가한 후 설계된 A/D 변환기의 디지털 출력값을 HSPICE로 구현한 이상적인 D/A 변환기를 통과시킨 아날로그 출력값을 보이고 있다.

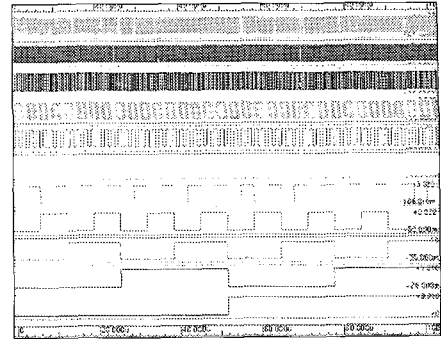


그림 10. 설계된 A/D 변환기의 디지털 출력  
 Fig. 10. Digital output of designed A/D converter

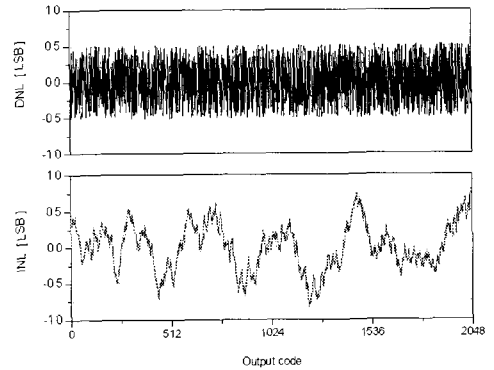


그림 11. 설계된 A/D 변환기의 DNL과 INL  
 Fig. 11. DNL and INL of designed A/D converter

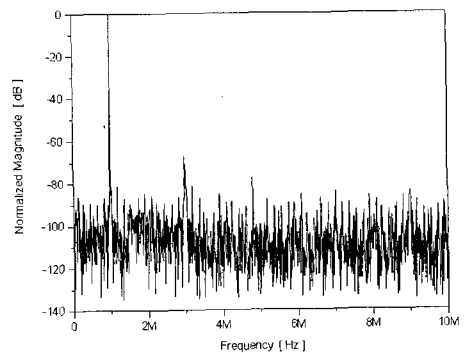


그림 12. FFT 결과  
 Fig. 12. FFT results

표 2는 제안된 구조로 설계된 파이프라인 A/D 변환기의 전체 회로에 대한 성능을 요약하였다.

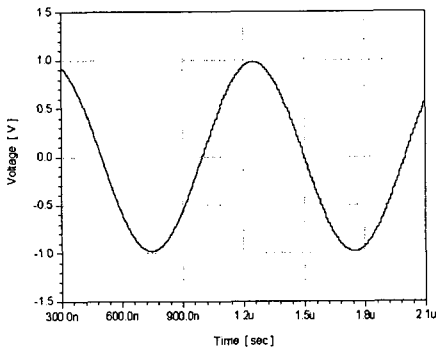


그림 13. 복원신호  
Fig. 13. Recovered signal

표 1. 제안된 A/D 변환기의 시뮬레이션 결과  
Table 1. Simulation results of proposed A/D Converter

Parameter	Performance
Supply Voltage	3.3V (single)
Resolution	10.7 bit
Sampling Rate	20MS/s
Input Range	1V (differential)
SNR	66dB
INL	0.80LSB ~ -0.76LSB
DNL	0.52LSB ~ -0.50LSB
Power dissipation	24.32mW
Technology	0.25 $\mu$ m CMOS

### V. 결 론

본 논문에서는 다양한 통신 및 고속 데이터 변환 분야에서 요구되는 A/D 변환기의 동작속도 및 해상도를 향상시키기 위한 방법으로 multi SHA 구조의 파이프라인 A/D 변환기를 제안하였으며, 제안된 구조를 적용하여 VDSL 모델의 아날로그 front-end단의 요구사항을 만족하는 A/D 변환기를 설계하였다. 설계된 A/D 변환기는 10MS/s로 동작하는 SHA 회로를 사용하여 20MS/s의 샘플링 속도를 얻을 수 있었다. SHA 셀 구성 시 매칭 문제를 일으킬 수 있는 스위치 부분은 CMOS 상보형 스위치를 이용하여 설계하였다. 설계된 A/D 변환기의 SHA에 사용되는 연산 증폭기는 충분한 이득을 얻기 위해 게인 부스팅 회로가 첨가된 folded cascode 구조를 사용하였으며 단위이득 주파수는 360MHz, 전압 이득은 102dB와 65

도의 위상 여유 특성을 나타내었다. 전체 회로의 소비전력을 감소시키기 위해서 리셋 기간에 정적 전류를 차단할 수 있는 래치형 비교기를 설계하였다. 전체 회로는 0.25 $\mu$ m CMOS 공정 파라미터를 이용하여 설계하였다. 설계된 A/D 변환기에 대한 2048 point에 대한 DNL과 INL의 측정결과 DNL은 0.52LSB~0.50LSB 를 나타내었으며 INL은 0.80LSB~0.76LSB의 특성을 나타내었다. FFT를 수행한 결과 SNR이 약 66dB로 10.7비트의 해상도가 얻어짐을 확인 하였으며 전력 소모는 24.32mW로 측정되었다.

본 논문에서 제안된 구조는 다양한 신호처리분야에 적합한 고속 A/D 변환기 설계에 응용될 수 있을 것으로 사료되고, 앞으로 낮은 샘플링 클럭 주파수로 높은 데이터 변환 동작속도를 얻을 수 있도록 데이터 변환시간을 최적화하는 방법에 대하여 연구되어야 할 것이다.

### 참고문헌

- [ 1 ] Stephen H. Lewis and Paul R. Gray, "A pipelined 5-M Sample/s 9-bit Analog-to- Digital Converter," IEEE journal of Solid- State Circuits, vol 22, no. 6, Dec. 1987.
- [ 2 ] M. Ishkiawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H," IEEE J. SolidState Circuits, vol. 24, pp. 1485-1491, Dec. 1992.
- [ 3 ] Michio Yotsuyanagi, Toshiyuki Etoh, and Kazumi Hirata, "A 10-b 50-MHz pipelined CMOS A/D Converter with S/H," IEEE J. Solid-State Circuits vol. 28 no.3 pp. 292- 300, Mar. 1990.
- [ 4 ] Y. Lin, B. Kim, and P. Gray, "A 13-bit 2.5-MHz self-calibrated pipelined A/D converter in 3- $\mu$ m CMOS," IEEE J. Solid-State Circuits, vol. 26, no. 4, pp. 628-636, Apr. 1991.
- [ 5 ] C. Conroy, D. Cline, and P. Gray, "An 8-b 85-MS/s parallel pipelined A/D converter in 1- $\mu$ m CMOS." IEEE J. Solid-State Circuits, vol. 28, pp. 447-454, Apr. 1993.
- [ 6 ] W. Collern and A. Abidi, "A 10-bit 75-MHz two-stage pipelined bipolar A/D converter," IEEE J. Solid-State

Circuits, vol. SC-28, pp. 1187-1199, Dec. 1993.

- [ 7 ] T. Cho and P. Gray, "A 10-bit, 20-Ms, 35mW pipelined A/D converter," Custom integrated Circuits Conference, pp. 499-502, May 1994.
- [ 8 ] H. Fiedler, B. Hoeflinger, W. Demmer and P. Draheim, "A 5-bit building block for 20MHz A/D converters," IEEE J. Solid-State Circuits, vol. SC-16, no. 3, pp. 151-155, Sep. 1981.
- [ 9 ] Rudy van de Plassche, Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 1994.
- [10] D. G. Naim, "A 10-bit, 3V, 100MS/s pipelined ADC," in proc, IEEE Custom Integrated Circuits Conf., pp. 257-260, May 2000.
- [11] David W. Cline and Paul R. Gray, "A Power Optimized 13-b 5Msamples/s Pipe-lined Analog-to-Digital converter in 1.2 $\mu$ m CMOS," IEEE J. Solid-State Circuits, vol.31, pp. 2030-2035, Dec. 1996.
- [12] 최희철, 안길초, 이승훈, 강근순, 이승호, 최명재, "10-bit 20-MHz CMOS A/D 변환기, 대한 전자공학회 논문지, vol. 33-A, no.4, pp. 718-728, 1996.
- [13] 송상섭, 정항근, 정진균, 임명섭, 박동선, 최재호, 고속 DSL 모델설계, 대영사, 2004.
- [14] Bingham, John A. C, ADSL, VDSL, and Multicarrier Modulation, John Wiley&Sons Inc, 2000.
- [15] S. H. Lee and B. S. Song, "Digital-Domain Calibration of Multistep Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol.27, pp. 1679-1688, Dec. 1992.
- [16] S. Lee and B. Song, "A direct code error calibration technique for two-step flash A/D converters," IEEE Trans. Circuits syst., vol. 36, no. 6, pp. 919-922, Jun. 1989.

저자소개

김 선 엽(Sun-youb Kim)

한국해양통신학회지 2006년 10권 2호 참조