

플라즈마 디스플레이 패널의 새로운 표시기간 중첩 프라이밍 방전 기술

(Novel Priming Discharge Overlapping with Display Period Technique
for the Plasma Display Panels)

염정덕*

(Jeong-Duk Ryeom)

요 약

램프(ramp) 파형의 프라이밍 펄스를 표시방전 유지기간에 중첩시켜 인가함으로써, 단일 구동회로를 사용하여 플라즈마 디스플레이 패널(PDP)의 전체를 동시에 방전시킬 수 있는 새로운 프라이밍(priming) 방전기술을 고안하였다. 실험결과로부터 표시방전이 없는 화소에만 프라이밍 방전이 일어남을 확인하였으며 표시방전은 프라이밍 펄스의 영향을 거의 받지 않는다는 것을 알았다. 또한 제안된 프라이밍 방전 기술을 적용한 구동방식을 사용하여 0.7 [μ s]의 어드레스 펄스폭을 가지는 고속 구동을 실현하였고 40[V]의 넓은 어드레스 전압 범위를 얻었다. 이 결과는 1080개의 수평주사선수를 가지는 full-HDTV PDP를 밝기의 감소 없이 구동할 수 있으며 이 기술은 상용의 구동 IC를 사용할 수 있도록 설계되었으므로 상용화 가능성도 높다.

Abstract

A novel priming discharge technique in which the ramp shaped priming pulse is superposed on the sustain period so that the entire plasma display panel (PDP) is discharged at the same time with a single drive circuit is proposed. From the experimental results, it is ascertained that the priming discharge is ignited only in a pixel in which sustain discharge does not occur and it has been understood that the priming pulse hardly influences the sustain discharge. Moreover, high-speed driving with address pulse widths of 0.7 [μ s] was achieved and a wide address voltage margin of 40[V] was obtained by using the drive method applied the proposed priming discharge technique. In these results, full-HDTV PDP with 1080 horizontal scanning lines can be driven without decreasing the brightness and the possibility of the commercializing is also high because this technology is designed for using the commercialized driver IC.

Key Words : Discharge Characteristics, Priming, Drive Method, Plasma Display Panel, Hdtv

* 주저자 : 숭실대학교 전기공학부 조교수
Tel : 02-828-7267, Fax : 02-817-7961
E-mail : cosmos01@ssu.ac.kr
접수일자 : 2007년 8월 10일
1차심사 : 2007년 8월 17일
심사완료 : 2007년 9월 4일

1. 서 론

Full-HDTV(High Definition Television)를 만족

시킴을 위한 조건은 1,080개의 수평주사선수와 12[bit] 이상의 계조표현 능력을 지녀야 한다고 알려져 있다[1]. 그러나 단일 주사방식(single scan)을 기준으로 상용화된 PDP(Plasma Display Panel)는 768개의 수평주사선과 8[bit]의 계조(gray scale)표현의 한계를 가지고 있어, LCD(Liquid Crystal Display)에 비해 화질 측면에서 열세이다. 고화질 PDP의 구동이 어려운 주된 이유는 ADS(Address Display Separated)구동기술의 근본적인 문제점에 있다[2].

이 구동기술에서 하나의 화면이 구성되는 시간단위인 1TV-필드(field)는 화상의 각 [bit]정보에 대응되는 밝기를 가진 복수개의 서브필드(sub-field)로 나누어진다. 각각의 서브필드는 패널 전면을 전기적으로 초기화 시키는 초기화기간(reset period), 화면상의 지정된 화소에 벽전하(wall charge)를 축적시켜 화상정보를 기억시키는 어드레스 기간(address period) 그리고 벽전하가 축적된 화소만을 방전시켜 표시발광을 얻는 표시방전 유지기간(sustain period)으로 분리되어 있다[3]. 초기화기간에는 어드레스 방전이 쉽게 일어나도록 도와주는 프라임링(priming) 방전 기간이 포함되어 있다[4].

이 ADS 구동기술은 각 전극에 인가되는 펄스구조가 단순하여 구동회로의 설계가 쉽고 안정적이라는 장점이 있어 현재 상품화 되어 있는 PDP들의 기본 구동방식으로 사용되고 있다. 그러나 이 구동기술은 수평주사선수나 계조를 증가시키면 밝기가 감소한다[5]. 휘도의 감소가 없이 고화질 PDP를 구동하기 위해서는 어드레스 펄스의 폭을 매우 좁게 하여 어드레스 기간을 단축시키고 상대적으로 표시방전 유지기간을 늘이는 것이 바람직하다. 그러나 ADS 구동기술은 어드레스 방전의 시간지연이 커서 전체 패널에 균일한 표시방전을 유도하기 위해서는 벽전하가 충분히 축적될 수 있을 정도로 어드레스 펄스의 폭이 넓어야 한다[6]. ADS 구동기술에서는 상하분할 주사(double scan)를 하거나 계조 품질을 결정하는 서브필드의 개수를 가변시켜 고해상도 PDP의 휘도저하를 보완하고 있다[7]. 최근에는 어드레스 방전의 지연시간을 단축하기 위한 많은 연구들이 수행되고 있다[8-9]. 그러나 ADS 구동기술로 full-HDTV급 PDP를 구동할 수 있도록 어드레스 펄

스의 폭을 1[μ s] 이하로 좁히는 것은 여전히 어렵다.

ADS구동방식 이외의 고속구동기술로는 AWD(Address While Display)구동기술이 있다. 이 방식은 Y, X 전극들에 인가된 표시방전 유지펄스들의 휴지기에 어드레스 펄스를 삽입하는 방식이다[10]. AWD 구동기술은 폭이 좁은 펄스로도 신뢰성이 있는 어드레스가 가능하다[11]. 그러나 이 방식은 어드레스 방전과 프라임링 방전을 발생시키는 펄스 전압들을 각 주사전극마다 각기 다른 타이밍에 인가하여야 한다. 그 결과 고전압 펄스를 만드는 구동회로가 증가하여 실제적으로는 프라임링 방전을 사용하기가 어렵다.

본 연구에서는 구동방식에 상관없이 하나의 구동회로로 램프(ramp) 펄스에 의한 프라임링 방전을 PDP 전면에서 동시에 일으킬 수 있는 새로운 프라임링 방전 기술을 제안하였다. 또한 이 기술을 적용한 새로운 고속구동방식을 제안하여 이 기술에 대한 타당성을 실험을 통하여 검증하였다.

2. 표시시간 중첩 프라임링 방전기술의 원리

그림 1은 본 연구에서 제안한 새로운 구동방식의 TV 필드 구조를 보인 것이다. 그림에서 보면 각 수평주사 라인의 어드레스 기간은 어드레스 라인을 따라 시간 순차적으로 설치되며 어드레스 기간에 이어서 표시방전 유지기간이 설치된다. 이들 어드레스 기간과 표시방전 유지기간으로 하나의 서브필드가 구성된다. 그리고 이 표시발광 유지기간과 중첩하여 일정한 시간간격을 두고 패널 전면에서 동시에 프라임링 기간을 설치하였다.

연구에 사용된 실험용 PDP의 전극구조는 그림 2에 보인 것과 같이 상용의 PDP와 동일한 3전극 면방전 구조를 가진다[2]. 패널의 상판에는 가로방향으로 수평주사선수와 같은 수의 Y전극들이 설치되고 이 Y전극들과 평행하게 쌍을 이루는 X전극들이 설치된다. 하판유리에는 이들 X, Y 전극과 수직방향으로 D전극들이 설치된다.

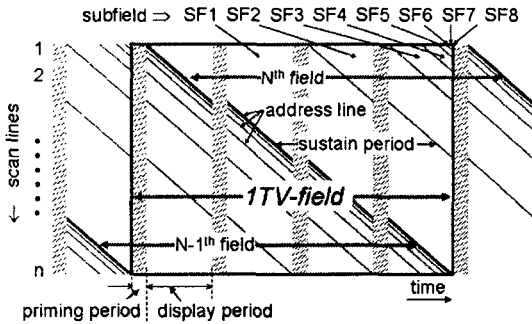


그림 1. 새로운 프라이밍 방전 기술의 1TV-field 구조
 Fig. 1. TV-field structure of the new priming discharge technique

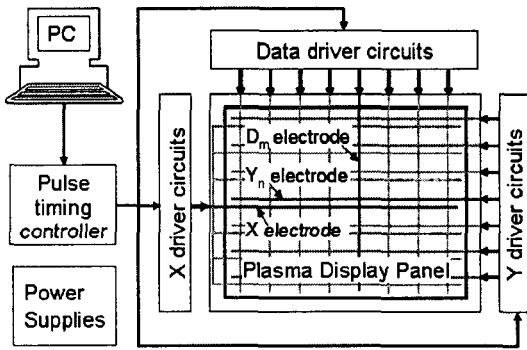


그림 2. PDP 구동실험 장치의 블록도
 Fig. 2. A Block diagram of the test PDP drive system

그림 3은 제안된 구동기술의 자세한 구동 타이밍도이다. 그림에서 보이는 것과 같이, 두개의 표시방전 유지펄스가 X와 Y의 전극에 연속적으로 인가된 후에 하나의 휴지기(rest period)가 설치된다. 어드레스 기간은 이 휴지기 동안에 삽입된다. 이 어드레스 기간에 Y전극에는 주사(scan) 펄스들을 인가하고, D전극에는 주사 펄스와 동기해서 데이터 펄스들을 인가한다. 이 주사 펄스와 데이터 펄스는 폭이 같으며 이들 두 펄스 전압의 합으로 어드레스 방전이 일어난다. 표시방전이 일정기간 유지된 후에는 소거(erase) 펄스에 의한 약방전으로 벽전하를 소거시켜 표시방전을 종료시킨다.

램프 형상의 프라이밍 펄스는 프라이밍 기간의 모든 X전극에 동시에 인가된다. Y전극인 Y_i 를 표시방전이 일어나고 있지 않은 경우라고 가정하면, 프라이밍 기간에는 X, Y 전극면에 벽전하가 쌓여있지 않

으므로 프라이밍 방전이 일어난다. 이후 주사 펄스에 의해 어드레스가 시작된다. 한편 Y_k 를 표시방전이 지속되고 있고 그사이에 프라이밍 기간이 삽입되어 있는 경우라고 가정하면, 표시방전에 의해 두 전극면에 축적된 벽전하가 프라이밍 펄스의 극성과 반대 방향이 되므로 프라이밍 방전은 일어나지 않는다. 이후 표시방전이 정지하고 일정시간 후에 인가되는 주사펄스에 의해 다음 어드레스가 시작된다. 이때 프라이밍 방전은 일어나지 않았지만 표시방전이 일어났으므로 방전공간에 충분한 하전입자가 존재하여 프라이밍 작용을 한다.

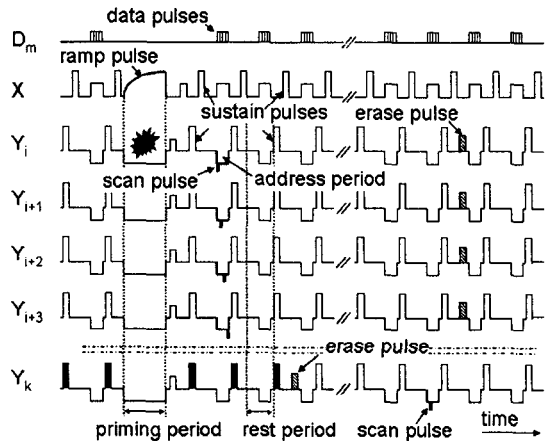


그림 3. 제안된 프라이밍 방전 기술의 펄스 타이밍도
 Fig. 3. Pulse timing chart of the proposed priming discharge technique

이와 같이 제안된 프라이밍 방전기술은 표시방전이 일어나고 있지 않은 화소만 프라이밍 방전을 하여 방전공간은 항상 하전입자가 존재할 수 있도록 한다. 그러므로 표시방전의 횟수가 아주 작은 매우 어두운 동영상에서도 공간전하량의 부족으로 인한 어드레스 방전의 지연이나 실패를 방지할 수 있다.

3. 실험결과 및 토론

그림 2는 실험용 PDP 구동실험 장치의 블록 다이어그램이다. 실험용 PDP는 대각선 크기 6인치이고 화소수는 $80 \times 80 \times 3$ (RGB)이며 화소의 피치 크기는 $220[\mu m]$ 이다. 펄스 로직은 컴퓨터에 의해서 펄스 제

플라즈마 디스플레이 패널의 새로운 표시기간 증접 프라이밍 방전 기술

어부에 있는 FPGA를 사용하여 프로그래밍되며 펄스 제어부는 제어펄스를 각 전극에 연결되어 있는 고전압 구동 회로에 보낸다. 오실로스코프와 828[nm] 근처에서 최대감도를 가지는 하마마쯔의 광센서 및 증폭기 C6386을 사용하여 광출력을 측정하였다. 이 패널의 X전극들은 모두 공통으로 하나의 구동회로에 연결되어 램프 프라이밍 펄스 및 표시방전 유지펄스들이 동시에 인가된다. Y전극에는 각 Y전극에 주사 펄스 및 소거 펄스를 개별적으로 인가하는 구동회로들과 모든 전극에 공통으로 표시방전 유지펄스를 인가하는 회로들이 연결되어 있다.

그림 4는 제안된 프라이밍 방전기술을 사용한 구동방식으로 고속 구동 실험을 한 결과이다. 이 화상은 0.7[μs]의 폭을 가지는 주사 펄스에 의한 어드레스 방전을 사용하여 패널을 구동시킨 것이다. 그림으로부터 PDP의 화소가 선택적으로 발광하고 있는 것과 프라이밍 방전의 영향을 받지 않고 표시방전이 안정적으로 일어나고 있는 것을 알 수 있다.

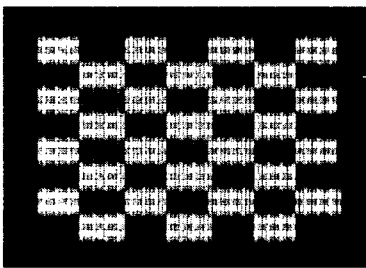


그림 4. 제안된 구동기술에 의해 구동된 실험용PDP의 영상
Fig. 4. An image of the test PDP driven by the proposed drive method

그림 5는 패널에 인가한 전체 펄스들의 방전의 광출력을 오실로스코프로 측정한 것으로 여기서는 프라이밍 방전의 동작 유무를 확인하기 위해서 300[μs]의 간격으로 램프 프라이밍 펄스를 인가하였다. ramp1과 ramp3의 기간은 표시방전이 일어나지 않은 기간으로 프라이밍 방전이 일어나고 있다. ramp2의 기간은 어드레스 방전에 의해 표시방전이 유지되고 있는 기간으로 이때에는 프라이밍 방전이 일어나지 않는다. 그림으로부터 제안된 프라이밍 방전기술은 설계된 대로 올바르게 동작한다는 것을 알 수 있다.

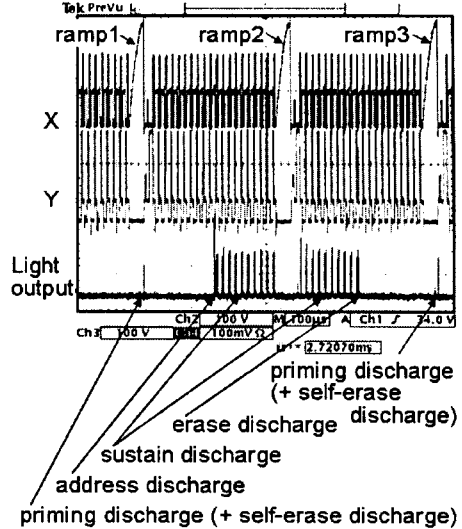


그림 5. 각종 펄스들에 의한 각 방전의 광출력 파형
Fig. 5. Light output of the discharges by the whole pulse voltages

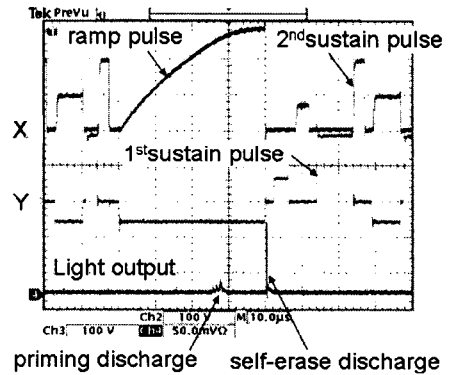


그림 6. 실험에서 측정된 프라이밍 방전의 광출력
Fig. 6. Light output of priming discharge measured from the experiments

그림 6은 프라이밍 기간에 일어나는 방전을 자세하게 보인 것이다. 그림에서 램프 형태의 프라이밍 펄스가 인가되고 있는 동안에 프라이밍 방전이 일어나고 프라이밍 펄스가 종료된 직후에 자기소거 방전이 일어나고 있음을 알 수 있다. 여기서 프라이밍 방전은 각 화소의 잔류 벽전하의 상태에 따라 램프 펄스의 경사면에서 일어나므로 약한 광출력을 나타낸다. 또한 프라이밍 방전에서 측정된 벽전하들에 의해 일어나는 자기소거 방전은 외형상 강하게 보이나 외부 인가전압이 없는 상태에서 일어나는 방전이므로

로 방전이 유지되는 시간이 극히 짧아서 강도는 매우 약하다[12-13].

그림 7은 프라이밍 펄스 부근에서의 표시방전의 광출력을 측정하는 것으로 표시방전이 일어나고 있는 동안에는 확실히 프라이밍 방전이 일어나지 않고 있음을 확인할 수 있다. 여기서 프라이밍 기간에 이어서 Y, X 전극에 교대로 인가되는 표시방전 유지펄스들을 1stsustain 펄스와 2ndsustain 펄스라고 하였다. 실험에서는 프라이밍 펄스가 표시방전에 미치는 영향을 알기 위해 프라이밍 펄스의 폭 T_R 을 바꾸면서 표시방전의 방전지연시간, 상대적인 방전강도 및 방전의 동작전압 범위 등을 측정하였다.

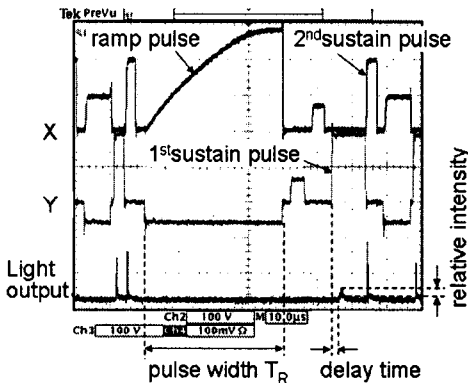


그림 7. 실험에서 측정된 서스테인 방전의 광출력
Fig. 7. Light output of sustain discharges measured from the experiments

그림 8은 프라이밍 펄스의 폭의 변화에 따른 표시방전의 강도의 변화를 측정하는 것으로서 1stsustain 펄스의 폭이 2ndsustain 펄스의 폭과 같은 4[μ s]일 때이다[14]. 1stsustain 펄스의 경우는 프라이밍 펄스의 폭이 증가함에 따라 상대적인 방전강도가 감소한다. 그러나 2ndsustain 펄스의 경우에는 프라이밍 펄스의 폭이 30[μ s] 정도까지 증가할 때에는 일정하다가 이후 갑자기 감소한다. 이때 표시방전은 외관상으로도 매우 불안정해졌다. 본 연구에서는 이 불안정성을 제거하기 위하여 1stsustain 펄스의 폭을 10[μ s]로 넓혔다. 이 경우는 그림 9와 같이 프라이밍 펄스의 폭에 상관없이 일정한 표시방전의 강도를 얻을 수 있었다.

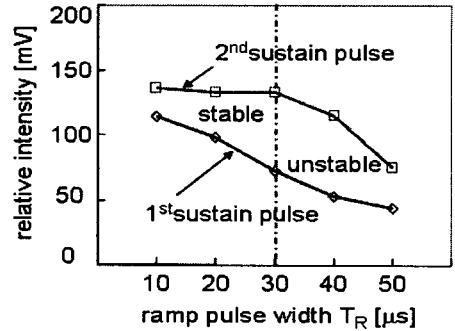


그림 8. Priming 주기의 변화에 따른 sustain 방전의 상대적 방전강도(첫번째 서스테인 펄스 폭=4[μ s])
Fig. 8. Relative intensity of the sustain discharge with varying the priming period(1st sustain pulse width=4[μ s])

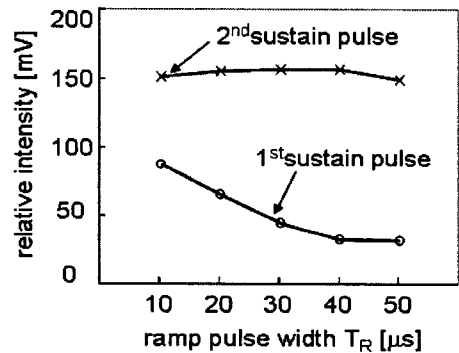


그림 9. Priming 주기의 변화에 따른 sustain 방전의 상대적 방전강도(첫번째 서스테인 펄스 폭=10[μ s])
Fig. 9. Relative intensity of the sustain discharge with varying the priming period(1st sustain pulse width=10[μ s])

그림 10은 1stsustain 펄스의 폭이 10[μ s]일 때의 표시방전의 방전지연시간을 측정하는 것이다. 이 경우에는 1stsustain 펄스에 의한 방전은 프라이밍 펄스의 폭이 증가함에 따라 방전지연시간이 늘어나지만, 2ndsustain 펄스에 의한 방전은 방전지연시간의 변화가 거의 없다.

프라이밍 기간 동안 이전 표시방전에서 축적된 벽 전하는 거의 감소하지 않을 것이므로 이 실험 결과들로부터 프라이밍 기간 이전의 표시방전에서 발생한 공간전하의 감소가 1stsustain 방전에 영향을 미치고 있는 것으로 추측된다. 그러나 2ndsustain 방전의 특성이 프라이밍 펄스의 폭에 무관하게 일정하게 유

플라즈마 디스플레이 패널의 새로운 표시기간 중첩 프라이밍 방전 기술

지되는 것으로 보아 선행 연구결과에서 보인 것과 동일한 이유로, 프라이밍 펄스의 폭이 어느 정도까지 증가하더라도 1stsustain방전에서 충분히 벽전하가 축적된다면 2ndsustain 방전 이후는 표시방전이 정상상태로 회복될 수 있는 것으로 사료된다[14].

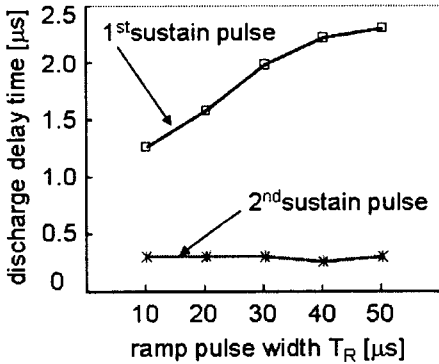


그림 10. Priming 주기의 변화에 따른 sustain 방전지연시간
 Fig. 10. Delay time of the sustain discharge with varying the priming period

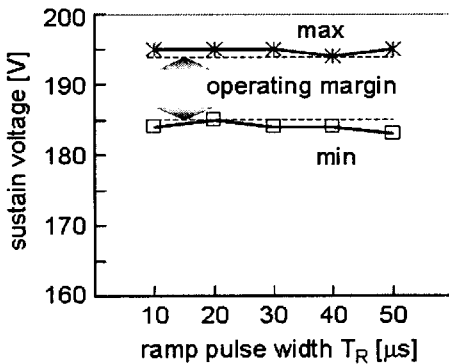


그림 11. Priming 기간의 폭의 변화에 의한 sustain 동작 마진
 Fig. 11. Operating voltage margin of sustain discharge with varying the priming period

그림 11은 프라이밍 펄스의 폭의 변화에 의한 표시방전의 동작전압 범위를 측정하는 것이다. 여기서 최소전압은 일정 면적의 표시방전이 모두 안정적으로 개시되는 전압이고 최대전압은 일정 면적의 표시방전이 모두 안정적으로 유지되는 최대전압을 의미한다. 측정 결과로부터 프라이밍 펄스의 폭에 무관

하게 10[V] 정도의 일정한 동작마진을 얻었다.

그림 12는 주사펄스의 폭이 0.7[μ s]일 때의 어드레스 방전의 동작전압 범위를 측정하는 것이다. 여기서 최소와 최대는 어드레스 방전으로 안정적인 표시방전이 유도되는 최소와 최대의 데이터 전압이다. 실험결과로부터 프라이밍 펄스의 폭에 무관하게 40[V]의 넓은 동작전압 범위를 얻었다. 이 실험 결과로부터 표시방전 유지기간에 중첩하여 삽입된 램프 형태의 프라이밍 펄스는 표시방전에 영향을 미치지 않으며 제안된 프라이밍 방전 기술은 고속구동기술에 사용할 수 있다는 것을 알 수 있다.

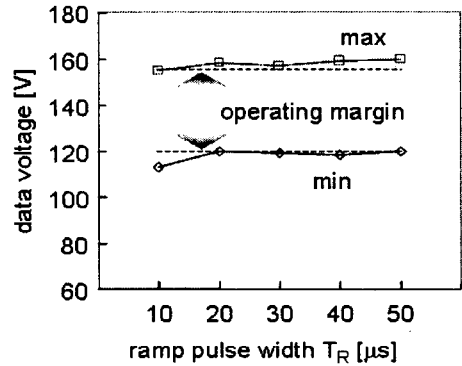


그림 12. Priming 기간의 폭의 변화에 의한 address 동작 마진
 Fig. 12. Operating voltage margin of address discharge with varying the priming period

4. 결 론

본 연구는 플라즈마 디스플레이 패널을 위한 새로운 표시기간 중첩 프라이밍 방전기술을 제안하고 그 타당성을 검증한 것이다. 이 기술은 표시방전 유지기간에 중첩하여 프라이밍(priming) 펄스를 패널 전체에 동시에 인가할 수 있는 것이 특징이다.

프라이밍 펄스폭의 변화에 따른 표시방전의 상대적 방전강도, 방전지연시간 그리고 동작전압 범위 등의 변화를 측정하는 결과, 제안된 프라이밍 방전 기술은 표시방전에 영향을 거의 미치지 않았다.

이 기술을 적용한 고속구동방식을 고안하고 패널 구동실험을 한 결과, 0.7[μ s]의 주사 펄스폭을 가지는 고속 어드레스가 가능하였으며 40[V]의 어드레스

동작전압 범위를 얻을 수 있었다. 이는 1080개의 수평주사선수와 12개의 서브필드를 갖는 full-HDTV PDP를 휘도감소 없이 구동할 수 있는 수준이다.

이 기술은 단일 회로로 모든 전극의 프라이밍 방전을 구동할 수 있으므로 상용의 구동 IC를 사용할 수 있다. 그리고 프라이밍 방전에 램프(ramp) 펄스를 사용함으로써 프라이밍 방전을 최적화시키고 불필요한 배면광을 감소시켜 명암비(contrast ratio)를 향상시킬 수가 있다[12-13].

다음 연구에서는, 본 프라이밍 방전기술을 적용한 고속구동방식의 계조특성 등 표시방전 특성에 대하여 실험을 할 필요가 있다.

본 연구는 숭실대학교 교내연구비 지원으로 이루어졌습니다.

References

[1] T. Kurita, "Desirable Performance and Progress of PDP and LCD Television Displays on Image Quality", SID 03 Digest, pp.776-779, 2003.
 [2] T. Shinoda, M. Wakitani, T. Nanto, T. Kurai, N. Awaji and M. Suzuki, "Improvement of Luminance and Luminous Efficiency of Surface-Discharge Color. ac PDP", SID 91 Digest, pp.724-727, 1991.
 [3] S. Kanagu, Y. Kanazawa, T. Shinoda, K. Yoshikawa and T. Nanto, "A 31-in.-Diagonal Full-Color Surface Discharge ac Plasma Display Panel", SID 92 Digest, pp.713-716, 1992.
 [4] Y. Sano, T. Okajima, N. Koyama, T. Yoshioka and K. Nunomura, "A Full-Color Surface-Discharge ac Plasma TV Display", SID 91 Digest, pp.728-731, 1991.
 [5] E. Mizobata, K. Toki and T. Nakamura, "Development of a New Gray Scale Driving Method by Controlling Wall Voltage of Addressing Step", SID 02 Digest, pp.944-947, 2002.
 [6] N. Uemura, Y. Yajima, M. Shibata, Y. Kawanami and F. Namiki, "Improvement of the Speed of Address Discharges in Ne-Xe-He Discharge Cases for ACPDPs", SID 03 Digest, pp.784-787, 2003.

[7] V. Nagorny, "Fast Addressing of Plasma Display Panels", SID 06 Digest, pp.60-63, 2006.
 [8] S. Nagano, K. Sano, K. Hirose and S. Makino, "Improvement in Address Discharge Response with Stripe Ribs and Discharge Deactivation Films", IDW '04, pp.879-882, 2004.
 [9] K. Sakata, T. Tokunaga, M. Nishimura, S. Iwaoka and N. Saegusa, "Driving of High Contrast and High Speed Discharging PDP", IDW/AD '05, pp.1433-1436, 2005.
 [10] H. Homma, K. Totoki, K. Igarashi, S. Mikoshiba, H. Asai and N. Kikuchi, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with an HDTV Capability", Conference record of IDRC, pp.285-288, 1997.
 [11] M. Ishii, T. Shiga, K. Igarashi and S. Mikoshiba, "Driving of PDPs with 208 Sub-Fields Using a Grouped Address-While-Display Scheme", SID 01 Digest, pp.1134-1137, 2001.
 [12] L. F. Weber, "Plasma Display Device Challenges", Proc. International Display Research Conference, pp.15-27, 1998.
 [13] V. Nagorny P. Drallos and L. F. Weber, "Stability of Positive Resistance Discharges for AC PDPs", SID 00 Digest, pp.114-117, 2000.
 [14] J. Ryeom, 'A Study on the Effect of Space Charge on the Display Discharge of Plasma Display Panel', Journal of KIEE, Vol.20, No.7, pp. 14-20, August 2006. (in Korean).

◇ 저자소개 ◇

염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 졸업(석사). 1992년 서울대학교 대학원 전기공학과 졸업(박사). 1992~1995년 LG전자(주) 영상미디어(연) 선임연구원. 1996년 日本 電氣·通信大學 外國人研究者. 1997~1999년 삼성SDI(주) PDP팀 선임연구원. 2000~2005년 경주대학교 컴퓨터정보시스템공학부 조교수. 2006년~현재 숭실대학교 전기공학부 조교수.