

---

# 고속 프로그램 알고리즘을 이용한 스마트 칩 설계

김태민\* · 신건순\*\*

Smart Chip Design using High Speed Program Algorithm

Tae-Min Kim\* · Gun-Soon Shin\*\*

---

이 논문은 2006년도 금오공과대학교 학술 연구비와 IDEC의 CAD TOOL을 지원 받았음

---

## 요 약

현재 사용 중인 프린터의 토너에 부착된 토너 잔량 검출 회로는 PCB 회로기판을 사용함으로써 부피가 비교적 큰 상태이므로 보다 경량 소형화된 프린트에 사용하기에는 부적합하다. 본 연구에서는 이와같은 소형화된 회로를 one chip함으로써 경쟁력이 있는 제품을 개발한다.

2005년 이후 출시된 프린터에 사용되는 토너에는 칩이 필수적으로 부착되어야 한다. 따라서 앞으로의 재생시장에서 사용될 칩의 수요는 점점 커질 것이다.

세계적인 레이저 프린터 메이커들이 프린터에서 사용되는 토너카트리지의 정보를 관리하여 고객 서비스를 한다는 취지로 프린터에 부착되는 칩으로 인해 재생토너의 생산이 불가능하다. 본 연구에서는 재생토너를 생산하기 위해 필수적으로 부착되는 칩을 개발한다.

## ABSTRACT

Bulk of toner residual quantity detection return trip conglutinated in toner of using printer current is comparative big state by using PCB substrate, therefore is incongruent to use in light weight print miniaturized more.

Return trip this development miniaturizes such as this by doing one chip competitive product develop chip has to be conglutinated compulsorily in toner used to printer announced since 2005 years.

Therefore, demand of chip to be used in forward revival market may be thriving.

Production of revival toner is impossible by chip conglutinated to printer to meaning that manage information of toner cut ridge that universal laser printer makers are used in printer and do customer service.

In this paper, we develops chip conglutinated compulsorily to produce revival toner.

## 키워드

토너잔량 검출회로, One Chip, 재생 토너

---

\* 금오공과대학교 전자공학부 겸임교수  
\*\* 금오공과대학교 전자공학부 교수

## I. 서 론

프린터 제어 시스템은 장치 본체 제어부와 각 불휘발성 메모리 사이에 메모리 액세스 제어부를 설치하고, 메모리 액세스 제어부에 의해서 각 불휘발성 메모리에 대한 기록 및 판독을 행하는 것으로 구성되기 때문에, 불휘발성 메모리의 각 단자에 직접 액세스할 필요가 없이, 장치 본체 제어부와 메모리 액세스 제어부 사이에서 데이터 통신을 행하기 위한 신호선이 설치되어 있다. 더욱이 장치 본체 제어부가 각 불휘발성 메모리를 직접 액세스할 필요가 없기 때문에, 장치 본체 제어부의 처리를 경감시킬 수 있다. 또한, 메모리 액세스 제어부는 각 불휘발성 메모리에 격납되어 있는 데이터를 판독하여 일시 기억 수단에 격납하고 있다. 그리고, 장치 본체 제어부측으로부터의 판독 요구에 대하여 RAM에 격납하고 있는 데이터를 판독하여 대담하기 때문에 판독요구에 대한 회답을 고속으로 할 수 있다. 메모리 액세스 제어부내에 전원 공급 제어 수단을 설치하고 있기 때문에, 불휘발성 메모리에 대하여 액세스할 때에만, 불휘발성 메모리로 전원을 공급시킬 수 있다. 이로써, 불필요한 전력 소비를 없앴과 동시에 불휘발성 메모리로 액세스하고 있지 않는 상태에서 노이즈 등에 의해서 불휘발성 메모리의 격납 데이터가 재 기록되는 것을 방지할 수 있다.

## II. 회로 설계 및 Layout 설계

### 2.1 Architecture

그림 2-1은 잉크 잔량 감지 IC의 구성을 나타내는 것으로서, 잉크젯 프린터내에서 정확한 잉크 사용량을 측정하는 제어 방법을 나타내었다. 사용자에게 인쇄 동작이 시작 되면, 주제어기내의 주 메모리는 입력된 프린팅 문자의 수를 계산하여, 이에 따라 소모되는 잉크의 양을 계산하며, 현재 남아 있는 잉크의 양과 비교하여 그 차이를 주제어기 내의 불휘발성 메모리에 data를 저장하는 과정을 반복한다. 주제어기내의 불휘발성 메모리는 주제어기에 전원이 일시적으로 제거될 경우를 대비하여, 매회 data를 저장하게 된다. 잉크젯 프린터는 구조적으로 주제어기와 잉크 카트리지의 H/W적 분리가 필요하기 때문에, 잉크 잔량 계산을 위한 ALU, 메모리, RAM 등 복잡한 기능 block으로 구성되어 있는 주제어기는 프

린터 자체에 그리고, 잔량 data를 보존하는 역할을 담당하는 잔량 감지 칩은 반드시 잉크 카트리지내에 장착되어야 함을 알 수 있다. 만약, 잉크 카트리지가 별도의 잔량 감지 및 저장 기능을 갖지 않은 경우, 비정상적인 카트리지 교체에 대해서 주제어기는 인식하기 어려운 문제점을 안고 있다

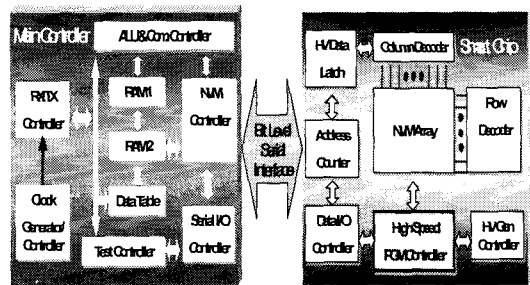


그림 2-1. 잉크 잔량 감시 시스템의 구성도  
Fig. 2-1 Toner Residual Quantity System Circuit

본 논문에서는 프린터 본체로부터 전달되는 프린팅 명령에 의해 소모되는 잉크의 양 정보를 잉크 카트리지에 장착되어 있는 스마트 칩에 송신 후 저장함으로써 잉크 소모량에 관계없이 카트리지는 교환 할 수 있도록 설계되었다. 스마트 칩의 구조를 보면 주 제어기에서 전송되는 저전압 데이터와 불휘발성 메모리에 잔량 정보를 저장하기 위해 발생되는 고전압 생성 블록을 분리하는 인터페이스 회로, 고속으로 전송되는 비트 레벨의 데이터를 메모리 셀내에 저장하기 위한 고속 프로그램 래치 회로, 메모리셀을 프로그램하기 위해 고전압을 생성하고 정확한 프로그램 시간을 생성하는 고전압 생성/제어 회로로 구성된다. 주제어기와 smart chip의 신호 전달 순서를 살펴보면, 우선 주제어기에 전원이 공급(ON 상태) 되면, 주제어기내에 있는 메모리를 reset하고, smart chip으로부터 카트리지의 잉크량에 대한 정보를 읽어 저장한다. 이때 저장된 data는 프린팅 명령에 의해 update 되지만 smart chip내에 있는 메모리는 변화가 없다. 둘째, 프린터 전체 전원을 제거하기 전(OFF 상태) 주제어기 저장된 모든 data를 smart chip내에 있는 EEPROM Cell로 이동시킨 후 꺼지게 된다. 표 2-1과 표 2-2는 잉크 잔량 감지 칩의 DC/AC 특성을 나타내는 것으로서 주제어기에서 1비트의 data를 전송하는데 필요한 시간은, Read sequency에서 3us(Logic High/Low = 1.5us/1.5us), Write Sequency에서 2.5ms를 만족해야만 한다.

표 2-1. DC Specification  
Table 2-1.. DC Specification

Symbol	Parameter Description	Rating Value			Unit
		Minimum	Typical	Maximum	
Power Supplier					
V <sub>CC</sub>	Operate Voltage	3	3.3	5.5	V
I <sub>CC</sub>	Power Supply	-	0.9	1.2	mA
Input					
V <sub>H</sub>	High Input Voltage	70%*V <sub>CC</sub>	-	V <sub>CC</sub>	V
V <sub>L</sub>	Low Input Voltage	-	-	1.5	V
I <sub>H</sub>	High Input Current	-	-	50	uA
Output					
I <sub>L</sub>	Low(V <sub>L</sub> =0.5V) Output Current	2	-	-	mA
I <sub>H</sub>	High(V <sub>H</sub> =4.5V) Output Current	2	-	-	mA
I <sub>d</sub>	Input leakage Current			50	uA
Capacitance					
C <sub>i</sub>	Input Capacitance	-	-	10	pF

표 2-2. AC Specification  
Table 2-2. AC Specification

Symbol	Parameter Description	Min. Value	Max. value	Unit
t <sub>RES</sub>	Reset effective time	1	-	us
t <sub>READH</sub>	Read clock high electrical level width	1.5	-	us
t <sub>d</sub>	Read out delay time ( zero load)	-	300	ns
t <sub>WL</sub>	Program clock low electrical level width	1.5	-	us
t <sub>WH</sub>	Program clock high electrical level width	2.5	-	ms
t <sub>SET</sub>	Program time of data-setting	500	-	ns
t <sub>READL</sub>	Read Clock low electrical level width	1.5	-	us
t <sub>d1</sub>	Page operating delay	1.5	-	us
t <sub>dEND</sub>	Page Operating delay	1.5	-	us

그림 2-2는 Smart chip의 read-out timing diagram을 나타내는 것으로써, COM1~ COM2는 다수의 카드리지가 장착될 경우에 대해서 동일 신호선을 이용하여 제어 가능하도록 하기 위해 각 카트리지를 구분하는 신호를 우선 할당하고, 그 다음에 Read 혹은 Program 명령 비트가 포함된다. 만약 Program 명령일 경우에는 외부 Clock

의 High와 Low 펄스 폭이 달라 지게 되며, 칩 내부에서는 외부에서 허용된 clock high 시간내에 data 저장을 완료해야 한다. Erase/Write 시간은 xFAB의 공정을 고려하여 각각 2ms로 결정하였으며, 내부에 별도의 register를 이용하여 2.5ms의 Program 신호에도 정확한 data가 저장될 수 있도록 설계 하였다.

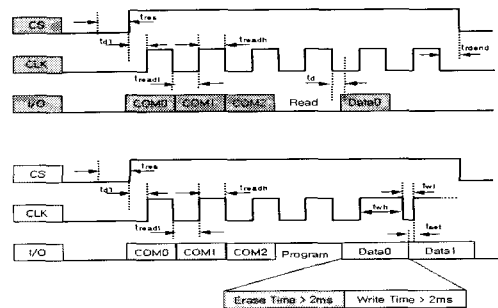


그림 2-2. Read-out Timing Diagram  
Fig. 2-2 Read-Out Diagram

Read/Program 비트를 처리한 후에는 256개의 Data를 연속적으로 처리하게 된다. 즉 특정 주소의 data를 지정해서 읽어 내는 것이 아니라, 전체 메모리에 있는 정보를 순차적으로 한번에 Readout 하게 된다. Smart Chip에 인가되는 Clock의 1펄스 시간을 3[us]로 가정하면 256비트의 data를 Read하는 시간은 768[us]로 1ms내에 모든 정보를 읽어 낼 수 있으나, program시간은 640ms로서(2.5ms\*256bit) 프린터 시스템의 전원이 제거되기 전에 적어도 640ms 이상의 시간동안 전원을 유지해야 한다.

그림 2-3은 Smart Chip내부의 세부 기능블록도로써, 각 블록간의 신호 흐름을 나타내었다. I/O 포트는 NMOS FET의 open-drain 구조를 이용하여 Read/Write 명령에 따라 I/O를 신호를 입·출력할 수 있도록 하였다. Write 명령일 경우 Dout에는 항상 0[V]를 인가하여 주체 어기에서 전달되는 data가 손상되지 않도록 하며, Read 명령일 경우 메모리내의 Data에 따라 Data I/O Controller가 출력 FET의 Gate 전압을 제어하게 된다. 즉, CS와 Clock은 주체어기의 출력단에서 CMOS 구조를 갖도록 설계 한 반면, I/O 신호선은 Wired-AND 구조를 갖고 있다.

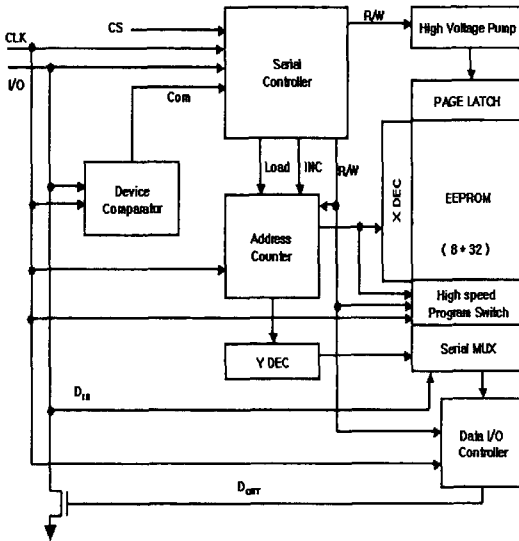


그림 2-3. Smart chip의 기능 블록도  
Fig. 2-3 Block Circuit of Smart Chip

Device comparator는 COM0 ~ COM2 신호를 받아서 동일 신호선에 연결된 다수의 카트리지를 구분하는 역할을 하며, 일반적인 잉크젯 프린터는 흑색과 컬러의 두 가지 카트리지를 장착하기 때문에 3비트의 data로 충분히 서로 다른 잉크를 분리할 수 있다. Hardware 적으로 저장되어 있는 Data와 COM0 ~ COM2 Data가 일치하면, Device comparator는 Serial Controller에 Enable 신호 (COM) 신호를 보내서 Smart chip을 활성화 시킨다. Serial Controller는 Device Comparator로부터 오는 enable 신호와 주제어기로부터 오는 CS, CLK 신호의 AND에 의해 활성화 된후, Address counter 및 High Voltage Pump 블록에 R/W 신호를 전달한다. High voltage pump는 EEPROM Cell을 Erase/Write 하기 위해 필요한 고전압을 생성하는 블록으로서 내부에 다단의 Capacitor를 포함한 Charge Pump와, 수 MHz의 Charge Pump 구동 clock을 만들어 주는 Oscillator 그리고, 고전압의 크기를 제어하는 High Voltage Regulator로 구성된다. Address Counter는 Serial Controller에서 받은 Address data를 X, Y Address로 분리 생성하고, Clock에 맞춰 주소를 변경하는 Counter를 내장하고 있다.

X, Y decoder는 Read 동작시에는 Low voltage로 동작을 하게 되나, Write에서는 고전압이 인가되어야 하기 때

문에, 일반적인 Address decoder 이외에 반드시 고전압 변환 회로를 포함해야 한다. EEPROM Array는 8Bit \* 32Row로 구성된 256Bit 메모리 형태를 갖고 있다. EEPROM Cell도 X, Y Decoder와 마찬가지로 Read시에는 Low voltage(5V 이하)에서 동작하지만, 프로그램시에는 14V 이상의 고전압이 인가되기 때문에 주제어기에서 전달되는 Low Voltage data를 저장하는 Page Latch(HV latch)와 High Speed program switch를 포함해야 한다. 일반적으로 14V 이상의 High Voltage MOSFET는 채널 길이 및 Drain/Source 폭이 Low Voltage Tr.에 비해 크기 때문에 실제 Layout시 많은 면적을 차지하게 된다. 따라서 1row는 8비트로 제한하여 칩 면적을 최적화 하였다. Data I/O controller는 센스 앰프를 내장하고 있으며, open-drain 구조의 Tr.을 구동하기 위한 출력 Buffer를 포함하고 있다.

그림 2-4은 Smart Chip의 신호 흐름도로서, Read 동작의 경우 일반적인 address 지정 방법을 갖고 있는 반면, Write의 경우 High Speed 프로그램 기능을 위해 기존의 EEPROM 프로그램 방법과는 다른 순서를 갖고 있다.

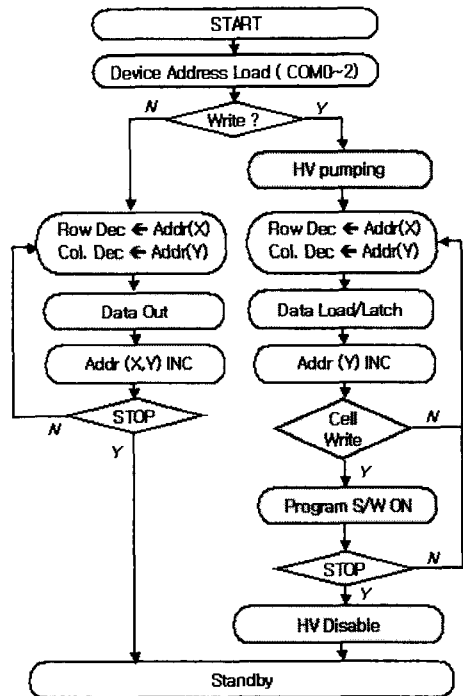


그림 2-4. Read/Write 순서도  
Fig. 2-4 Read/Write Process

Write 신호가 전달되면 우선 HV Pumping을 시작하게 된다. 이와 동시에 프로그램할 data를 serial controller로부터 load하여 초기 (0,0) address를 지정하고, (0,0)의 현재 data와 새롭게 프로그램할 data를 비교하여 동일한 값을 갖고 있을 경우에는 address 수만 증가시키고, 만약 서로 다른 data를 갖고 있을 경우에는 High Speed program Switch 블록내의 고전압 변환 Switch를 이용하여 data를 프로그램하게 된다. 모든 셀의 프로그램이 끝나면 다시 Low Voltage의 신호를 받아 들일 수 있도록 HV pump를 disable 상태로 하여, 고전압 node를 Low Voltage 상태로 down 시킨다.

2.2 Functional Block 설계

Smart chip의 단위 블록은 크게 Analog 제어부분과 Digital Logic 부분으로 구분할 수 있다. Address counter, Decoder 및 comparator등의 Logic 부분은 메모리에 사용되는 일반적으로 회로를 사용한 반면, Analog 블록은 고전압 생성회로, 센스 앰프 회로, 고속 프로그램 스위치 등 고신뢰성을 갖도록 설계 하였다. 그림 2-5은 비트셀을 프로그램하기 위한 고전압 생성 회로 구성을 나타내는 것으로써 크게 4가지 기능 블록으로 구성된다. High voltage Generator는 on-chip oscillator 및 switching형의 다단 charge pump를 이용하여 15V이상의 고전압을 발생시킨다. Charge pmump에서 발생하는 전압은 입력 전압에 따라 동일 시간 안에 발생하는 전압의 크기가 달라지기 때문에 어떤 입력 상태에서든 동일한 프로그램 전압을 유지할 수 있는 High Voltage Regulator를 구비해야 한다.

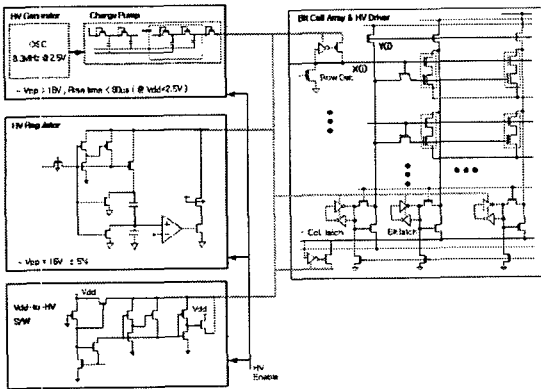
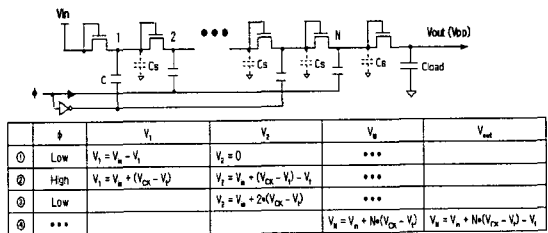


그림 2-5. 고전압 생성 회로  
Fig. 2-5 High Voltage Circuit

일반적인 on-chip charge pump는 전류 구동능력이 크지 않기 때문에 고전압 생성 기간동안 누설 전류가 발생할 경우 출력전압이 상승하지 못한다. 따라서, 본논문에서는 Capacitor를 서로 직렬로 연결한 Regulator를 적용함으로써, 회로 전체에 정적인 누설 전류 발생을 최소화시켰다.

Vdd-to-HV Switch 블록은 HV enable 신호가 인가됨과 동시에 Vdd 레벨을 유지하던 HV Line을 전원 전압에서 격리 시키고, 임의의 고전압이 HV network에 안정적으로 인가될 수 있도록 하는 회로로써 누설 전류를 완전히 차단되도록 설계 되었으며, 또한 프로그램이 완료된 후에는 HV network 전체를 Vdd로 빠른 시간내에 변할 수 있도록 하였다. 그림 2-6는 switching형의 Dickson Charge Pump의 회로를 나타낸 것으로서, Stray Capacitance(Cs), Clock 전압 감소분 그리고 load 전류를 고려한 N stage이 후의 최종 출력 전압은 NMOS FET의 Body Effect에 큰 영향을 받고 있음을 알 수 있다. 따라서, 고효율의 charge Pump를 만들기 위해서는 가능한 문턱전압이 낮은 FET를 이용해야 하며, 본연구에서는  $V_t \approx 0.1V$ 인 native FET를 이용하여 Switch를 구성하였다.



$$V_{out} = V_n + N \left( \frac{C}{C+C_s} V_{ox} - V_t - \frac{I_{load}}{(C+C_s)f_{osc}} \right) - V_t$$

$$= V_n - V_t + N \left( \frac{C}{C+C_s} V_{ox} - V_t \right) - I_{load} \frac{N}{(C+C_s)f_{osc}}$$

$$= V_n - I_{load} R_s$$

where,  $f_{osc}$  = operating frequency of CP  
 $I_{load}$  = load current,  $C_s$  = stray cap.  
 $V_o = V_n - V_t + N \left( \frac{C}{C+C_s} V_{ox} - V_t \right)$   
 $R_s = \frac{N}{(C+C_s)f_{osc}}$

그림 2-6. Charge Pump 특성  
Fig. 2-6 Characteristic of Charge Pump

Charge pump의 출력 capacitance를 40pF이하로 결정하고, 출력 고전압의 Slew Rate을 15V/30ns로 가정하면 oscillator는 약 8.3MHz 이상의 주파수를 생성해야하며, 이때 charge pump의 단수는 약 10개의 stage로 구성하였다. 그림 2-7은 Charge Pump를 구동하는 clock을 만들기 위해 사용된 Ring Oscillator를 나타내고 있다. 구동 주파

수가 수MHz대의 높은 값을 갖기 때문에 Inverter 1,2와 Capacitor를 이용하여 만들 수 있다.

Ring Oscillator는 비교적 정확한 clock을 만들 수 있는 반면 전류 구동능력이 작기 때문에 별도의 clock 버퍼를 다단으로 붙여서 charge pump의 capacitor를 구동할 수 있도록 하였다.

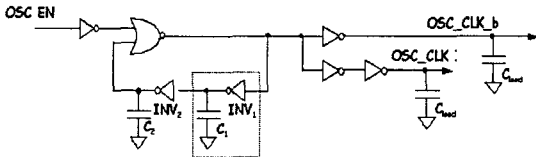


그림 2-7. Ring 오실레이터  
Fig. 2-7 Ring Oscillator

그림 2-8는 Charge pump에서 발생하는 전압을 비트셀 프로그램에 적당한 전압으로 안정화 시켜주는 HV Regulator이다. Write Enable 상태에서 Vpp전위는 charge pump에서 발생하는 전압과 동일하게 상승하며, 이때 M5를 통해 흐르는 Transition 전류는 C1과 C2에 충전된다. 이때 "B" node의 전압은 C1과 C2의 비에 의해 결정된다. Capacitor의 비에 의해 설정된 "B" node 전압은 chip내부에서 생성된 Reference전압과 비교 함으로써, Vpp Line에 15V의 전압값을 유지하게 된다. 이 구조는 Capacitor의 비에 의해 출력 전압을 결정하기 때문에 별도의 누설 전류를 발생시키지 않아, charge pump의 효율을 높일 수 있다. M9는 Read시 저전압과 Write시 발생하는 고전압을 분리시키는 역할을 하며, M6 ~ M8은 고전압 latch 회로로써, M5 전압을 저전압에서 고전압으로 자연스럽게 switching 할 수 있도록 하였다. Regulation 전압은  $V_{pp} = V_{ref} * (1 + C2/C1)$  으로 나타낼 수 있으며  $C2 \approx 16 * C1$ 의 값을 갖도록 결정 하였다.

그림 2-9은 Vdd-to-HV Switch로써 Read 명령시에는 Vpp Line을 전원전압으로 인가하고, Write 명령시에는 Msn3를 이용하여 Vpp Line에 전원전압을 차단하는 역할을 한다. Msn4는 Write 기간이 완료되는 시점에서 Vpp Line에 있는 charge 성분을 빨리 Vdd로 sink하는 역할을 하고 있으며, Msn7, Msp5, Msp7은 high voltage latch 로써, Msn9, Msp9, Msn4의 gate 전압이 Read 혹은 Write 동작에 관계 없이 항상 chip내의 가장 높은 전위가 인가될 수 있도록 하는 역할을 한다. 그림 2-10은 설계된 고전압 생성회로 전체의 layout 도면을 나타내고 있다.

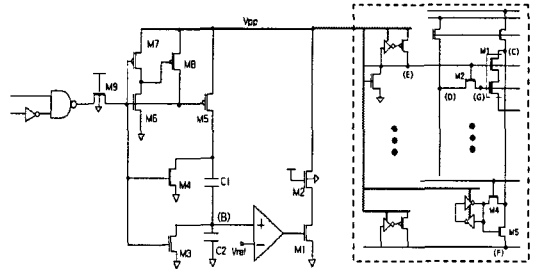


그림 2-8. 고전압 레귤레이터  
Fig. 2-8 High Voltage Regulator

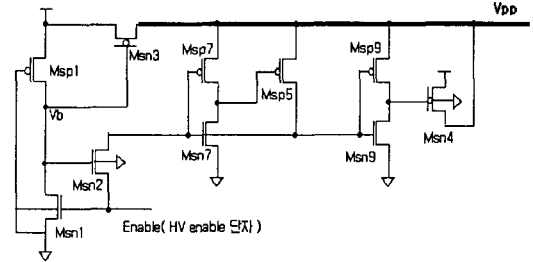


그림 2-9. Vdd-to Hv 스위치  
Fig. 2-9 Vdd-to Hv Switch

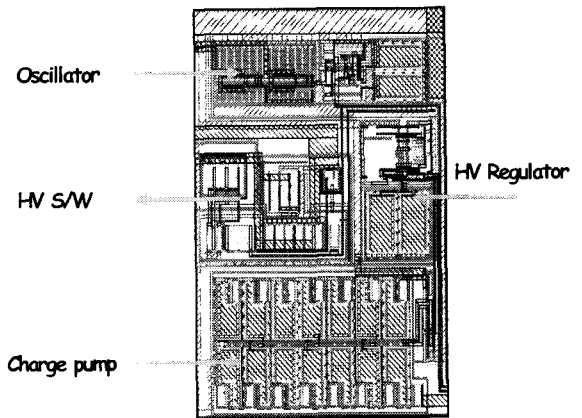


그림 2-10. 고전압 생성회로의 Layout 도면  
Fig. 2-10 High Voltage Circuit Layout

Samrt 칩은 메모리 셀에 저장되어 있는 data를 읽어내기 위해서 High Speed 동작이 가능한 Single-ended 센스 앰프를 사용하였다. 그림 2-11은 고속 동작이 가능하면서도 칩의 면적을 최소화 하기 위해 센스앰프내에 self-bias 회로를 추가하였으며, M3과 M4의 positive feedback 작용에 의해 M1의 전류 증폭도를 최대화 시킴으로써 고감도 동작이 가능하도록 설계하였다. Read

disable 상태에서 Ms는 Off 상태이며, 비트 셀을 통해 흐르는 전류는 0이다. 이때 출력은 R1에 의해 static-high 상태를 유지하게 된다. Read 명령에 의해 센스 앰프가 enable되면 비트 셀에 전류가 흐르게 되며, 비트 라인 (BL)은 약 1V로 감소한다. BL의 전압이 감소하면 M3, M4의 inverter 증폭기에 의해 M1이 증폭도는 최대가 되며 출력 전압은 0V가 된다. M2는 Read 동작시 Bit Cell에 전류를 공급하는 역할을 하며, M5, M6은 Read disable 상태에서 센스앰프의 전류 소모를 최소화 시키는 역할을 한다.

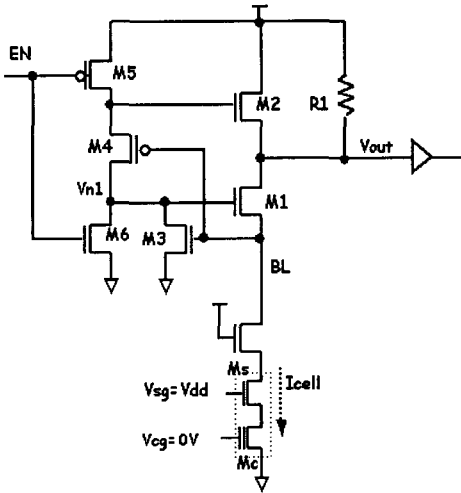
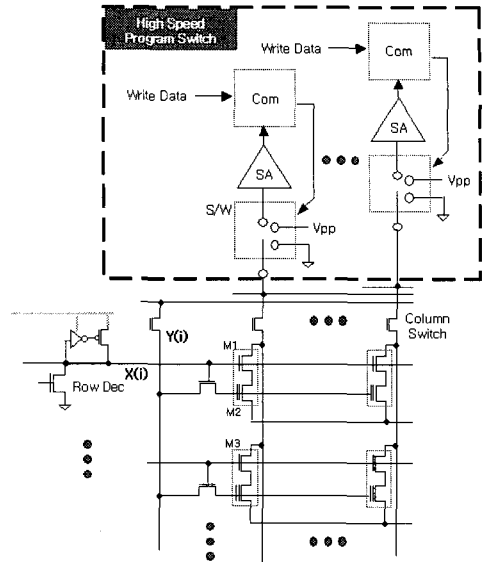
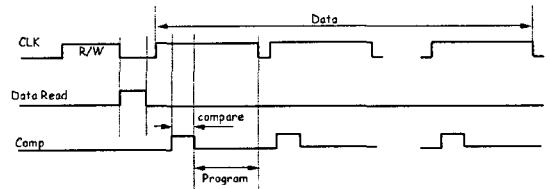


그림 2-11. High Speed 전류형 센스 앰프  
Fig. 2-11 High Speed Current Sense Amp

스마트 칩은 data를 1비트씩 시리얼 형태로 읽어 내기 때문에 한 개의 센스 앰프로 동작이 가능하며, 따라서 R1이 well 저항으로 설계 하더라도 칩의 크기를 최소화 할 수 있다. 일반적으로 Ms(select Tr)은 십만번 이상의 read 동작에서 drain 열화를 가져 온다. 즉, gate 전압이 5V로 가해진 상태에서 read 동작이 연속되며, drain-gate oxide의 특성을 악화 시키기 때문에 가능한 비트 라인의 전압을 최소화 하여 고속 동작에서도 electric field에 의한 문제가 발생되니 않도록 하는 것이 중요하다. 설계된 센스 앰프는 BL의 전압을 NMOS Tr.의 문턱전압 부근으로 자동적으로 제한하기 때문에 고 신뢰성 동작이 가능하다. 스마트 chip의 Write time은 2.5ms로써 사용된 xFAB에서 제공하는 EEPROM 셀의 Read/ Write 시간보다 매우 짧다. 본 연구에서는 입력되는 Write data를 2.5ms 시간 이하에서 프로그램이 가능하도록 High Speed program



(a) High Speed Program Switch Array



(b) Program Sequency

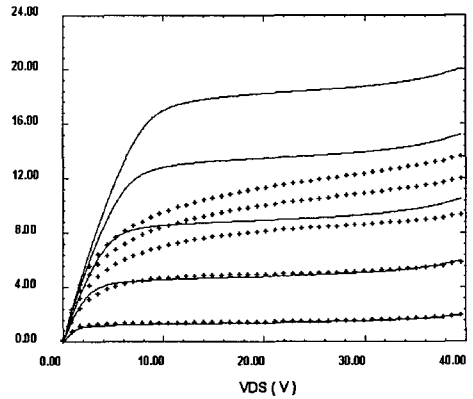
그림 2-12. High Speed Program 스위치  
Fig. 2-12 High Speed Program Switch

Switch 블록을 설계 하였다. 그림 2-12는 EEPROM 비트 셀을 고속으로 프로그램하기 위한 회로로써 현재 비트 셀에 저장된 data를 외부로 읽어 내는 비트 단위의 센스 앰프, 외부에서 입력된 data와 현재 저장된 data를 비교하여 HV Switch로 제어 신호를 보내는 comparator, 그리고, 외부 clock에 따라 비트 라인의 신호 흐름을 변환하는 HV Switch의 3 부분으로 구성된다. High Speed Program Switch의 동작 순서를 보면, COM2 load clock의 falling edge에서 1row의 data를 각 비트라인에 있는 센스 앰프를 통해 읽어 내어 comparator내에 있는 register에 저장한다. I/O 단자에서 Write Data가 순차적으로 들어오면, register에 저장되어 있는 data와 비교하여 HV Switch를 Vpp혹은 Ground로 연결한다. Row Decoder는 High Voltage(16V)가 인가되어 있는 상태이기 때문에 load된

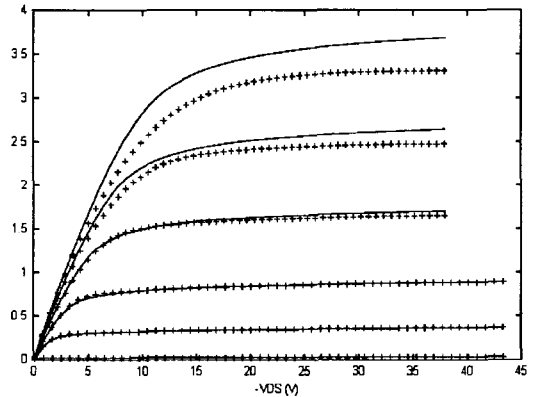
data의 값이 현재값과 동일 할 경우는 비트 라인의 고전압 switch를 Vpp 라인으로 연결하고, 만약 다른 값을 갖고 있을 경우에는 고전압 Switch를 "0"로 연결하여 메모리 내의 data를 변경하게 된다. 실제 data를 읽어내고, 비교하는 시간은 전체 write clock의 high 기간인 2.5ms에 비해 매우 작기 때문에 프로그램 시간을 충분히 확보할 수 있을뿐만 아니라, 1비트 프로그램 시간안에 셀 Erase 기능과 Write 기능이 동시에 이루어지기 때문에 고속 프로그램이 가능하다.

2.3. 설계 Parameter 및 Layout 설계/검증

스마트 chip 제작을 위해 사용된 공정은 xFAB사의 0.6um 2Poly 3Metal EEPROM Process인 XC06을 이용하였다. 필요한 Device의 내압별로 별도의 mask step을 사용할 수 있는 장점이 있으며, 소자의 면적을 최소화할 수 있도록 여러 가지 형태의 FET를 지원하고 있다. 본 연구에서 사용된 소자는 그림 2-13의 BVdss>7V의 저전압 FET와 고내압 소자를 각각 사용하였다. 그림 (b)에서 알 수 있듯이 고내압 소자의 BV는 30V 이상으로써 EEPROM 셀을 프로그램하기 위해 발생하는 16V 이상의 고내압 회로 사용에 적합함을 알 수 있다. 특히 고전압 FET의 문턱전압은 0.82V로 비교적 낮기 때문에 charge Pump 및 Vdd-to-HV S/W 블록에 사용할 경우 전압 강하를 최소화 한 상태에서 동작을 시킬 수 있다.



NHV output characteristic of a typical wafer. W/L = 50/3, VGS = 2.67, 5.7, 7.33, 9.66, 12 V VSB = 0 V, + = measured, solid line = BSIM3v3 model



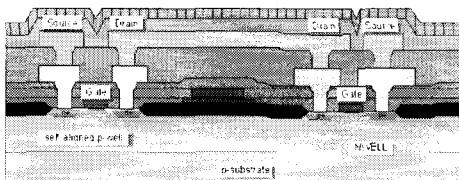
HV output characteristic of a typical wafer. W/L = 20/3, -VGS = 1.4, 3.2, 5.0, 7.33, 9.66, 12 V VSB = 0 V, + = measured, solid line = BSIM3v3 model

(b) HV FET의 Vds - Ids 특성

그림 2-13. High Speed Program 스위치  
Fig. 2-13 High Speed Program Switch

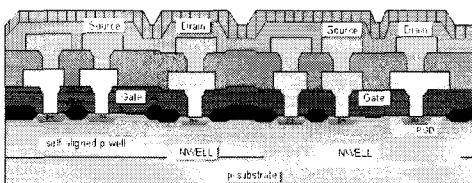
그림 2-14는 XC60 공정의 표준 Process로써, 고전압 회로의 최소 채널 길이는 3um로써 20V 이상의 내압에서도 동작이 가능하도록 설계 하였으며, Gate-Source 전압도 22V 이상에 안정적으로 동작할 수 있음을 알 수 있다.

NMOS Poly-Poly-CAP PMOS



NHV

PGHV



(a) LV, HV FET의 수직 단면 구조





- [ 3 ] Author. O. M "Semiconductors : DATA HAND Book", Springer, 2004.
- [ 4 ] Sharma. A. K "Semiconductor Memories : Technology Testing & Reliability", IEEE, 1998.
- [ 5 ] Reis. R. A "Electronic Project Design and Fabrication", Pearson Education, 2005.
- [ 6 ] Epson. Co. 제품 "EPL-N2500, EPL-6200" HP. co. 제품 "HP LaserJet 1160, HP 레이저젯 P20150"
- [ 7 ] 유희준 "DRAM의 설계", 홍능과학 출판사, 1999.
- [ 8 ] Tanm. Rabaey, Anantha. Chandransan, Borivote. Nikouc "Digital Intergrated Circuits", Prentice Hall, 2001.
- [ 9 ] Phillip. E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design", Oxford University Press, 2002.
- [10] Yalamanchili "Introductory VHDL from Simulation to synthesis" Prentice Hall, 2001.
- [11] Kleit. W "Digital Electronic with VHDL" Prentice Hall, 2004.

저자소개

김 태 민(金 泰 民)



1994년 금오공과대학교 전자공학과 (공학사)

1998년 금오공과대학교 전자공학과 (공학석사)

2002년 금오공과대학교 전자공학과 (공학박사)

현재 ChipWork 대표

※관심분야: 디지털통신, ASIC 등.

신 건 순(申 建 淳)



1972년 한양대학교 전기공학과 (공학사)

1983년 전북대학교 전기공학과 (공학석사)

1989년 전북대학교 전기공학과 (공학박사)

1993년 미국 Ohio state university, 전기공학과 solid-state microelectronic lab. 객원교수

현재 금오공과대학교 전자공학부 교수

※관심분야: ASIC 및 아날로그 IC 설계 등.