
Fractional-N 방식의 주파수 합성기 설계

김민아* · 최영식*

A design of fractional-N phase lock loop

Min-A Kim* · Young-Shig Choi*

요 약

본 논문은 fractional-N 방식의 주파수 합성기(PLL)를 낮은 차수의 $\Delta\Sigma$ 변조기로 더욱 높은 성능의 PLL로 설계하기 위하여 대역폭 가변 방식의 PLL과 $\Delta\Sigma$ 방식의 fractional-N PLL의 구조를 합성한 새로운 방식의 PLL을 제안한다. Matla으로 대역폭 가변을 이용한 $\Delta\Sigma$ 방식의 fractional-N PLL의 시뮬레이션을 수행하여 제안된 구조의 특성을 관찰하였다. 본 논문의 대역폭 가변 PLL은 HSPICE 0.35um CMOS 공정을 이용하여 시뮬레이션 하였고, 그 결과 제안된 PLL은 빠른 록이 가능하고 fractional spur를 20dB 정도 낮출 수 있었다.

ABSTRACT

In this paper, phase-locked loop (PLL) of a combinational architecture consisting of an adaptive bandwidth and fractional-N is presented to improve performances and reduce the order of $\Delta\Sigma$ modulator while maintaining equivalent or better performance with fast locking. The architecture of adaptive bandwidth PLL was simulated by HSPICE using 0.35m CMOS parameters. The behavioral simulation of the proposed adaptive bandwidth fractional-N PLL with a $\Delta\Sigma$ modulator was carried out by using MatLab to determine if the architecture could achieve the objectives. The HSPICE simulation showed that this type of PLL was able to fast locking, and reduce fractional spurs about 20dB.

키워드

Adaptive bandwidth control, $\Delta\Sigma$ modulation, fractional-N phase lock loop

I. 서 론

무선 통신 시스템의 좁은 채널 간격 때문에 좋은 위상 잡음 특성과 함께 더욱 빠른 록 시간을 가지는 PLL이 요구 된다[1]. 이러한 요구에 의해 만들어진 $\Delta\Sigma$ 방식의 fractional-N PLL은 좁은 채널 간격에서도 넓은 대역폭을 제공할 수 있고 빠른 록 시간과 낮은 위상잡음 특성을 가진다[2][3]. 그러나 $\Delta\Sigma$ 방식의 fractional-N PLL은 fractional spur와, 고주파수 대역의 양자화 잡음이 발생되기 때문에 이를 적절히 제거해야하는 문제를 가지고

있다. 기존의 논문에서는 fractional spur를 제거하기 위해서 높은 차수의 $\Delta\Sigma$ 변조기를 사용하거나, 높은 해상도의 Digital-to-Analog Converter (DAC)를 사용하였다 [4][5][6]. 그리고 빠른 lock과 낮은 위상 잡음을 얻기 위해 대역폭 가변 조절기가 사용되어 왔다[7].

본 논문에서는 대역폭 가변 조절기와 $\Delta\Sigma$ 방식의 fractional-N PLL의 두 구조를 결합하여 새로운 구조의 fractional-N PLL을 설계하였다. 만약 낮은 차수의 $\Delta\Sigma$ 변조기로도 fractional-N PLL이 높은 차수의 $\Delta\Sigma$ 변조기가 가지는 특성을 가질 수 있다면 $\Delta\Sigma$ 방식의 fractional-N

PLL의 설계는 더욱 간단해 질 수 있고 전력 소모 또한 줄일 수 있을 것이다. 대역폭 가변 fractional-N 방식의 PLL의 루프 대역폭은 록 상태에 따라 변하는 전하펌프의 전류에 의해 바뀌게 된다. 즉 phase frequency detector (PFD)에서 발생하는 위상차가 클 때는 PLL은 전하펌프의 전류를 증가시켜 루프 대역폭을 증가시켜 록을 빠르게 한다. 반대로 PLL이 록 상태에 가까이 가면 PLL은 전하펌프의 전류를 감소시켜 루프 대역폭을 줄어들게 하여 fractional spur를 감소시킨다. 따라서 제안된 PLL의 구조는 전하펌프의 전류를 적절하게 줄일 수 있으므로 낮은 차수의 $\Delta\Sigma$ 변조기를 이용하여도 높은 차수의 $\Delta\Sigma$ 변조기가 가지는 특성과 같거나 더 좋은 특성을 얻을 수 있는 것이다.

II. $\Delta\Sigma$ modulator를 포함한 adaptive bandwidth fractional-N PLL

A. fractional spur의 크기를 줄이는 방법

Fractional-N 방식의 PLL은 fractional spur를 생성한다. 주기적인 위상차로 인해 입력 기준신호(F_{ref})와 분주기의 출력(F_{out})에서는 F_{ref} 의 주기마다 I_p 와 I_n 의 전류 mismatch가 발생한다. 이러한 전류 mismatch 때문에 저역 통과 필터(LFP)의 출력 전압이 일정하게 유지 되지 못하고 출력 전압이 주기적으로 진동하게 되므로 fractional spur가 발생한다. Fractional spur를 줄이기 위해 $\Delta\Sigma$ 변조의 잡음 이동 특성을 이용하여, 주기적인 전압의 움직임을 무작위한 특성을 가지게 하여 주기적인 특성으로 인하여 발생하였던 잡음을 고주파 영역으로 밀어내게 된다. 이러한 고주파 영역의 잡음은 PLL이 저역 통과 특성을 가지므로 PLL이 스스로 잡음을 제거 할 수 있다. 그러므로 $\Delta\Sigma$ 변조 방식의 fractional-N PLL의 잡음은 높은 차수의 $\Delta\Sigma$ 변조기를 이용할수록 더욱 좋은 특성을 가진다.

PLL은 록 이후의 전류량이 작을수록 fractional-N 구조에서 발생하는 fractional spur가 작아 질 수 있다. 그림 1은 fractional spur를 발생시키는 전압제어 발진기(VCO)의 입력 전압을 나타내고 있다. VCO입력 전압은 두 가지 성분으로 나눌 수 있는데, 하나는 고정된 VCO 출력 전압 V_{out} 이고 나머지 하나는 위상차로 인해 발생된 전압 변화 부분 V_t 이다. VCO는 입력 전압에 비해한 주파수를 발생시킨다. V_t 에 의한 주기적인 변화에 대한 VCO 출력을 사각파로 가정하여 다음과 같이 표현 할 수 있다[8].

$$v_{out}(t) = V_o \cos \left[\omega_{fr} t + K_{VCO} \int v_f(t) dt + K_{VCO} \int V_{cont} dt \right] \quad (1)$$

여기서 ω_{fr} 은 VCO의 free running 주파수이다. $V_f(t)$ 를 푸리에 급수로 확장하면 다음과 같다.

$$v_f(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF} t + \theta_n) \\ = \frac{\Delta V \Delta t}{T_{REF}} + \Delta V \sum_{n \neq 0} K_n \cos(n\omega_{REF} t + \theta_n) \quad (2)$$

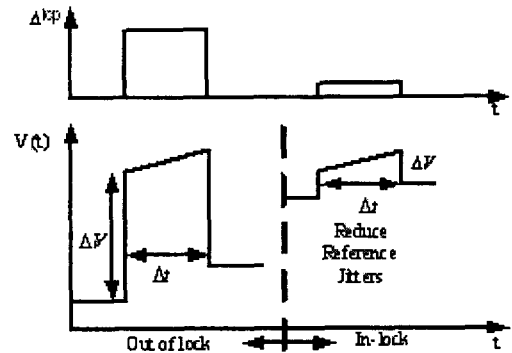


그림 1. Spur의 크기를 줄이는 개념
Fig. 1. Concept of reducing reference spurs.

T_{REF} 는 기준주파수의 주기이다. 위의 식 (2)을 이용하여 식(1)을 다음과 같이 나타낼 수 있다.

$$v_{out}(t) \approx V_o \cos \left(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont} \right) t \\ - K_{vco} V_o \left[\Delta V \sum_{n \neq 0} \frac{K_n}{n\omega_{REF}} \sin(n\omega_{REF} t + \theta_n) \right] \\ \sin \left(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont} \right) t \quad (3)$$

Fractional spur의 크기는 수식 (3)에서 알 수 있듯이 ΔV 의 크기에 의존하는 것을 알 수 있다. 제안된 PLL은 주기적인 전하펌프의 전류 mismatch로 발생된 ΔV 의 크기를 조절하는 방식이다. 작은 전하펌프 전류는 VCO의 입력전압의 변화량을 감소시켜 낮은 크기의 스퍼를 가지게 한다. 그러므로 제안된 PLL은 기존의 PLL과 비교할 때

낮은 차수의 $\Delta\Sigma$ 변조기를 사용 할 수 있게 되는 것이다.

B. adaptive bandwidth 구조

그림2(a)는 제안된 대역폭 가변 PLL로, 록 상태에 의 해 루프의 대역폭이 조절된다. PLL이 록 상태가 아닐 때 에는 PLL은 루프 대역폭을 증가시켜 록에 소요되는 시 간을 줄이고, 록 상태에 가까워지면 루프의 대역폭을 줄 여 출력에서의 스퍼 성분을 최소화 하도록 한다. 여기서 루프의 대역폭은 전하펌프 전류에 의해 조절된다. 그림 2(b)에 대역폭 가변 조절기의 회로이다. 전하펌프 전류 는 그림 2(c)의 Ctrl에 비례한다.

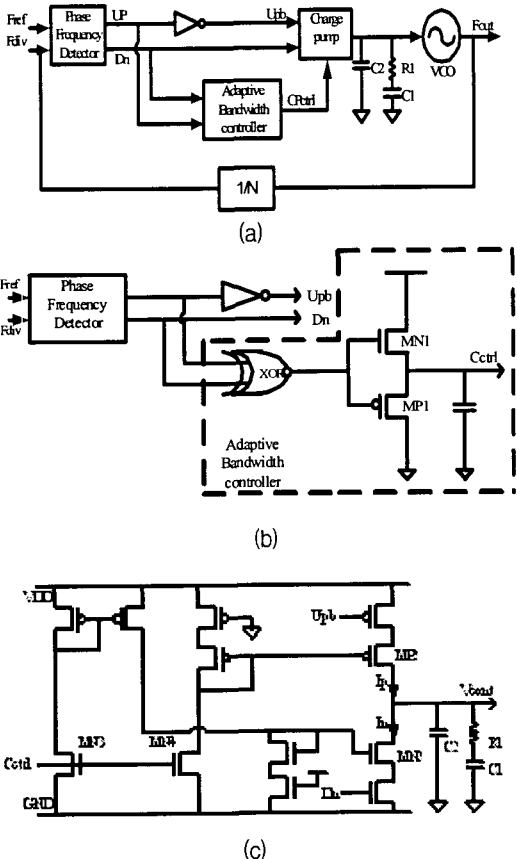


그림 2. 제안된 PLL 구조. (a) Adaptive bandwidth PLL 블록 그림 (b)adaptive bandwidth controller 회로 (c) 전하펌프 회로

Fig. 2. The proposed adaptive bandwidth fractional -N frequency synthesizer with a $\Delta\Sigma$ modulator. (a) The blocking diagram of adaptive bandwidth PLL. (b) the circuit of adaptive bandwidth controller. (c) A charge pump circuit.

PFD에서 발생한 Up과 Dn 펄스는 XOR 을 통과한 후 MN1과 MP1의 상태를 결정한다. XOR게이트는 Up과 Dn의 위상 차이에 비례한 출력 펄스를 발생시킨다. PLL 이 록 이전이면 MN1인 'on' 상태가 되고, MP1이 'off' 상태가 된다. 따라서 전압 Ctrl이 증가하고 이어 MN3의 전류가 증가하여 전하펌프의 전류 I_p, I_n 이 증가한다. 반대로, 록 상태가 되면 MP1이 'on'이 되고, MN1이 'off' 상태가 되어 커패시터 전압 Ctrl이 감소하여 전하펌프 전류가 감소하게 된다. Ctrl전압은 PMOS의 문턱전압 아래로는 내려가지 않고 MN3의 문턱 전압 근처에서 Ctrl 전압이 유지되므로 PLL이 록 상태가 갑자기 풀리게 되었을 때 MP3의 응답 시간을 빠르게 할 수 있다.

PLL이 록 상태가 아닐 때는 I_p 와 I_n 의 전류 값은 $500\mu A$ 이고, PLL이 록 상태 일 때의 전류 값은 $50\mu A$ 이다. 전하 펌프 전류 값은 트랜지스터의 크기에 따라 변화시켜 원하는 값을 얻을 수 있다. 제안된 대역폭 가변 구조는 작은 전하펌프 전류로 fractional spur를 감소시키고 동시에 록 시간도 줄일 수 있다.

C. 위상 여유

그림 3은 전하펌프 전류가 $500\mu A$ 와 $50\mu A$ 일 때에 대한 제안된 PLL의 위상 여유와 루프 대역폭을 Matlab으로 보드 선도로 나타낸 것이다. 그림에서 알 수 있듯이 제안한 PLL은 록 상태와 록이 되지 않은 상태 모두 충분한 위상 여유를 가짐으로 안정한 동작을 할 수 있다. 제안한 PLL은 전류의 변화를 통해 록 이전에는 루프의 대역폭이 넓어지고, 록 이후에는 대역폭이 좁아진다. 본 연구에서 제안한 대역폭 가변 PLL은 전하펌프 전류가 $50\mu A$ 에서 $500\mu A$ 까지 변화하도록 설계하였고, 디바이더의 분주비는

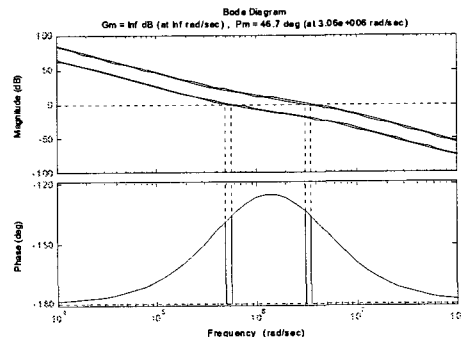


그림 3. Lock 상태에 따른 위상여유와 대역폭 Fig. 3. Phase margin and bandwidth at out-of-lock and at in-lock

32~39까지 변화하도록 설계하였다. 제안된 PLL은 전하 펌프 전류가 50 μ A 일 때 위상 여유는 41.6°~44.5°이고, 100 μ A 일 때는 51°~52.8°, 500 μ A 일 때는 43.9°~46.7°이다.

III. 제안된 PLL의 Matlab 시뮬레이션

제안된 대역폭 가변 방식의 $\Delta\Sigma$ fractional-N PLL이 $\Delta\Sigma$ 변조기의 차수를 낮출 수 있는지 검증하기 위해서 Matlab의 Simulink를 사용하여 시뮬레이션을 하였다. 그림 2에 대한 Simulink 모델이 그림4이고, PLL은 록 상태로 가정하였다. 시뮬레이션에서는 2차, 3차의 MASH 구조의 $\Delta\Sigma$ 변조기를 사용하였고, 전하펌프의 전류를 50 μ A, 100 μ A, 500 μ A로 고정시켜 시뮬레이션 하였다. 본 시뮬레이션에서 전하펌프 전류가 스퍼의 크기에 미치는 영향을 측정하기 위하여 한 번의 시뮬레이션에서 하나의 전류 값만 가지게 하여 시뮬레이션 하였다.

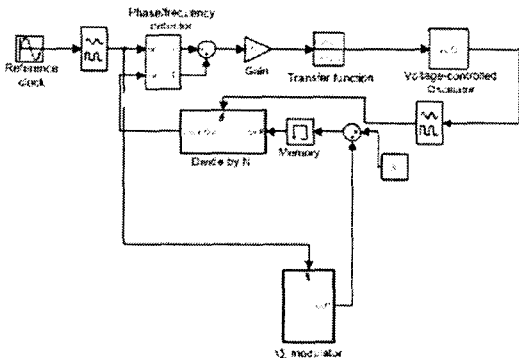


그림 4. Behavioral 시뮬레이션을 위한 Simulink 모델
Fig. 4. A Simulink model for behavioral simulation

MASH 구조의 변조기는 설계가 간단하기 때문에 본 연구에서는 MASH 구조의 변조기를 사용하였다. MASH 구조는 1차의 변조기가 캐스케이드 형태로 연결된 것으로 첫 번째 변조기에서 발생한 양자와 오차가 다음 단의 입력으로 들어가는 형태이다. 각각의 변조기는 18비트 누산기와 레지스터로 구성된다. 출력은 4비트이고, 분주기의 분주비는 32-39 사이의 값을 갖게 된다.

그림 5는 Matlab 시뮬레이션을 통해 얻은 VCO입력 전압의 변화이고 표 1은 각 전류값과 2차, 3차 $\Delta\Sigma$ 변조기에 대한 VCO입력 전압의 변화를 표로 나타낸 것이다.

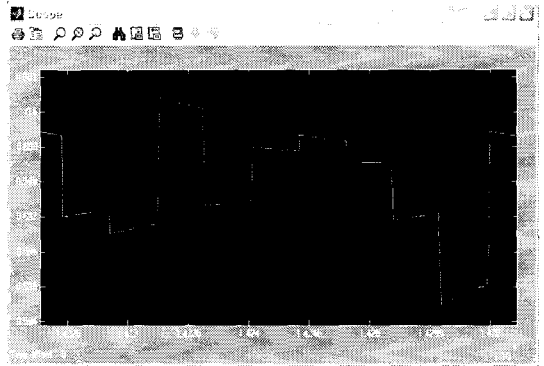


그림 5. VCO 입력 전압의 파형
Fig. 5. The voltage waveform at the input of VCO.

표 1. VCO 입력 전압의 최대치
Table. 1. The maximum voltage at the input of VCO

I_p	2nd order	3rd order
50 μ A	350 μ V	550 μ V
500 μ A	4050 μ V	6000 μ V

전하펌프의 전류를 점점 낮추어 가면서 $\Delta\Sigma$ 변조기의 차수에 대해 시뮬레이션을 하였다. 그림6은 PLL의 출력에 대한 Power Spectral Density (PSD) 결과이고, 그림에 나타나 있는 숫자는 첫 번째 fractional spur의 크기를 나타낸다. 시뮬레이션 결과를 보면 같은 차수에 대해 수식(3)에 나타난 것처럼 첫 번째 스퍼에 대해 약 20 dB의 개선 효과가 있음을 알 수 있다. 표 2는 시뮬레이션 결과이다. 전하펌프 전류가 500 μ A 일 때 3차 $\Delta\Sigma$ 변조기에 대한 첫 번째 스퍼와 전하펌프 전류가 50 μ A 이고 2차의 $\Delta\Sigma$ 변조기의 첫 번째 스퍼가 각각 -59dB, -64dB이다. 이러한 결과는 같은 스퍼 특성을 가지면서, 혹은 더 좋은 스퍼 특성을 가지면서 동시에 $\Delta\Sigma$ 변조기의 차수를 낮출 수 있음을 보여준다. 따라서 제안된 대역폭 가변 $\Delta\Sigma$ 변조 방식의 fractional-N PLL은 기존에 연구되었던 PLL과 비교하여 더 낮은 차수의 $\Delta\Sigma$ 변조기로도 같은 결과를 얻을 수 있고, 전하펌프의 전류에 따라 더 좋은 결과도 얻을 수 있음을 알 수 있다.

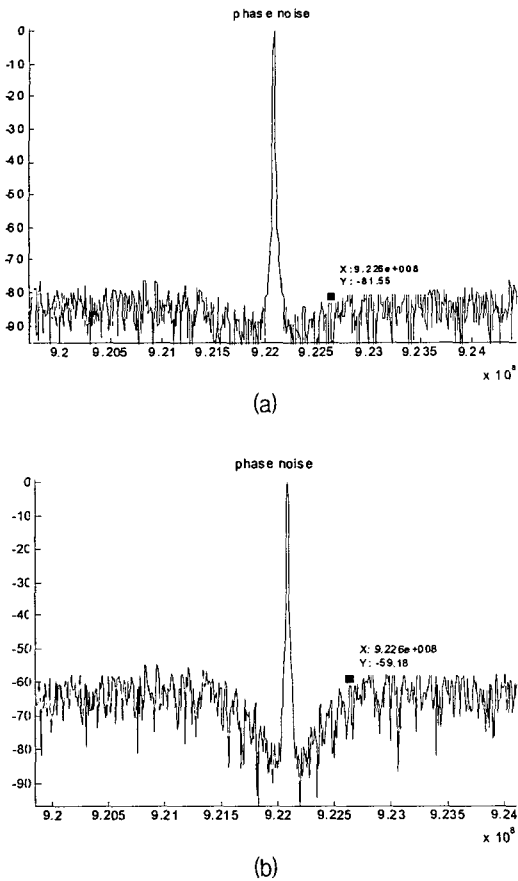


그림 6. 3차 ΔΣmodulator을 사용했을 때의 PSD. (a) 전류 50μA (b) 전류 500μA. (Fref = 25.6MHz, fractional number = 0.019)

Fig. 6. PSD with 3rd order ΔΣ modulator (a) at 50μA. (b) at 500μA. (Fref= 25.6MHz, fractional number = 0.019).

표 2. 첫 번째 fractional spur의 크기
Table 2. The magnitude of the 1st fractional spur

Charge pump current	2nd order (dB)	3rd order (dB)
50 μA	-64	-81
75 μA	-61	-77
100 μA	-56	-79
480 μA	-43	-58
500 μA	-41	-59

빠른 록 시간을 알아보기 전체 PLL을 Spice로 시뮬레이션 하였으며 그림7은 VCO 입력 전압을 보여주고 있다. 시뮬레이션 조건은 Fref가 25.6MHz이며 전하펌프의 전류는 록이 되지 않은 상태 일 때는 500μA이고, 록 상태 일 때의 50μA이며 분주비는 35.003, 그리고 대역폭은 34KHz이다. 록 시간은 그림에서 보여주는 것과 같이 약 40μs 이다.

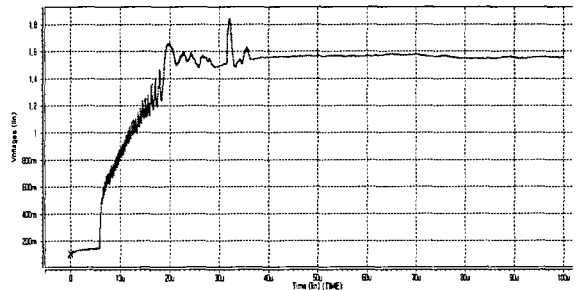


그림 7. VCO 입력 전압 시뮬레이션 결과
Fig. 7. The simulation result of VCO input voltage

IV. 결 론

본 연구에서 제안된 PLL 구조는 낮은 차수의 ΔΣ 변조기를 사용하여도 빠른 록과 함께 기존의 PLL의 성능을 유지하거나, 더욱 개선된 특성을 얻을 수 있었다. 제안된 PLL에서 ΔΣ 변조기의 차수는 2차이고, 전하펌프의 전류는 50μA인 경우가 3차의 ΔΣ 변조기에서 전하펌프 전류가 500μA인 경우보다 더 나은 성능을 보였다. 그리고 3차의 ΔΣ 변조기, 전하펌프 전류는 50μA일 때가 전류가 500μA일 때보다 약 20dB의 성능이 향상되었다. 따라서 이 제안된 대역폭 가변 ΔΣ 변조 방식의 fractional-N PLL은 높은 해상도(resolution)의 DAC 또는 다른 복잡한 구조 없이 PLL의 성능을 개선시킬 수 있다. 이러한 결과는 ΔΣ 변조기의 차수를 낮출 수 있고, 따라서 전체 칩의 면적과, 전력소모를 줄일 있고, 같은 ΔΣ 변조기의 차수라도 성능을 개선시킬 수 있음을 보여준다.

참고문헌

- [1] B. Razavi, "Challenges in the design of frequency synthesizers for wireless applications," in Proc. IEEE Custom Integrated Circuits Conf., 1997, pp. 395-402.
- [2] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional - N frequency synthesis," IEEE j, Solid state Circuits, vol.35, PP. 1453-1460, Oct., 2000.
- [3] W, Rhee, B. Song, and A. Ali, "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-bit third-order - modulator," IEEE J, Solid-State Circuits, vol. 35, pp. 1453-1460, Oct., 2000.
- [4] E. Temporiti, G. Albasini, R. Castello, and M. Colombo, "A 700-KHz bandwidth fractional synthesizer with spurs compensation and linearization techniques for WCDMA applications," IEEE J, Solid-State Circuits, vol. 39, pp. 1446-1454, Sept., 2004.
- [5] S. Pamarti, L. Jansson, and I. Galton, "A wideband 2.4-GHz delta-sigma fractional-N PLL with 1-Mb/s in-loop modulation," IEEE J, Solid-State Circuits, vol. 39, pp. 49-62, Jan., 2004.
- [6] S. E. Meninger and M. H. Perrot, "A fractional-N synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise," IEEE Trans. Circuits Syst. II, vol. 50, pp. 839-848, Nov., 2003.
- [7] Joonsuk Lee, and Beomsup Kim, "A low-noise fast locking phase-locked loop with adaptive bandwidth control," IEEE J, Solid-State Circuits, vol. 35, pp.1137-1145, Aug. 2000.
- [8] B. Razavi, RF Microelectronics, Prentice Hall PTR, 1998.

저자소개



김민아(Min-A Kim)

2004년 부경대학교 전자정보통신
공학 학사
2006년 전자공학과 공학석사

※관심분야: 주파수 합성기, 아날로그 IC 설계



최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과 학사
1986년 Texas A&M Univ. 공학석사
1993년 Arizona State University 공학
박사

1987년 -1999년 Hynix 시스템 IC연구소
1999-2003 동의대학교 전자공학과
2003~현재 부경대학교 전자컴퓨터정보통신공학부
※관심분야: PLL, DLL, CDRC 설계