

논문 2007-44SD-8-11

MPSoC 검증 플랫폼 구조에 관한 연구

(A Study on the Verification Platform Architecture for MPSoC)

송 태 훈*, 송 문 빈*, 오 재 곤**, 정 연 모*

(Tae-Hoon Song, Moonvin Song, Chaegon Oh, and Yunmo Chung)

요 약

일반적으로 MPSoC(Multi-Processor System on a Chip)의 설계 및 구현을 위한 비용이 높고 시간이 오래 걸리며 복잡하기 때문에 이를 위한 IP(Intellectual Property)의 기능 및 성능을 검증하기 위해서는 플랫폼을 이용하여 테스트한다. 본 논문에서는 멀티 프로세서에서 CPU(Central Processing Unit) 간의 Interconnect Network 구조를 기반으로 하는 IP를 검증하기 위한 플랫폼 구조를 연구하고, 이를 바탕으로 응용 프로그램을 수행하였을 경우에 단일 프로세서를 사용했을 때보다 얼마나 많이 성능이 향상될 수 있는지를 보이고자 한다.

Abstract

In general, the high cost, long time, and complex steps are required in the design and implementation of MPSoC(Multi-Processor System on a Chip), therefore a platform is used to test the functionality and performance of IPs(Intellectual Properties). In this paper, we study a platform architecture to verify IPs based on Interconnect Network among processors, and show that the MPSoC platform gives better performance than a single processor for an application program.

Keywords : MPSoC, ARM, AHB, Interconnect, AMBA

I. 서 론

시스템에서 응용 프로그램은 날로 복잡해지고 있다. 또한 개인휴대용 정보단말기(PDA, Personal Digital Assistant)와 모바일 등과 같은 정보 가전 기기들은 갈수록 빠른 속도와 많은 기능과 우수한 성능을 요구하고 있다. 또한 임베디드 시스템 등에서는 작은 공간에 고성능을 위하여 보다 빠른 CPU와 많은 용량의 메모리를 요구한다. 영상 데이터를 실시간으로 처리하기 위해서도 CPU의 동작 속도나 메모리의 한계가 있으므로 이러한 문제를 해결하기 위해서 여러 개의 프로세서를 집적하여 동작하도록 해야 한다.

반도체 공정기술의 발전으로 한 칩 안에 여러 개의

프로세서와 큰 용량의 메모리를 탑재하는 것이 가능한 MPSoC(Multi-Processor System on a Chip)가 차세대 비메모리 반도체의 핵심이 될 것으로 예상하고 있다^[1].

멀티 프로세서는 시스템 메모리와 인스트럭션 메모리를 공유하지 않기 때문에 동시에 서로 다른 명령을 수행 할 수 있다.

멀티 프로세서는 구성 형태에 따라 대칭형 프로세서(SMP, Symmetric Multi-Processor)와 비대칭형 프로세서(AMP, Asymmetric Multi-Processor)로 나눈다. 대칭형 프로세서는 두 개 이상으로 이루어진 동일한 프로세서가 서로 작업량을 나누어 처리하는 방식이다. 반면에 비대칭형 프로세서는 서로 다른 구조의 프로세서를 사용하는 방식으로 프로세서의 설계 목적에 따라 적절히 작업을 분담한다. 하나의 프로세서는 마스터(master)로 지정되어 전반적인 시스템의 자원을 담당하며, 나머지 프로세서들은 마스터로부터 할당받은 프로세스를 처리한다. 특히 서로 다른 구조의 프로세서를 결합하는 방식은 특화된 작업을 할당함으로써 작업 효

* 정희원, 경희대학교 전자공학과
(Dept. of Electronic Eng., Kyung Hee University)

** 정희원, 한국산업기술대학교 전자공학과
(Dept. of Electronic Eng., Korea Polytechnic University)

접수일자: 2007년6월5일 수정완료일:2007년 7월31일

율을 극대화시킬 수 있다. 그 대표적인 경우가 ARM (Advanced RISC Machine)와 DSP (Digital Signal Processor)의 결합이다^[2].

단일 프로세서(single processor) 버스 구조는 마스터로 동작하는 하나의 CPU와 몇 개의 슬레이브(slave) 주변장치로 구성하며, 마스터/슬레이브 공유버스(shared-bus) 통신구조이다. 멀티 프로세서 버스 구조는 서로 다른 몇 개의 CPU가 연결되어 있으며 몇 개의 마스터가 존재하며, 통신구조가 복잡한 시스템 버스 구조로 되어 있으며, 통신과 계산을 동시에 수행한다. [그림 1]은 전형적인 MPSoC 버스 구조를 나타내고 있다. 즉, 전용 CPU와 응용프로그램용 CPU, 그리고 하드웨어 동작을 수행하는 IP들이 통신네트워크에 연결되어 있다^[1].

MPSoC 설계는 프로세서간의 데이터를 교환하기 위하여 공유 메모리(shared memory)를 사용하며, 교환 데이터(exchange data)는 Interconnect Network을 통하여 하나의 프로세서에서 다른 프로세서로 전달된다. 따라서 MPSoC 검증 플랫폼은 MPSoC를 위한 Interconnect Network 설계가 가장 중요한 문제로 대두되고 있다^[1].

MPSoC는 설계 및 구현 비용이 많이 들고 시간이 오래 걸리기 때문에 제작하기 이전에 검증 플랫폼을 통하여 동작을 검증하고 성능을 테스트를 할 필요가 있다.

본 논문에서는 멀티 프로세서를 설계하기 전에 검증을 효율적으로 하기 위한 MPSoC 검증 플랫폼 Interconnect Network 구조를 제시하였다. 제시한 구조를 통하여 응용 프로그램을 수행할 경우에 단일 프로세서를 사용했을 때보다 멀티 프로세서에서의 성능이 27%이상 향상된 것을 알 수 있다.

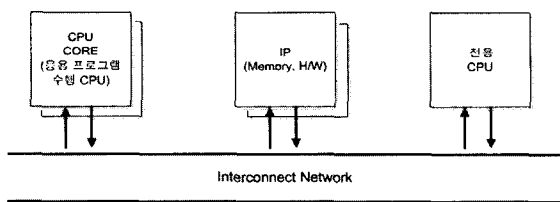


그림 1. 전형적인 MPSoC 구조
Fig. 1. Typical MPSoC Architecture.

II. 단일 프로세서에서 검증 플랫폼

ARM 프로세서를 이용한 SoC의 검증 플랫폼은 대부분 하나의 CPU에서 AMBA (Advanced Micro-

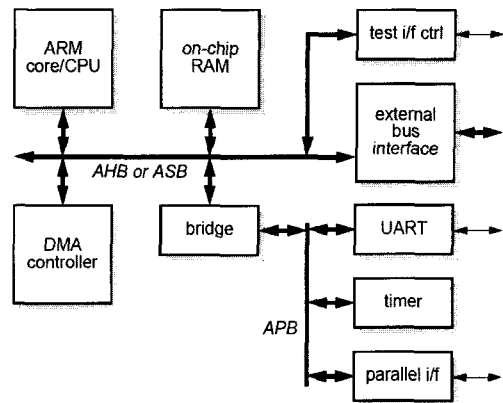


그림 2. AMBA on-chip 버스를 이용한 시스템
Fig. 2. System based on AMBA on-chip Bus.

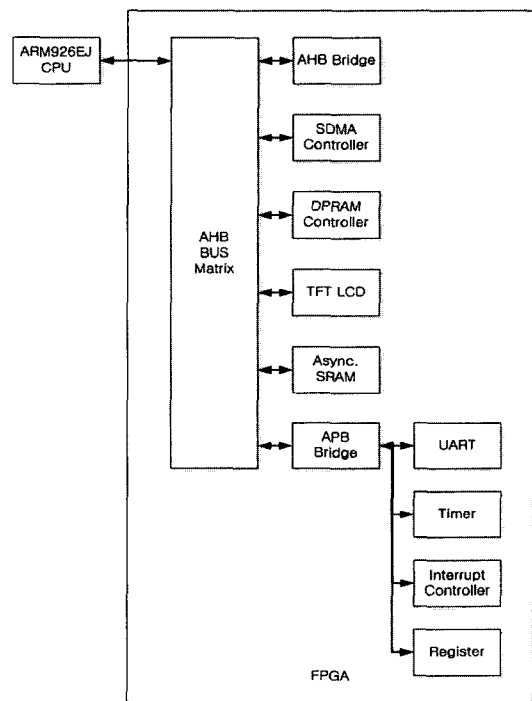


그림 3. 단일 프로세서 기반의 검증 플랫폼
Fig. 3. Verification Platform based on Single Processor.

controller Bus Architecture) on-chip 버스에서 IP를 연결하여 제대로 동작하는지를 검증한다. 단일 프로세서의 on-chip 버스를 이용한 시스템 구성은 [그림 2]와 같다^[3].

AMBA on-chip 버스를 이용한 시스템 구성은 계층적인 버스 구조로 시스템을 구현한다. [그림 2]와 같이 일반적인 단일 프로세서에서의 검증 플랫폼은 설계한 IP를 버스에 연결한다. ARM CPU와 DMA(Direct Memory Access), on-chip RAM이 AHB나 ASB (Advanced System Bus)에 연결되어 있으며, 브리지(bridge)회로를 통하여 APB(Advanced Peripheral Bus)

와 연결하여 UART(Universal Asynchronous Receiver Transmitter), 타이머 등을 제어하는 구조이다. On-chip 버스는 대부분 32 비트의 어드레스, 양방향 버스인 READ와 WRITE로 동작하는 다수의 데이터, 제어와 클럭을 위한 신호, 그리고 클럭 신호에 대해 잘 정의된 프로토콜 등으로 구성되어 있다. [그림 3]은 싱글 프로세서 기반의 검증 플랫폼을 나타내고 있다^[4].

따라서 단일 프로세서에서의 검증 플랫폼은 CPU 버스에 FPGA(Field Programmable Gate Array)를 연결한 형태의 검증용 보드가 대체로 많이 쓰이고 있으며, 버스 종류로는 AMBA, OPB(On chip Peripheral Bus), PLB(Processor Local Bus)등이 있으며, 사용되는 프로세서 코어에 따라 다르게 쓰인다.

최근 들어 저전력에 대한 관심이 높아짐에 따라 ARM 프로세서 기반의 SoC가 주로 사용되며, ARM 프로세서와 AMBA 버스 기반으로 단일 프로세서 SoC가 많이 설계되고 있다. 이에 따라 설계된 단일 프로세서 기반의 SoC의 시스템 레벨 검증을 위한 검증용 플랫폼과 보드가 상용화되었고, 현재도 주류를 이루고 있다.

이런 종류의 검증용 플랫폼은 on-chip 버스를 사용하여 프로세서 모듈과 FPGA 모듈을 연결하였거나, 대용량의 FPGA에 프로세서 코어를 합성하여 구현하는 여러 가지 방식을 주로 채택하고 있다.

하나의 ARM926 프로세서에 AHB가 설계되어 있으며, 주변에 SDRAM, SRAM 등의 메모리와, IP를 검증할 수 있는 로직을 FPGA내에 구성하고 있다. AHB 버스에는 AHB 브릿지, SDRAM 컨트롤러, DPRAM, 비동기 SRAM을 제어하기 위하여 회로가 모두 AHB버스에 연결되어 있다.

또한 APB 브리지를 컨트롤러를 통하여 인터럽트, 타이머, UART, 레지스터 등을 제어하고 있다. AHB 버스는 다른 주변기기를 사용할 수 있도록 여러 IP들을 기본으로 탑재하고 있으나 프로세서가 메모리 또는 주변 장치를 액세스하기 위하여 하나의 버스를 점유하게 되어 멀티 프로세서 환경을 검증하기에는 부적합한 구조로 판단된다.

III. MPSoC 검증 플랫폼 구조 설계

MPSoC 플랫폼의 개념적인 모델은 [그림 4]와 같이 소프트웨어 테스크, 프로세서, IP 코어, Global On-chip Interconnect로 구성한다.^[5]

단일 프로세서 플랫폼은 마스터/슬레이브 공유 버스

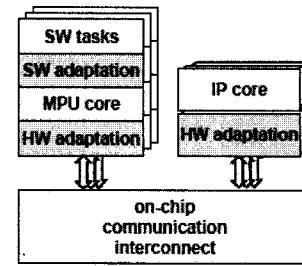


그림 4. MPSoC 플랫폼 모델

Fig. 4. The Platform Model of MPSoC.

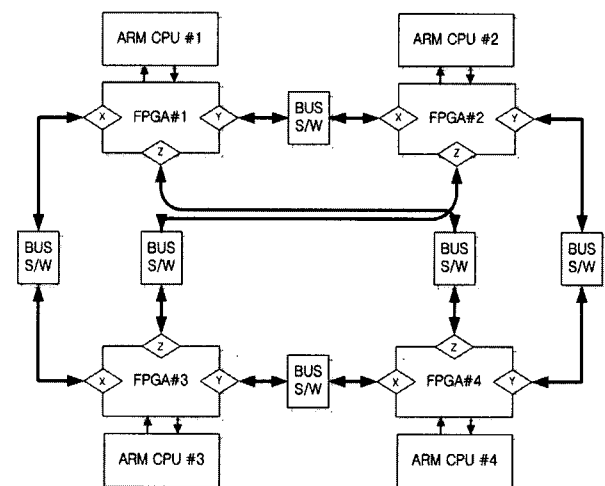


그림 5. 1:n Interconnect Network 구성

Fig. 5. Configuration of 1:n Interconnect Network.

통신 구조이지만 MPSoC 플랫폼은 서로 다른 프로세서들을 사용하기 위하여 복잡한 시스템 버스 또는 Global On-chip Interconnect를 사용한다. MPSoC를 검증하려면 별도의 프로세서를 탑재하고, 주변 IP는 FPGA를 이용하여 프로세서에 연결하도록 한다. 또한 시스템 레벨에서 통합적으로 검증할 수 있는 플랫폼이 필요하며, 이에 따라 MPSoC 검증플랫폼은 다양한 MPSoC 구조를 충족할 수 있는 범용성, 프로세서 모듈 인터페이스 용이성, 하드웨어 및 소프트웨어의 Co-Verification, 그리고 IP의 검증을 위한 다양한 디바이스를 포함하여야 한다.

이러한 조건을 충족시키기 위하여 본 논문에서 제안하는 Interconnection Network구조는 [그림 5]와 같은 재구성 가능한 1:n 프로세서 네트워크의 구조이다.

재구성 가능한 프로세서 모듈 네트워크 구조는 각 프로세서와 FPGA 모듈이 모든 모듈과 1:1 또는 1:n 등의 형태와 링(ring)형 등의 대칭형으로 구성할 수 있는 구조이다. 각 연결은 버스 스위치를 이용하여 제어하며,

각 프로세서는 상대방 프로세서와 일대일로 통신하여 네트워크를 구성하고 프로세서별 우선순위를 지정하여 작업을 할당하여 처리하는 구조로 동작한다. 즉 ARM CPU#1, ARM CPU#2, ARM CPU#3, 그리고 ARM CPU#4가 상호 버스로 연결되어 있으며 FPGA 모듈에 장착되어 있는 SDRAM을 공유하여 Interconnect Network을 구성한다. 각 프로세서는 공유된 공간을 통하여 서로 통신하고 중재를 받아 작업을 할당하여 처리하는 구조로 동작하게 된다.

IV. 시험 및 성능 분석

1:n 프로세서 네트워크 구조를 가진 MPSoC 검증 플랫폼을 [그림 6]과 같이 제작하고 M-JPEG 응용 프로그램을 두 개의 CPU에 나누어 수행하였다. MPSoC 검증 플랫폼은 ARM926 코어 모듈, Base 보드, 그리고 FPGA 모듈로 구성된다.

ARM926 코어 모듈은 Base 보드와 FPGA 모듈의 AMBA AHB를 통하여 각각 다른 프로세서 모듈로 연결되어 동시에 태스크를 처리하며 FPGA 내에 AHB Bridge_X, Bridge_Y, 그리고 Bridge_Z 제어 회로를 구현하였다. ARM926 코어 모듈 연결을 위한 커넥터 및 연동 구조로는 위쪽에는 X 컨넥터 144 핀, Y 컨넥터 144 핀, 그리고 Z 컨넥터 10 핀이 있으며, 아래쪽에는 X 컨넥터 144 핀, Y 컨넥터 144 핀, Z 컨넥터 190 핀으로 되어 있다. [그림 7]은 ARM 코어 모듈들을 상호 연결하고 통신하기 위한 FPGA 모듈 과 Base 보드의 상호 연결도를 나타내고 있다.

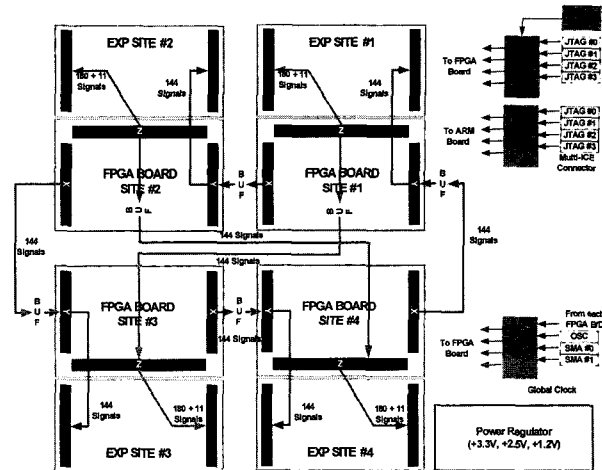


그림 7. FPGA 모듈 및 Base 보드 연결도
Fig. 7. Interconnection of FPGA Module and Base Board.

ARM926 코어 모듈은 ARM 프로세서 기반의 제품을 개발하기 위한 테스트 모듈이다. ARM926 코어 모듈은 FPGA 모듈 내부에 시스템과 메모리 컨트롤러를 구현하고 있으며, FPGA 모듈과 연결되어 동작한다. ARM926 코어 모듈은 AMBA 버스 인터페이스 로직, 클럭 선택 로직, 인터럽트 컨트롤러, DMA 컨트롤러, 시스템리셋 컨트롤러, 그리고 AHB 등으로 구성되어 있다.

FPGA 모듈은 Xilinx Virtex-4 LX200 디바이스가 장착되어 MPSoC Base 보드와 ARM926 코어 모듈을 연결하는 버스 구조로 되어 있으며, 각 프로세서간의 통신을 위하여 64MB SDRAM, 4MB SRAM을 사용한다.

Base 모듈에는 4개의 ARM926 CPU 코어 모듈과 4개의 FPGA 모듈을 스택 구조로 사용할 수 있도록 구현 하였으며 각 모듈은 288 핀의 신호라인이 구성되어 있다.

테스트를 위하여 [그림 8]과 같이 두 개의 ARM926

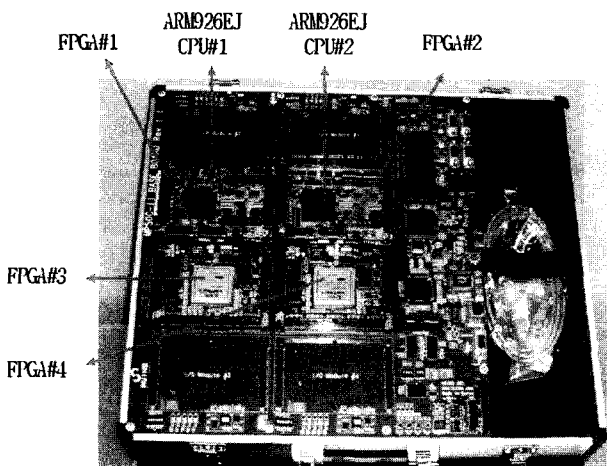


그림 6. MPSoC IP 검증 시험 보드
Fig. 6. Test Board of MPSoC.

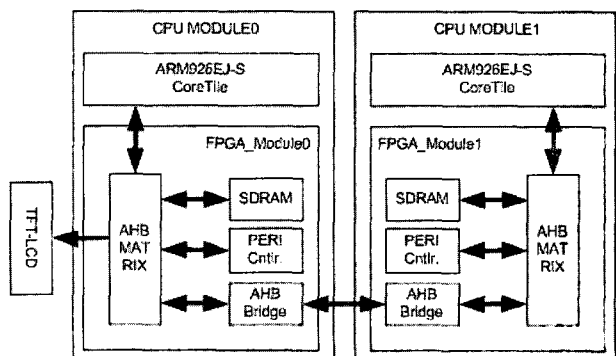


그림 8. 두 개의 CPU를 사용한 MPSoC 플랫폼 구성도
Fig. 8. MPSoC Platform using two CPUs.

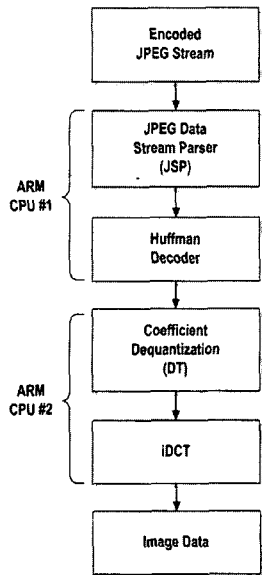


그림 9. 프로세서별 소프트웨어 분할
 Fig. 9. Software Partition by Processors.

표 1. 측정 결과
 Table 1. Result of Performance.

프로세서 갯수	MJPEG 수행시간	속도(F/S)
1	25.3 sec	1.2 F/S
2	18.4 sec	1.6 F/S

코어 모듈과 두 개의 FPGA 모듈을 사용하였다. ARM CPU#1, ARM CPU#2가 각 FPGA#1, FPGA#2를 통하여 동시에 동작하는 MPSoC 검증 구조이다.

MPSoC 검증 플랫폼에서 수행시간을 측정하기 위해서 사용된 응용 프로그램인 MJPEG의 전체적인 수행과정을 보이고 있다. 여기서 압축된 MJPEG Data Stream Parser 부분과 Huffman 디코더 부분을 ARM CPU#1에서 처리하고, Coefficient Dequantization 및 Inverse DCT 블록을 ARM CPU#2가 수행하도록 하였다. 입력되는 데이터가 처음수행 시에는 CPU #1에서만 수행되지만 계속해서 입력이 되면 CPU #2도 뒷부분을 병렬로 처리를 한다.

[그림 9]에서 제시한 응용 프로그램을 두 개의 프로세서를 이용해서 수행 경우가 단일 프로세서 구조보다 27.2%정도의 성능이 빠름을 [표 1]에서 알 수 있다.

V. 결 론

현재 PDA와 같은 정보 단말기에서 많은 양의 데이

터를 처리하기 위하여 더 빠른 처리 속도와 큰 용량을 가진 반도체 설계 기술을 요구하고 있으며 이러한 추세는 앞으로도 계속될 수밖에 없다. 또한 지속적인 처리 속도의 증가는 물리적인 한계에 이르고 있다. 이러한 문제를 극복하기 위하여 멀티 프로세서를 사용하여 병렬적으로 처리하는 MPSoC의 필요성이 대두되고 있다. 단일 프로세서에서 한계를 극복하기 위하여 본 논문에서는 멀티 프로세서 검증을 위한 1:n Interconnect Network구조를 제안하여 개발자로 하여금 보다 빠르고 효율적인 검증이 가능하도록 하였으며, 제안된 구조에서 응용프로그램 수행 시 단일 프로세서를 사용할 때보다 27.2% 이상의 처리속도 향상을 보였다.

참 고 문 헌

- [1] Ahmed Amine Jerraya and Wayne Wolf, "Multiprocessor Systems On Chip," Morgan Kaufmann Publishers, pp. 4-5, 2002.
- [2] Paul N.Leroux and Robert Craig, "Easing the Transition to Multi-Core Processors," Information Quarterly, vol.5, no 4, pp. 34-35, Dec. 2006.
- [3] ARM, www.arm.com
- [4] ARM, "ARM926EJ Technical Reference Manual," pp. 2-3, 2001.
- [5] Kuskin, J., et al. "The stanford FLASH Multiprocessor," Proc of the 21st International Symposium on Computer Architecture, 1994.
- [6] Culler, D.E., J.P. "Parallel Computer Architecture," Morgan Kaufmann Publishers, 1999.

저 자 소 개



송 태 훈(정회원)
 1985년 충북대학교 컴퓨터공학과
 학사.
 1990년 삼보컴퓨터 연구원.
 1993년 한국산업기술대학원
 공학석사.
 2007년 현재 경희대학교
 전자공학과 박사과정,
 (주)휴인스 대표이사.

<주관심분야 : ARM, 임베디드>



오 재 곤(정회원)
 1989년 금오공과대학교
 전자공학과 학사.
 1989년 삼성전자 연구원
 1995년 경희대학교 전자공학과
 공학석사.
 1999년 경희대학교 전자공학과
 공학박사.

2007년 현재 한국산업기술대학교 전자공학과 교수.

<주관심분야 : SoC 및 임베디드 시스템, 차세대 디스플레이 시스템>



송 문 빈(정회원)
 1998년 한밭대학교 전자공학과
 학사.
 2002년 경희대학교 전자공학과
 공학석사.
 2007년 경희대학교 전자공학과
 공학박사.

<주관심분야 : SoC 설계, 임베디드 시스템, RTOS>



정 연 모(정회원)
 1980년 경북대학교 학사.
 1982년 KAIST 공학석사.
 1987년 경제기획원 전산처리관.
 1992년 미시간주립대학교
 공학박사.
 2007년 현재 경희대학교
 전자정보대학 교수

<주관심분야 : SoC 설계, 임베디드 시스템, RTOS>