

논문 2007-44SD-8-10

# UMTS용 수신기를 위한 저 전력 CMOS 연속-시간 시그마-델타 모듈레이터

( A Low-Power CMOS Continuous-Time Sigma-Delta Modulator for  
UMTS Receivers )

임 진 업\*, 최 중 호\*\*

( Jinup Lim and Joongho Choi )

## 요 약

본 논문에서는 UMTS용 수신기를 위한 저 전력 CMOS 연속-시간 시그마-델타 모듈레이터에 대해 논한다. 저 전력 동작 수행을 위한 연속 시간 모듈레이터의 루프 필터는 선형성이 우수하고, 튜닝 회로가 비교적 간단한 active-RC 필터로 구성하였다. 본 모듈레이터의 구조는 전력 효율을 높이기 위해 24의 OSR (Oversampling Ratio)의 3차 4비트 단일 루프로 구성하였고, 초과 루프 지연 시간에 의한 성능 저하를 방지하기 위해 반주기 지연 궤환 경로를 추가하였다. 제작한 회로의 SNR, SNDR, Dynamic range는 각각 71dB, 65dB, 74dB로 측정되었다. 설계한 연속-시간 시그마-델타 모듈레이터는 0.18-um CMOS 표준 공정으로 제작하였고, 1.8V의 단일 전원 전압에서 15mW의 전력을 소모한다.

## Abstract

This paper presents a low power CMOS continuous-time  $\Sigma\Delta$  (sigma-delta) modulator for UMTS receivers. The loop filter of the continuous-time  $\Sigma\Delta$  modulator consists of an active-RC filter which performs high linearity characteristics and has a simple tuning circuit for low power operating system. The architecture of this modulator is the 3<sup>rd</sup>-order 4-bit single loop configuration with a 24 of OSR (Oversampling Ratio) to increase the power efficiency. The modulator includes a half delay feedback path to compensate the excess loop delay. The experimental results of the modulator are 71dB, 65dB and 74dB of the peak SNR, peak SNDR and dynamic range, respectively. The continuous-time  $\Sigma\Delta$  modulator is fabricated in a 0.18-um IP4M CMOS standard process and dissipates 15mW for a single supply voltage of 1.8V.

**Keywords :** Continuous-time, Sigma-delta modulator, UMTS, Single-loop, CMOS

## I. 서 론

최근 VLSI 집적 기술과 함께 무선 통신 기술의 발달에 따라 UMTS와 같은 고속 무선 표준을 만족하는 시스템이 디지털 모뎀 회로와 함께 RF, baseband 아날로그

그 회로가 한 칩에 구현하는 SoC (System On a Chip) 화 되어 가고 있다. 이와 같은 추세에 적응하기 위해서는 RF 회로뿐만 아니라 baseband 아날로그 회로들도 디지털 회로를 제작하는 공정과 동일한 공정으로 제작되는 것은 물론, 낮은 전원 전압에서 동작해야 하며 휴대용 단말기 응용을 위해 저 전력 회로 설계가 필수적이다. 현재 사용되고 있는 표준 공정에서는 아날로그 회로에서 필수적으로 사용하는 저항 및 캐패시터와 같은 소자의 부정합 특성이 0.1% 이하를 보장하지 않기 때문에 별도의 보정 회로없이 10비트 이상의 dynamic range를 갖는 아날로그 회로를 구현할 수 없다.

온도, 공정 변화 등 동작 환경의 변화에 둔감한 시스

\* 정회원, \*\* 평생회원, 서울시립대학교 전자전기컴퓨터공학부

(University of Seoul, Department of Electrical and Computer Engineering)

※ 본 연구는 2006년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계기술혁신사업단」의 지원으로 이루어졌습니다. CAD Tool과 칩 제작은 IDEC의 지원에 의해 수행되었습니다.

접수일자: 2007년4월25일, 수정완료일: 2007년7월30일

템을 구현하기 위해서는 아날로그 회로의 기능이 디지털 회로에서 이루어져야 하며, 이를 위해서는 아날로그 신호를 디지털 신호로 변환하는 ADC의 해상도 특성이 향상되어야 한다. 그림 1에 동일한 무선 통신 수신단을 일반적인 해상도를 갖는 ADC를 이용한 블록 다이어그램을 (a)에, 보다 높은 해상도를 갖는 ADC를 이용한 블록 다이어그램을 (b)에 나타내었다. (b)의 경우 아날로그 채널 선택 필터의 일부분과 VGA의 일부분이 디지털 신호 처리 부분에서 이루어지기 때문에 (a)의 경우에서보다 동작 환경 변화에 둔감한 특성을 나타내는 것은 물론, 저 전력 소 면적 시스템 구현이 가능하다.

10비트이상의 고해상도를 갖는 ADC를 구현하기 위해서는 처리하고자 하는 주파수 대역내의 양자화 잡음을 성형하는  $\Sigma\Delta$  데이터 변환기 기술이 선호되고 있다. 이 기술은 18비트이상의 해상도를 처리하는 오디오 신호 처리 시스템에서 많이 활용되어 왔으나 주파수 처리 대역이 매우 낮아 데이터 신호 처리에는 적합하지 않았다. 그러나, 최근 VLSI 집적 기술의 발달로 트랜지스터의 처리 속도가 증가하면서  $\Sigma\Delta$  데이터 변환기 기술이 점점 각광을 받기 시작하고 있다<sup>[1~2]</sup>.

데이터 신호 처리용  $\Sigma\Delta$  모듈레이터는 이산-시간에서 동작하는 switched-capacitor 회로를 이용하여 구현하였다. 이산-시간  $\Sigma\Delta$  모듈레이터는 디지털 출력 신호에 포함된 양자화 잡음을 성형하는 루프 필터의 계수가 캐패시터의 비(比)로써 결정되기 때문에 매우 정확하게 구현할 수 있다<sup>[3~6]</sup>. 그러나 이산-시간 영역에서부터 연구된  $\Sigma\Delta$  모듈레이터는 사용하는 연산 증폭기의 단일-이득 주파수가 샘플링 주파수보다 약 5배 이상 커야

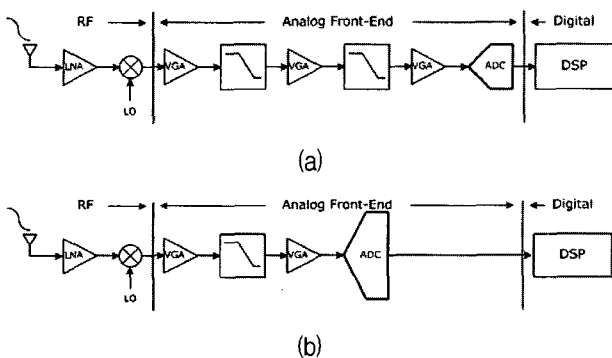


그림 1. 무선 통신 수신단의 블록 다이어그램 :  
(a) 일반적인 해상도를 갖는 ADC를 포함  
(b) 고 해상도 ADC를 포함

Fig. 1. Block diagram of receiver for wireless communication applications :  
(a) with a normal-resolution ADC  
(b) With a high-resolution ADC.

정상적인 동작을 수행하기 때문에 전력 소모적으로 우수한 연속-시간  $\Sigma\Delta$  모듈레이터의 연구를 야기하였다<sup>[7~10]</sup>. 연속-시간  $\Sigma\Delta$  모듈레이터는 이산-시간  $\Sigma\Delta$  모듈레이터와 달리 루프 필터가 연속-시간 필터로 구성되어 있어 이론적으로는 사용되는 연산 증폭기의 단일-이득 주파수가 샘플링 주파수와 동일하게 설계할 수 있기 때문에 이산-시간  $\Sigma\Delta$  모듈레이터에서 사용되는 전류보다 작은 전류로도 동일한 성능을 구현할 수 있다. 따라서 연속-시간  $\Sigma\Delta$  모듈레이터는 저 전력 고 주파수 처리 시스템을 구현하기에 알맞은 구조라 할 수 있다. 또한, 연속-시간  $\Sigma\Delta$  모듈레이터는 이산-시간  $\Sigma\Delta$  모듈레이터와 달리 연산 증폭기의 입력 노드에서 스위칭하지 않기 때문에 전원 전압과 접지에서의 발생하는 잡음이 적어 저 잡음 회로 설계가 용이하다. 그림 2에는 연속-시간  $\Sigma\Delta$  모듈레이터의 기본적인 블록 다이어그램을 나타내었다. 저 대역 통과 필터의 특성을 갖는 루프 필터를 통과한 후에 양자화기 앞에서 샘플링 동작을 하기 때문에 자체적인 겹침 방지 필터(Anti-aliasing filter)의 기능을 수행하고, 이는 전단에 위치하는 겹침 방지 필터의 요구 사양을 완화시켜 저전력 회로 설계에 도움을 준다.

연속-시간  $\Sigma\Delta$  모듈레이터에서는 이산-시간  $\Sigma\Delta$  모듈레이터에서 발생하지 않았던 몇 가지 문제점들이 제기된다. 첫 번째로 클럭 지터에 의한 문제가 있다. 그림 3 (a)에 보이듯 이산-시간  $\Sigma\Delta$  모듈레이터에서 지터가 포함된 클럭을 사용한다고 해도 신호가 정착하는데 소요되는 시간이 충분하다면 클럭 지터에 의한 오류는 미미하다. 하지만, 그림 3(b)의 연속-시간  $\Sigma\Delta$  모듈레이터에서는 한 주기 동안의 신호 전력으로 계산되기 때문에 클럭 지터에 의한 잡음을 무시할 수 없고, 특히 궤환 DAC 신호의 파형에 따라 잡음의 정도가 달라지기 때문에 파형 선택에 신중을 기해야 한다. 두 번째로 궤환

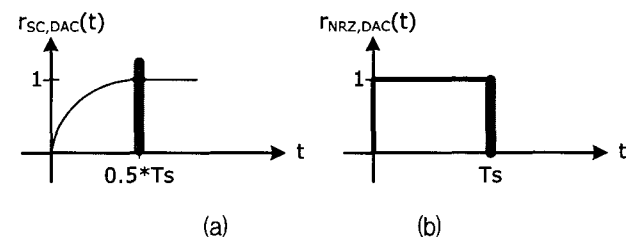


그림 3. 클럭 지터에 의한 궤환 DAC 신호 오류 :  
(a) 이산-시간  $\Sigma\Delta$  모듈레이터  
(b) 연속-시간  $\Sigma\Delta$  모듈레이터

Fig. 3. Feedback DAC Errors by the clock jitter :  
(a) Discrete-time  $\Sigma\Delta$  modulator  
(b) Continuous-time  $\Sigma\Delta$  modulator.

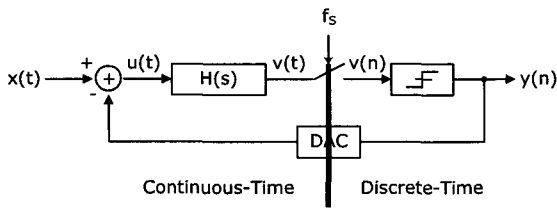


그림 2. 연속-시간  $\Sigma\Delta$  모듈레이터의 블록 다이어그램  
Fig. 2. Block diagram of continuous-time  $\Sigma\Delta$  modulator.

경로에서 발생하는 지연 시간에 의한 오류가 있다. 그림 4에는 케환 DAC 신호의 형식이 NRZ (Non Return-to-Zero) 인 경우에 대해 초과 루프 지연 시간에 의한 오류를 표현하였다. 케환 루프에서 발생한 지연 시간  $\tau_d$  만큼의 전력량이 다음 주기로 옮겨져 오류가 발생하는 것을 볼 수 있다. 이는 루프 필터의 차수를 증가시키는 요인이 되어 전체 연속-시간  $\Sigma\Delta$  모듈레이터의 안정성에 문제를 야기시킬 수 있다.

본 논문에서는 연속-시간  $\Sigma\Delta$  모듈레이터의 기본 동작 및 앞서 언급한 문제점들을 분석, 해결 방법들을 제시하였다. II장에서는 모듈레이터의 구조에 대해 언급하고, III장에서는 구성 회로들에 대해 설명한다. IV장에서는 제작된 칩을 이용한 실험 결과들을 나열하였다.

## II. 연속-시간 $\Sigma\Delta$ 모듈레이터의 구조

$\Sigma\Delta$  모듈레이터는 OSR, 루프 필터의 차수, 비교기의 비트 수에 따라 잡음 성형 곡선이 달라지고, 이에 따라 dynamic range 특성이 결정된다. OSR이 증가하게 되면 dynamic range 성능의 향상이 예상되지만 주어진 주파수 처리 대역에 의해 샘플링 주파수가 증가하기 때문에 전류 소모의 증가를 피할 수 없다. 최근에는 휴대용 단말기 응용을 위한 저 전력 회로 설계가 주된 연구 과제이기에 OSR의 증가로 성능 향상을 꾀하는 데에는 한계가 있다. 루프 필터의 차수를 늘리면 잡음 shaping 곡선이 급격한 기울기를 갖기 때문에 관심 있는 주파수 대역내의 양자화 잡음 전력이 감소하게 되어 dynamic range 성능을 향상시킬 수 있다. 하지만, 2차 이상의 차수로 루프 필터를 구성하게 되면 시스템 안정

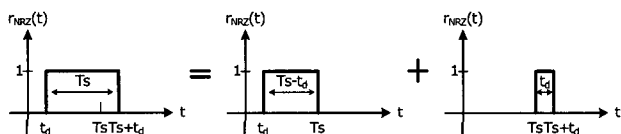


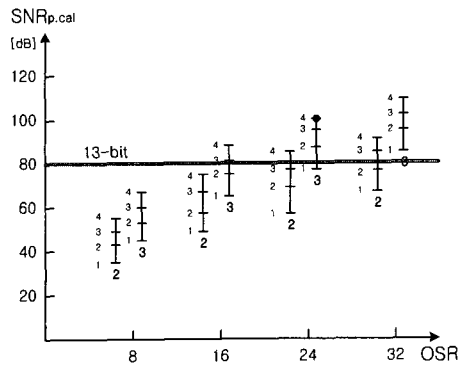
그림 4. 초과 루프 지연 시간에 의한 오류  
Fig. 4. Errors by excess loop delay.

성에 문제가 발생할 수 있어 고차의 루프 필터를 사용하는  $\Sigma\Delta$  모듈레이터의 설계 시에는 안정성에 대한 세심한 주의가 필요하다. 또한, 차수를 늘릴수록 사용하는 연산 증폭기의 수도 늘어나기 때문에 전력 소모의 증가는 불가피하다. 비교기의 비트 수를 증가하는 방법은 양자화 된 디지털 출력의 양자화 잡음의 크기를 줄여 전체 잡음 전력을 감소시키는 기술이다. 이 방법은 모듈레이터의 안정성을 확보하는데 도움을 주지만 케환 DAC의 비선형성으로 인해 잡음을 발생시키는 요인이 되기도 한다. 이와 같은 세 가지 인자의 적절한 조합을 통해 구현하고자 하는  $\Sigma\Delta$  모듈레이터 성능에 부합되도록 해야 한다. 식 1에는 세 가지 인자를 이용해 구현할 수 있는 SNR의 값을 표현한 것이다. 이 식에는 회로상으로 구현할 때 발생할 수 있는 하모닉 성분과 같은 비선형성에 의한 성능 저하 요인은 포함되어 있지 않은 이상적인 결과를 나타낸다. 여기서, B는 비교기의 비트 수, L은 루프 필터의 차수를 나타낸다.

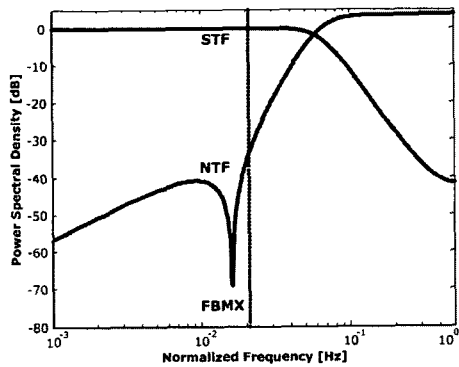
$$SNR_p = \left(\frac{3\pi}{2}\right) \cdot (2B-1)^2 \cdot (2L+1) \cdot (OSR/\pi)^{2L+1} \quad (1)$$

이 식을 이용하여 구현할 수 있는 이상적인 peak SNR의 값을 그림 5(a)에 나타내었다. 본 논문에서는 UMTS 응용을 위한 4MS/s 주파수 대역과 13비트의 dynamic range 성능을 갖는 저전력 연속-시간  $\Sigma\Delta$  모듈레이터를 설계하는 데 그 목표가 있다. 비선형적인 현상에 대비하여 성능 여유를 두고 24의 OSR, 3차의 4비트 단일 루프 구조의  $\Sigma\Delta$  모듈레이터로 결정하였다. 그림 5(b)에는 결정한 인자들을 바탕으로 루프 필터의 계수를 구한 후 샘플링 주파수를 1Hz로 일반화하여 신호 전달 함수(Signal Transfer Function)와 잡음 전달 함수(Noise Transfer Function)를 도시하였다. 신호 전달 함수는 저 대역 통과 함수로 나타나고, 잡음 전달 함수는 chebyshev-II 형식의 고 대역 통과 함수로 나타나는데, 이는 실제 회로상에서 local resonator로 구성하여 구현할 수 있다.  $\Sigma\Delta$  모듈레이터의 안정성은 잡음 전달 함수의 최대값이 3.5dB를 넘지 않도록 하는 방법으로 보장하였다. 또한, 처리하고자 하는 주파수 대역을 점선으로 나타내었다.

이산-시간  $\Sigma\Delta$  모듈레이터에서 클럭 지터에 의한 오류는 nyquist-rate ADC와 마찬가지로 샘플링 시점의 오류로 인한 잡음으로 나타나지만, 연속-시간  $\Sigma\Delta$  모듈레이터에서는 두 가지 잡음으로 나타난다. 첫 번째로



(a)



(b)

그림 5.  $\Sigma\Delta$  모듈레이터의 구조 결정 : (a) 각 인자에 대한 이상적인 SNR 값 (b) 신호/잡음 전달 함수  
 Fig. 5. The determination of the architecture of  $\Sigma\Delta$  modulator : (a) Ideal SNR value with respect to factors (b) STF, NTF.

양자화기 앞단에 위치한 샘플링 지터 잡음이 있고, 두 번째로는 궤환 DAC 지터 잡음 전력이 있다. 전자는 양자화 잡음과 동일한 경로에 위치하여 잡음이 고 주파수 대역으로 이동하기 때문에 큰 문제가 되지 않는다. 후자의 경우 입력 신호와 동일한 경로에 위치하여 잡음이 모든 주파수 대역에 영향을 미치므로 전체  $\Sigma\Delta$  모듈레이터 성능에 직접적인 영향을 미친다. 그림 6에는 클럭

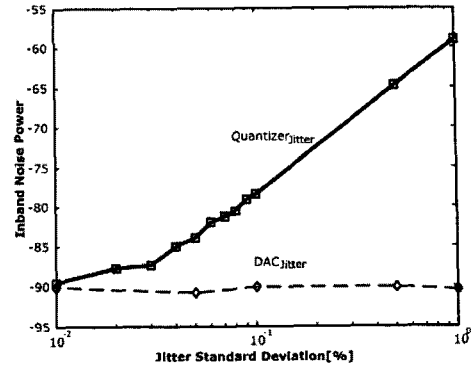


그림 6. 클럭 지터에 의한 주파수 대역내의 잡음 전력  
 Fig. 6. Inband noise power with respect to clock jitter.

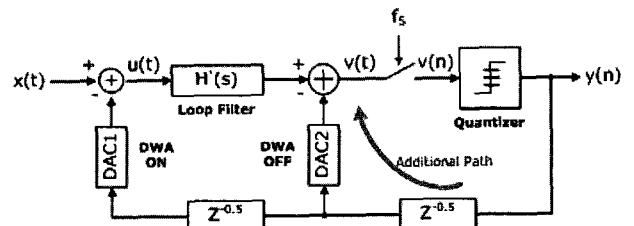


그림 7. 개선된 구조의 연속-시간  $\Sigma\Delta$  모듈레이터  
 Fig. 7. The improved version of continuous-time 연속-시간  $\Sigma\Delta$  modulator.

지터 양에 대한 두 가지 오류에 의해 발생하는 주파수 대역내의 잡음 전력을 시뮬레이션한 결과를 나타낸다. 본 논문에서 구현하고자 하는 13비트의 dynamic range 성능을 위해서는 약 0.05% 이하의 표준 편차를 가져야 하는 것을 알 수 있다.

초과 루프 지연 시간에 의한 오류에 의한 잡음은 샘플링 주파수가 증가하게 됨에 따라 더욱 중요시되는 현상이다. 그림 7에는 반주기 지연 시간 경로를 추가한 연속-시간  $\Sigma\Delta$  모듈레이터의 구조가 나와 있다. 이 구조를 통해 지연 시간에 비교적 둔감한 모듈레이터를 설계할 수 있음은 물론, 양자 화기에서의 요구 사양을 완화

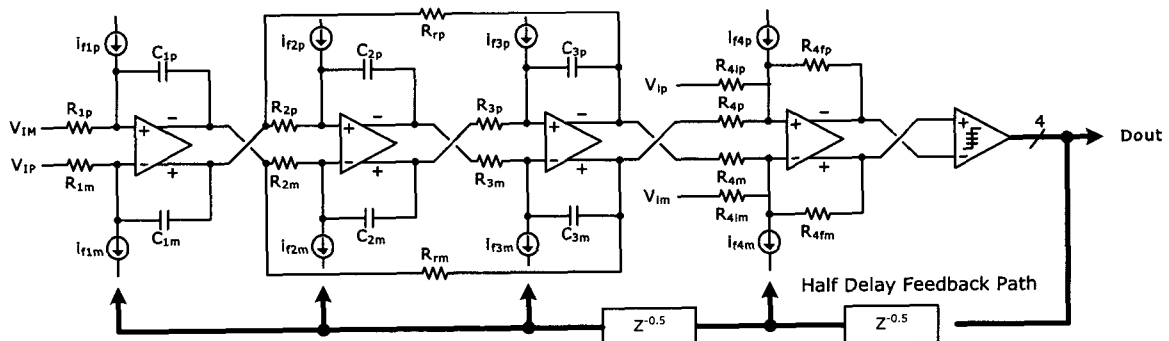


그림 8. 3차 4비트 연속-시간  $\Sigma\Delta$  모듈레이터의 회로도  
 Fig. 8. Circuit schematic of 3<sup>rd</sup>-order 4-bit continuous-time  $\Sigma\Delta$  modulator.

시키는 이점이 있어 저 전력 설계를 가능하게 한다. 이 구조의 구성을 위해 추가의 케환 DAC 회로 및 summing 회로가 설계되었으며, 동일한 동작 수행을 위해 루프 필터의 계수를 수정하였다.

그림 8에는 연속-시간  $\Sigma\Delta$  모듈레이터의 전체 회로도 가 나타나 있다. 본 논문에서는 선형성이 우수한 active-RC 적분기를 이용하여 연속-시간 루프 필터를 구성하였고, chebyshev-II 형식의 잡음 전달 함수를 구현하기 위해 두 번째 적분기 입력과 세 번째 적분기 출력 사이에 저항  $R_f$ 을 연결하여 local resonator를 구성 하였다. 또한, 반 주기 케환 신호로 인한 summing 회로 입력의 크기 변화를 보상하기 위해 입력 신호 경로를 추가하였다.

### III. 회로 설계

#### 3.1 Active-RC 적분기

본 논문에서는 선형성이 우수한 active-RC 적분기를 이용하여 루프 필터를 구성하였다. 적분기의 전류 소모 는 연산 증폭기의 부하에 의존하고, 이 부하는 적분기 자체에서 발생하는 잡음과 구현하고자 하는 해상도에 따라 결정된다. 특히, 잡음 특성은 전체 시스템의 첫 단 에 의해 결정되므로 첫 번째 적분기의 열 잡음 전력을 파악하는 것이 중요하다.

식 2에는 완전 차동 active-RC 적분기에서 발생하는 열 잡음을 수식적으로 표현하였고, 관심있는 주파수 대역이 충분히 크기 때문에 연산 증폭기 입력에서 발생하는 flicker 잡음은 열 잡음에 비해 무시할 수 있어 수식 에 포함하지 않았다. 괄호안의 첫 번째 항은 적분기의 입력 저항에 의한 열 잡음 성분이고, 두 번째 항은 케환 DAC 저항에 의한 열 잡음 성분을 나타내고, 세 번째 항은 연산 증폭기의 입력쪽에서 발생하는 열 잡음 성분을 나타내었다. 첫 번째 케환 계수를 1로 정했기 때문 에 입력 저항  $R$ 과 등가 케환 저항  $R_{DAC}$ 가 동일하고, 이 경우 약 2.5k $\Omega$ 의 입력 저항을 이용한 적분기의 열잡음 은 13비트의 해상도를 갖는 모듈레이터를 구현하기에 충분하다는 것을 알 수 있다.

$$P_N = 16kTf_B \cdot (R + R_{DAC} + \frac{8}{3}g_{m,opamp}) \quad (2)$$

Active-RC 적분기의 이득은 입력 저항과 부캐환 캐패시터의 곱에 역수로 나타난다. 하지만, CMOS 표준 공정에서 구현할 수 있는 저항과 캐패시터의 정확도는

약  $\pm 20\%$ 정도여서 이를 보정할 수 있는 회로가 필요하다. 일반적으로 보정회로는 외부의 클럭 신호와 내부의 밴드갭 전압을 증폭한 기준 전압을 이용하여 공정상 발생 한 적분기의 이득 오차를 보정하는 방법을 사용한다. 본 논문에서는 보정회로를 포함하지 않고 있으나 외부 디지털 비트로 병렬 연결된 부캐환 캐패시터의 스위치 를 조정하여 저항과 캐패시터의 변화에 대응하였다.

#### 3.2 연산 증폭기

연산 증폭기는 그림 9에 나타내었듯이 공통-모드 잡 음의 영향을 최소화하기 위해 완전 차동 방식으로, 부 하 저항을 구동하기에 적합한 2단 증폭기로 설계하였 다. 차동 출력의 공통-모드의 안정성을 보장하기 위한 공통-모드 케환 회로는 부가의 소스 폴로우 회로를 사 용하지 않고 50k $\Omega$ 의 큰 저항만을 이용하여 저전력 설 계를 꾀하였다. 전체 모듈레이터에 사용된 연산 증폭기 는 동일한 구조로 설계되었으며, 첫 번째 연산 증폭기 는 5kV과 20pF의 병렬 연결된 부하 조건하에서 48dB 의 열린 루프 DC 이득을, 115MHz의 단일 이득 주파수 의 성능을 나타내고, 1.1mA의 전류 소모를 한다. 상대

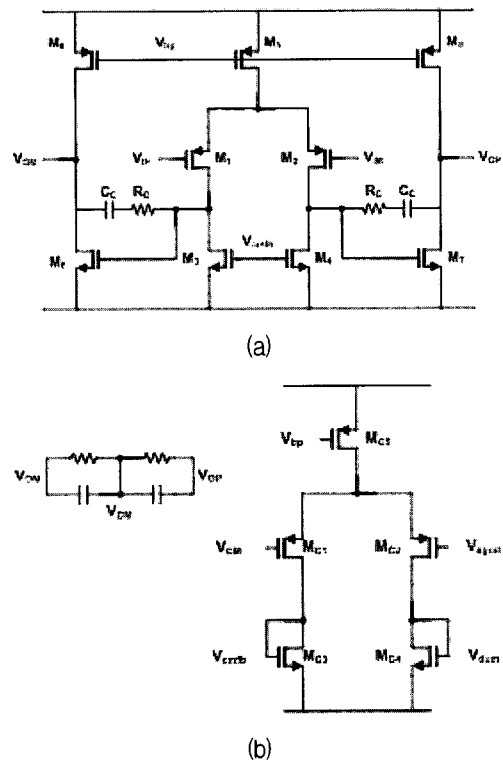


그림 9. 연산 증폭기 :  
 (a) 회로도 (b) 공통-모드 케환 회로  
 Fig. 9. Operational Amplifier : (a) Circuit Diagram  
 (b) Common-mode Feedback Circuit.

적으로 완화된 성능을 요구하는 2번째, 3번째, summing회로에 사용되는 연산 증폭기는 각각 0.8mA의 전류를 소모하도록 설계하여 전력 소모의 최소화를 꾀하였다.

3.3 비교기

그림 10에 보이는 바와 같이 사용된 비교기는 넓은 입력 신호 범위에도 동작이 가능하도록 PMOS 차동쌍을 사용하였고, 비교기의 이득을 증가시키기 위해 뒷단에 래치를 연결하였다.  $\phi_2$ 가 0이 될 때 차동 입력 신호가 샘플되고,  $\phi_2$ 이 1이 되는 순간 NMOS 및 PMOS 크로스 커플된 회로로 인하여 비교기의 차동 출력이 발생한다. 하나의 비교기에서 소모되는 전력은 약 200uA 이고, 전체 양자화기의 소모 전력은 약 3mA이다.

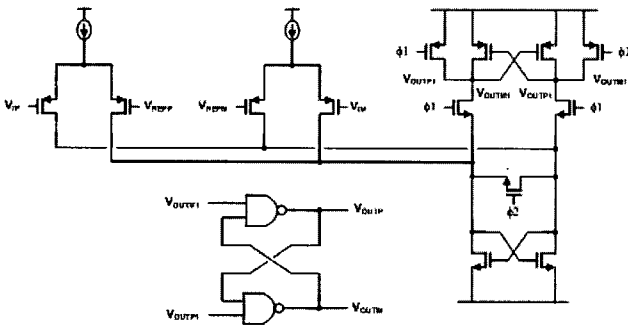
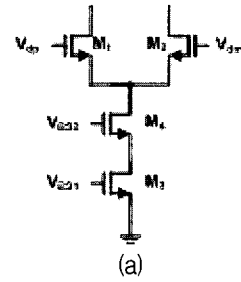


그림 10. 비교기  
Fig. 10. Comparator.

3.4 계환 DAC

계환 DAC는 차지하는 면적과 정확도를 고려하여 전류 형태로 설계하였다. 계환 DAC는 입력 신호와 동일한 경로에 있기 때문에 DAC에서 발생한 잡음은 그대로 출력으로 옮겨진다. 이는 각 계환 경로에 위치한 전류원들간의 정합 특성이 전체  $\phi_2$  모델레이터의 선형성만큼 보장되어야 한다는 것을 의미한다. 그림 11(a)에는 계환 DAC를 구성하는 하나의 DAC 회로가 나타나 있다. 출력 전류를 결정하는 트랜지스터 M3의 길이를 공정상에서 구현할 수 있는 최대 길이인 20um로 하여 전류원간의 부정합 특성을 최소화하였다. 또한, 출력 저항의 증가를 위해 cascode 전류원을 구성하기 위해 M4를 추가하였고, 고속 동작을 위해 트랜지스터 M4는 최소의 크기로 결정하였다. 그림 11(b)에는 계환 DAC의 레이아웃 기법을 도식적으로 표현하였다. 공정상에서 발생할 수 있는 부정합을 줄이기 위해 공통 중심(Common centroid) 방식으로 레이아웃하였으며<sup>[11]</sup>, 외곽에 위치한 전류원들이 내부 전류원들과 동일한 환경



(a)

d	d	d	d	d	d
d	9	13	15	11	d
d	5	1	3	7	d
d	8	4	2	6	d
d	12	d	14	10	d
d	d	d	d	d	d

(b)

그림 11. 계환 DAC : (a) 회로도 (b) 레이아웃  
Fig. 11. Feedback DAC :  
(a) Circuit Schematic (b) Layout.

으로 구성하기 위해 사용하지 않는 더미 전류원들을 추가하였다.

3.5 Dynamic Element Matching

위에서 구현한 전류 형태의 계환 DAC는 설계시에 세심한 주의를 기울여도 표준 공정상에서 10비트 이상의 해상도를 기대할 수 없기 때문에 이를 보정하는 회로가 필요하다. DAC 소자의 부정합을 데이터의 순서를 뒤섞는 방법으로 DEM (Dynamic Element Matching)이 있다. DEM의 종류로는 매 클럭마다 시작하는 DAC 소자를 하나씩 증가시키는 CLA (Clocked Level Averaging), 각 데이터마다 새로운 순서로 시작하는

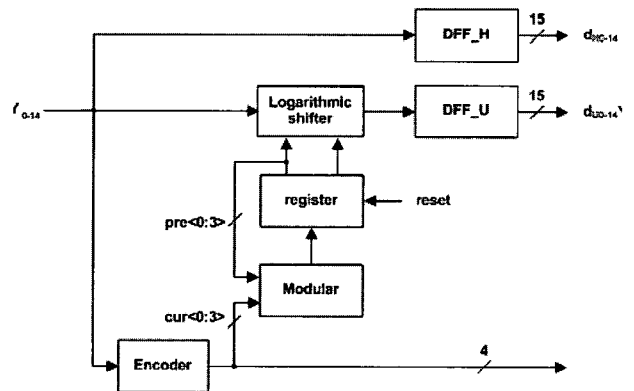


그림 12. DWA의 블록 다이어그램  
Fig. 12. Block Diagram of DWA.

ILA (Individual Level Averaging) 그리고 사용하지 않은 DAC 소자부터 시작하는 DWA (Data Weighted Averaging) 방법 등이 있다. 본 논문에서는 구성하는 회로가 비교적 간단하고 성능이 우수한 DWA 방법을 선택하여 설계하였다. 그림 12에는 구현한 DWA의 블록 다이어그램이 나타나 있다. Summing 블록에 인가되는 반 주기 지연 DAC 데이터는 루프 필터에 의해 잡음이 성형되기 때문에 성형성의 요구가 완화되어 DWA 방법을 사용하지 않고 바로 인가되도록 하였다. DWA의 동작은 다음과 같다. 비교기의 출력 신호는 온도계 형태이므로 이를 이진 코드로 변환하는 encoder가 필요하고, 이전 DAC 선택 데이터(pre<0:3>) 개수와 현재 DAC 선택 데이터(cur<0:3>) 개수를 합하는 Modular의 출력을 새로운 DAC 소자의 시작점으로 하여 시프터의 입력으로 사용한다.

IV. 하드웨어 구현 및 측정 결과

설계한 UMTS용 4MS/s 연속-시간  $\Sigma\Delta$  모듈레이터는 0.18- $\mu\text{m}$  1P4M CMOS 공정을 사용하여 제작되었다. 그림 13에는 설계된  $\Sigma\Delta$  모듈레이터의 칩 사진을 나타내었으며, 밴드갭 기준 전압 발생 회로 및 바이어스 회로를 포함한 칩의 전체 면적은 1.9 $\times$ 1.2mm<sup>2</sup> 이다. 제작된

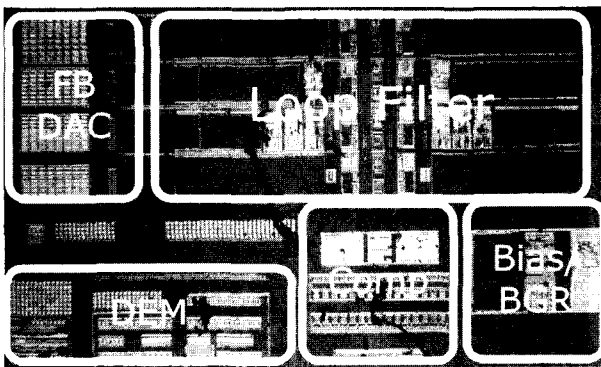


그림 13. 제작된 회로의 칩 사진  
Fig. 13. Die photo of the fabricated chip.

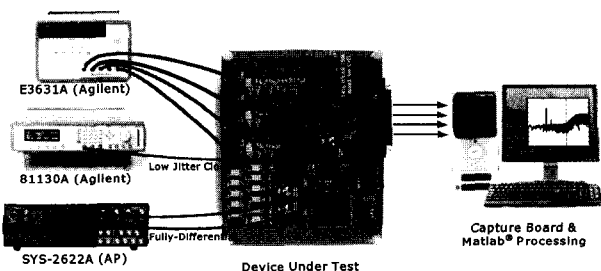
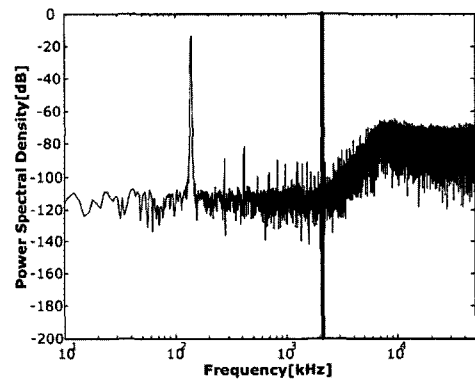
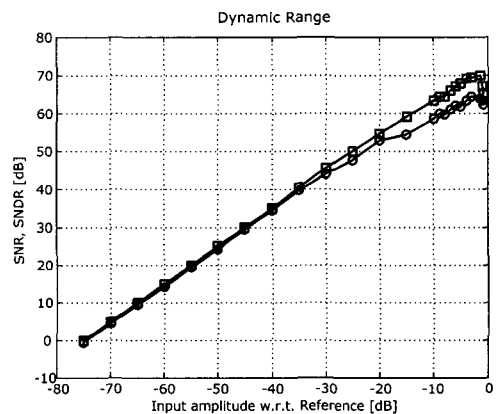


그림 14. 측정 환경  
Fig. 14. Measurement Environment.

모듈레이터는 1.8V의 단일 전원 전압에서 4종의 연산 증폭기에서 3.4mA, 궤환 DAC에서 0.5mA, 양자화기에서 3mA, 바이어스에서는 1mA 그리고 DEM 회로 및 클럭 발생기 등의 디지털 회로에서 0.4mA의 전류를 소모한다. 그림 14에는 제작된 칩의 측정 환경에 대해 나타났다. 고해상도의  $\Sigma\Delta$  모듈레이터의 측정을 위해서는 아날로그 입력 신호의 해상도가 DUT (Device under test)보다 높은 해상도를 가져야 하며, 이를 위해 20비트의 해상도를 갖는 아날로그 신호를 발생시킬 수 있는 Audio Precision사의 SYS-2622A를 이용하였다. 또한, 지터에 민감한 연속-시간  $\Sigma\Delta$  모듈레이터의 측정을 위해 작은 지터 성분을 갖는 클럭을 사용하였다. 캡처 보드를 통해 얻은 4비트 디지털 출력 신호는 PC상에서 Matlab<sup>®</sup>을 통해 FFT 후처리과정을 거쳐 모듈레이터의 성능을 확인하였다. 그림 15에는 모듈레이터의 측정 결과가 나타나 있다. 그림 15(a)는 peak SNDR의 성능을



(a)



(b)

그림 15. 측정 결과 :  
(a) FFT 스펙트럼  
(b) Dynamic range 성능

Fig. 15. Experimental results :  
(a) FFT spectrum  
(b) Dynamic range performance.

표 1. 모듈레이터의 성능 요약  
Table 1. Performance summary of the modulator.

Specifications	Results	
Input Bandwidth	2 [MHz]	
OSR	24	
Sampling Frequency	100 [MHz]	
Peak SNR	71 [dB]	
Peak SNDR	65 [dB]	
Dynamic Range	74 [dB]	
Supply Voltage	1.8 [V]	
Current	Amplifier	3.4 [mA]
	FB DAC	0.5 [mA]
	Comparator	3.0 [mA]
	Bias	1.0 [mA]
Digital	0.4 [mA]	
Active Area	1.9x1.2 [mm <sup>2</sup> ]	
Process	0.18-um 1P4M CMOS	

출력하는 아날로그 입력에 대한 디지털 출력 스펙트럼이 보인다. 16,384개의 출력 샘플을 이용하여 FFT 후처리하였으며, 그 결과로 양자화 잡음이 잡음 전달 함수에 의해 3차의 기울기를 갖는 것을 알 수 있다. 그림 15(b)에는 입력 신호 크기에 따른 SNR, SNDR 성능을 나타내었다. 측정된 peak SNR과 peak SNDR은 각각 71dB, 65dB로 나타났고, dynamic range는 74dB의 성능을 얻었다. 측정 결과를 보면 -20dB이상의 크기를 갖는 입력 신호에 대해서 SNDR이 SNR과 급격히 차이가 나타나는데, 이는 입력 신호의 크기가 증가할수록 하모닉 성분들의 크기가 증가하여 SNDR의 특성이 저하되고 있기 때문이다. 특히, 완전 차동 방식으로 설계되었으나 짝수 차수의 하모닉 성분들이 나타나는 이유는 케환 DAC간의 부정합 특성에 의한 것으로 분석된다. Dynamic range 특성이 설계한 13비트보다 1비트 작은 측정 결과를 나타낸 이유는 peak SNR이 작아졌기 때문이고, 이는 잡음 전력이 설계시보다 증가한 것으로 생각할 수 있다. 그 이유로는 측정 환경에서의 PCB 보드에서 발생하는 잡음과 클럭 지터 성분에 의한 오류에서 발생한 잡음 때문으로 예상된다. 제작된 연속-시간  $\Sigma\Delta$  모듈레이터 칩의 측정 결과를 표 1에 요약하였다.

## V. 결 론

본 논문에서는 UMTS용 수신기를 위한 저 전력 CMOS 연속-시간 3차 4비트 단일 루프  $\Sigma\Delta$  모듈레이터

를 설계하였다. 선형적인 루프 필터의 구현을 위해 active-RC 적분기를 이용하였고, 저 전력 소모를 위하여 적분기의 열 잡음에 대해 분석하였다. 초과 루프 지연 시간에 의한 오류를 방지하기 위해 반주기 지연 시간 경로를 추가하였고, 클럭 지터에 의한 잡음 전력을 분석하였다. 설계된  $\Sigma\Delta$  모듈레이터는 0.18- $\mu\text{m}$  CMOS 1P4M 표준 공정으로 제작되었으며, 전체 칩 면적은 2.28mm<sup>2</sup>이고, SNR, SNDR, dynamic range는 각각 71dB, 65dB, 74dB로 측정되었고, 1.8V 단일 전원 전압에서 15mW의 전력을 소모한다.

## 참 고 문 헌

- [1] S. R. Northway, R. Schreier, and G. C. Temes, *Delta-Sigma Data Converter-Theory, Design and Simulation*. Piscataway, NJ: IEEE Press, 1996.
- [2] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion-Fundamentals, Performance Limits and Robust Implementations*. Springer, 2006.
- [3] R. van Veldhoven, K. Phillips, and B. Minnis, "A 3.3-mW modulator for UMTS in 0.18- $\mu\text{m}$  CMOS with 70-dB dynamic range in 2-MHz bandwidth," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.222-223, 2002.
- [4] M. R. Miller and C. S. Petrice, "A multibit sigma-delta ADC for multimode receivers," *IEEE Jour. Solid State Circuits*, vol. 38, no. 3, pp.475-482, Mar. 2003.
- [5] P. Rombouts, J. De Maeyer, and L. Weyber, "A 250-kHz 94-dB double-sampling  $\Sigma\Delta$  modulation A/D converter with a modified noise transfer function," *IEEE Jour. Solid State Circuits*, vol. 38, no. 10, pp.1657-1662, Oct. 2003.
- [6] J. Lim and J. Choi, "A low-power sigma-delta modulator for wireless communication receivers using adaptive biasing circuitry and cascaded comparator scheme," *Analog Integrated Circuits and Signal Processing*, vol. 49, pp. 359-365, Dec. 2006.
- [7] J. A. Cherry and W. M. Snelgrove, *Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion-Theory, Practice and Fundamental Performance Limits*, Kluwer Academic Publishers, 2000.
- [8] M. S. Kappers, "A 2.2-mW CMOS bandpass continuous-time multibit  $\Delta$ - $\Sigma$  ADC with 68dB of dynamic range and 1-MHz bandwidth for



wireless applications," *IEEE Jour. Solid State Circuits*, vol. 38, no. 7, pp.1098-1104, July 2003.

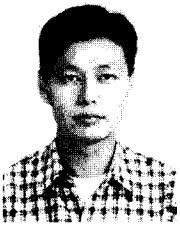
[9] S. Yan and E. Sanchez-Sinencio, "A continuous-time modulator with 88-dB dynamic range and 1.1MHz signal bandwidth," *IEEE Jour. Solid State Circuits*, vol. 39, no. 1, pp.75-86, Jan. 2004.

[10] L. J. Breems, R. Rutten, and G. Wetzker, "A

cascaded continuous-time  $\Sigma\Delta$  modulator with 67-dB dynamic range in 10-MHz bandwidth," *IEEE Jour. Solid State Circuits*, vol. 39, no. 12, pp.2152-2160, Dec. 2004.

[11] A. V. Bosch *et al.*, "A 10-bit 1-Gsample/s nyquist current-steering CMOS D/A converter," *IEEE Jour. Solid State Circuits*, vol. 36, no. 3, pp.315-324, Mar. 2001.

저 자 소 개



임진엽(정회원)  
 1999년 서울시립대학교 반도체 공학과 학사 졸업.  
 2001년 서울시립대학교 전자전기 공학부 석사 졸업.  
 2001년~2002년 GCT Semiconductor

2003년~현재 서울시립대학교 전자전기컴퓨터 공학부 박사과정  
 <주관심분야 : 고성능 이산/연속-시간 시그마-델타 모듈레이터 설계>



최중호(평생회원)  
 1987년 서울대학교 전자공학과 학사 졸업.  
 1989년 서울대학교 전자공학과 석사 졸업.  
 1993년 미국 Univ. of Southern California 전기공학 박사 졸업

1994년~1996년 IBM T. J. Watson Research Center 연구원  
 1996년~현재 서울시립대학교 전자전기컴퓨터 공학부 교수  
 <주관심분야 : 고성능 아날로그 회로 설계>