

논문 2007-44SD-8-9

DVB용 2K/8K FFT의 Stratix EP1S25F672C6 FPGA 구현 (2K/8K FFT Implementation with Stratix EP1S25F672C6 FPGA for DVB)

민종균*, 조중휘**

(Jong-kyun Min and Joong-hwee Cho)

요약

본 논문에서는 유럽형 DTV용 FFT를 설계하고 Stratix EP1S25F672C6 FPGA를 이용하여 구현하였다. SIC 구조를 사용하여 FFT를 구현하였으며, 사용된 SIC 구조는 특정 알고리즘 처리 연산을 수행하기 위한 처리기와 RAM 메모리, 레지스터들과 전체 블록 및 부분 블록의 동작을 통제하기 위한 조정기로 구성된다. 디자인된 FFT는 DVB-T 표준사양을 만족하도록 2K/8K FFT 연산을 처리 가능하며, 선택적으로 1/4, 1/8, 1/16, 1/32의 4가지 보호구간 모드를 모두 지원한다. 구현된 FFT는 사용된 Stratix FPGA에 전체 로직의 12%, 전체 메모리의 53%를 사용한다.

Abstract

In this paper, we designed FFT for European DTV and implemented system with Stratix EP1S25F672C6 FPGA. At the implemented FFT, we used SIC architecture. SIC architecture is composed of algorithm-specific processing element, RAM memory, registers, and a central or distributed control unit. Designed FFT was acceptable either 2K or 8K point FFT processing, and is selectable guard interval such as 1/4, 1/8, 1/16, 1/32. Consequently, it was suitable for the standard of DVB-T(Digital Terrestrial Video Transmission System) specification. It resulted in 12% of total logic gate and 53% of total memory bit in Stratix device.

Keywords : DVB-T, OFDM, SIC, FPGA

I. 서론

디지털 신호처리 기술의 발달로 압축된 영상신호를 디지털 변조과정을 통해 각 가정까지 전송하는 것이 가능하게 되었고, 디지털 위성방송이 시작되어 디지털 방송에 대한 관심이 높아지고 있다. 유럽형 DVB-T (Digital Terrestrial Video Transmission System) 는 다수 방송과 시스템인 OFDM (Orthogonal Frequency Division Multiplex)이 적용되어 단일 방송과 시스템에 비해 다중 경로 간섭에 강한 특성을 가지며, 긴 보호구

간을 사용하여 다중경로 간섭뿐 아니라 인위적인 echo 신호도 제거할 수 있는 특성을 가진다. 그림 1은 DVB-T 시스템 구성도이다^[1].

본 논문에서는 SIC(Structured Interfacing of Computational Element) 구조를 사용하여 DVB-T 표준을 만족하는 2K/8K FFT를 Altera사의 Stratix EP1S25F672C6 를 이용하여 구현한다.

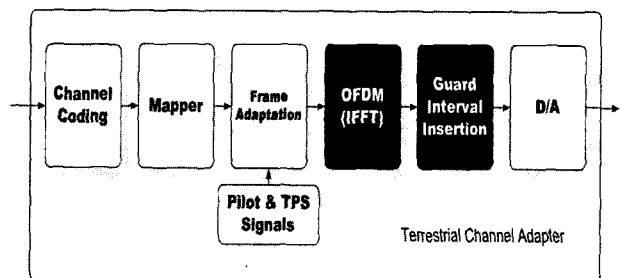


그림 1. DVB-T 시스템 구성도
Fig. 1. System Configuration of DVB-T.

* 정희원, 다들멀티미디어 (Tamul Multimedia)

** 정희원, 인천대학교 (University of Incheon)

※ "본 연구는 인천대학교 교내연구비 지원과 IDEC의 장비 지원에 의하여 수행되었음"

접수일자: 2007년3월6일, 수정완료일: 2007년7월17일

서론에 이어 II장에서는 구현된 FFT 알고리즘에 대하여 알아보고, III장에서는 FFT 하드웨어 블록들을 각 기능별로 자세히 살펴본다. IV장에서는 실험을 통해 성능을 검증하고, 끝으로 V장에서 결론을 맺는다.

II. 본 론

1. FFT Algorithm

8K FFT의 경우 제시된 표준사양을 만족하기 위해 radix-4 6단계, radix-2 1단계를 이용해 FFT 연산을 수행한다. Radix-4는 매 단계마다 2048번, radix-2는 4096번의 butterfly 연산이 필요하다. radix-4는 연산을 위해 4 clock, radix-2는 2 clock이 필요하므로 8K FFT 연산을 위해 필요한 총 clock의 수는 $2048 * 4 * 6 + 4096 * 2 = 57,344$ (clock) 이 되고, 64Mhz 동작 주파수를 사용 시 총 clock에 의한 소요시간은 $57,344 * 15.625 = 896$ (us) 가 되어 표 1에서 보인 표준 사양의 Symbol 구간 시간을 모두 만족한다.

표 1. OFDM Symbol 구성
Table 1. Configuration of OFDM Symbol.

Mode	8K mode				2K mode			
	1/4	1/8	1/16	1/32	1/4	1/8	1/16	1/32
T_s (us)	8,192 X T 896				2,048 X T 224			
Δ (us)	224	112	56	28	56	28	14	7
T_s (us)	1,120	1,008	952	924	280	252	238	231

G : Guard interval, T_s : Duration of symbol
 Δ : Duration of guard interval, T_s : Symbol duration ($\Delta + T_s$)

2. FFT H/W Architecture

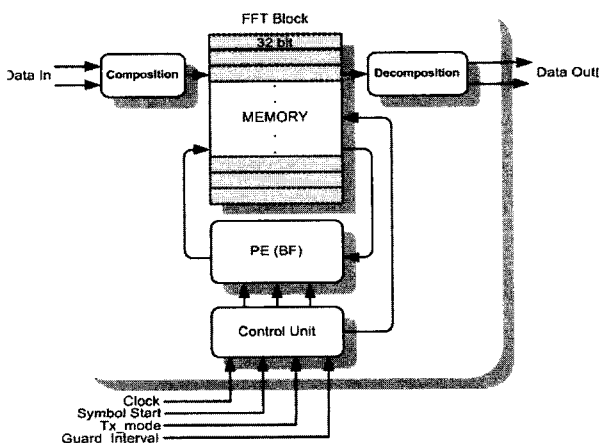


그림 2. 제안한 블록도
Fig. 2. Proposed Block Diagram.

가. 전체 구조

그림 2는 구현된 전체 SIC 구조에 대한 블록도이다. FFT 구현을 위해 사용된 SIC 구조는 간단히 Butterfly PE(Processing Element), RAM 메모리, 레지스터, control unit으로 구성된다.

나. Memory Block

메모리 블록 안의 RAM 메모리는 Altera사에서 제공하는 Megafunction Generator를 통해 생성된 Dual Port RAM을 사용하였다. Dual Port RAM은 한번에 두개의 값을 읽거나 쓰는 것이 가능하며, 연속적으로 외부의 입력을 저장하고 출력을 내보내기 위해 Dual Port RAM (폭:32bit, 깊이:16K) 2개를 사용한다.

그림 3은 각 RAM의 기능별 동작을 나타내었다. 32bit의 폭, 16K의 깊이를 가지는 RAM을 상, 하 8K씩으로 나누어 bank 1, bank 2로 지정한다. 두개의 RAM 메모리와 나누어진 각각의 bank는 같은symbol 구간 내에서 서로 다른 역할을 수행한다.

Symbol start 라는 신호가 들어오면 RAM 메모리 1의 bank 1은 0번 주소부터 7 clock 마다 주소 값을 하나씩 증가시키면서 외부로부터 들어오는 데이터를 저장하고, RAM 메모리 1의 bank 2는 정해진 보호구간의 시작주소 값의 데이터부터 출력 후, 7 clock 마다 주소 값을 하나씩 증가시키면서 8191번 주소까지의 값을 출력한다. 그 후 다시 0번 주소 값부터 8191번 주소까지의 값을 차례대로 출력한다. RAM 메모리 2의 bank 1은 이전 symbol 구간에서 외부로부터 저장된 값을 이용, butterfly 연산을 수행한다. Radix-4 알고리즘은 4 clock 마다 정해진 4개의 주소에 RAM 메모리 값을 출력하고, 값이 읽어진 주소에 butterfly 연산으로 2 clock 지연된 4개의 결과 데이터를 2 clock 동안 저장한다. Radix-2 알고리즘은 1clock 마다 2개 주소의 RAM 메모리 값을 읽고, 출력을 위해 butterfly 연산된 결과를

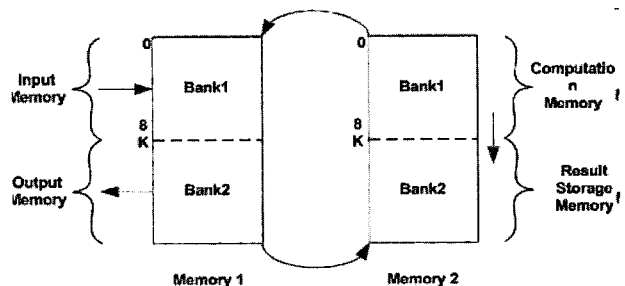


그림 3. 메모리 구조와 동작
Fig. 3. Structure and Operation for Memory.

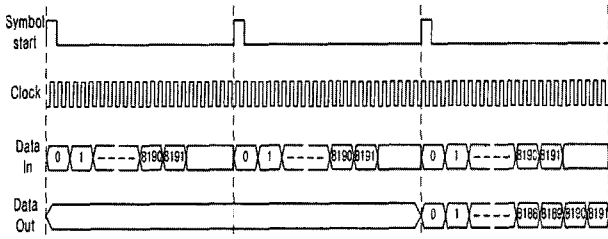


그림 4. Symbol에 대한 데이터 입, 출력 신호
Fig. 4. Data Input and Output Signal of Symbol.

RAM 메모리 2의 bank 2에 저장한다. 따라서 최초 출력 데이터는 3번째 symbol start 신호 이후에 나오게 된다. 그림 4는 symbol start 신호와 데이터 입, 출력 관계 신호이다.

다. Butterfly 연산 PE

SIC 구조는 하나의 butterfly 연산 PE를 가지며 순차적으로 읽어진 RAM 값을 입력받아 butterfly 연산을 수행하게 된다.

Radix-4 알고리즘은 butterfly 연산을 위해서 3개의 회전인자 값을 ROM에서 읽어 사용하며, 2K와 8K FFT 연산을 위한 회전인자 값이 다르다. 그러나 그림 7에서 보인 8K FFT 회전인자와 2K FFT의 회전인자의 상호 관련성을 이용, 2K FFT 연산 시 회전인자의 주소 값에 4를 곱하여 8K FFT 연산을 위한 ROM에 저장된 값을 가져오면 2K FFT를 위한 회전인자를 추가하지 않고 butterfly 연산을 할 수 있다. 또한 사인함수의 주기적인 성질을 이용하면 ROM에 저장되는 회전인자의 수를 1/8 까지 줄일 수 있다.

그림 6은 회전인자의 수를 줄이기 위해 구현된 블록의 구성도이다. 회전인자를 읽기 위해 control unit에서 생성된 주소 값 중 상위 3 bit 즉, [12:10]는 다음 조합논리 회로를 위한 입력 값으로 사용되며, 입력된 주소 상위 3 비트를 기준으로 부호 및 실수, 허수의 위치를

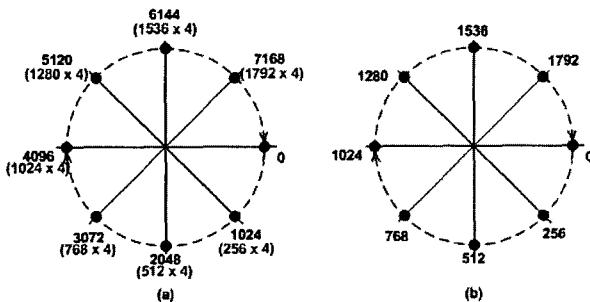


그림 5. (a) 8K 회전인자, (b) 2K 회전인자
Fig. 5. (a) Twiddle Factor for 8K, (b) Twiddle Factor for 2K.

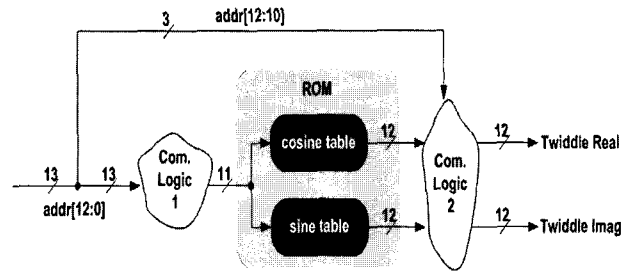


그림 6. 회전인자 생성 블록도
Fig. 6. Generation Block Diagram for Twiddle Factor.

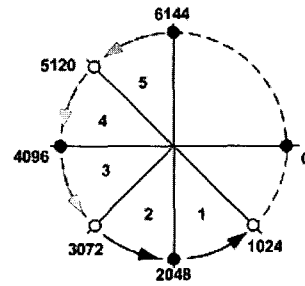


그림 7. 회전인자 결정
Fig. 7. Decision of Twiddle Factor.

표 2. 조합논리 회로 동작
Table 2. Operation of Combinational Logic.

[12:10]	Comb. Logic 1	Comb. Logic 2	
	ROM address	Real	Imag
1	2048 - addr	-Imag	-Real
2	addr - 2048	Imag	-Real
3	4096 - addr	-Real	Imag
4	addr - 4096	-Real	-Imag
5	6144 - addr	Imag	Real

결정할 5개의 영역에 따라서 연산을 위한 회전인자 값을 생성한다.

그림 7은 회전인자 결정 영역을 나타낸다. 8K FFT를 위해서 0부터 6144까지의 회전인자를 사용하지만 실제 회전인자를 구현하기 위한 ROM은 0부터 1024까지의 값만을 저장하여 사용한다. 첫 번째 논리회로는 2048, 4096, 6144의 기준 값을 가지며 1,3,5 영역에 해당하는 주소 값은 가까운 기준 값에서 주소 값을 빼고, 2, 4 영역에 해당하는 주소 값은 주소 값에서 기준 값을 빼서 ROM 데이터를 읽기위한 주소 값을 생성한다. 두 번째 논리회로는 ROM으로부터 읽어진 회전인자 값을 이용하여 결정된 영역에 따라 부호 및 실수, 허수의 위치를 결정하여 실제 butterfly 연산을 위한 회전인자 값을 생성한다. 표 2는 조합논리 회로에서의 회전인자 결정방법을 보인다.

라. Control Unit

메모리 제어를 위한 4개의 주소 값과 회전인자 결정을 위한 3개의 주소 값을 가진다. 주소 값 중 첫 번째는 입력 데이터를 저장하기 위한 값이며, 두 번째는 FFT 연산 완료된 결과 데이터 출력을 위한 값이다. 세 번째, 네 번째는 butterfly 연산용 값을 읽어올 주소 값과 결과 저장을 위한 주소 값을 가지게 된다.

Bit-reverse unit은 control unit에서 최종 연산결과를 저장 하기위한 주소 값을 변경하여 구현한다. 최상위 bit부터 2bit씩 묶고, 전체 순서를 묶인 단위로 역으로 재정리하는데, 그림 8은 bit-reverse 구현 방법이다.

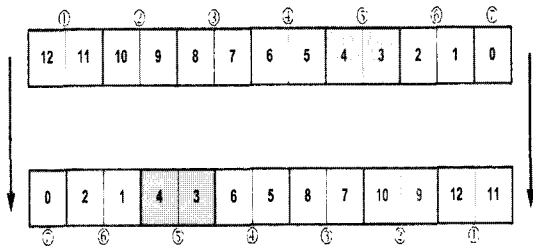


그림 8. Bit 반전
Fig. 8. Bit Reverse.

보호구간 삽입도 메모리 주소를 이용하여 구현한다. 그림 9와 같이 먼저 $3N/4(16 \times 3/4 = 12)$ 지점을 잡고 출력을 위한 RAM bank 2를 선택(12 + 16 = 28) 시작점으로 선정 후 보호구간을 포함한 카운터(20개) 만큼 출력을 내보낸다.

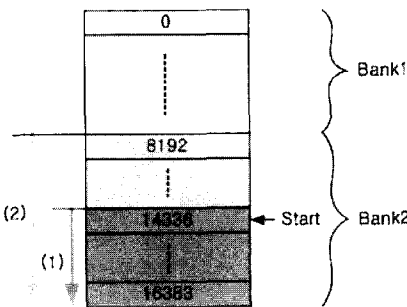


그림 9. 메모리를 이용한 보호구간 삽입
Fig. 9. Guard Time Insert with Memory.

III. 실험

검증을 위해 QPSK 데이터를 생성, IFFT 처리 후 입력데이터로 사용하였다. 그림 10을 보면 설계된 FFT가 Xilinx IP보다 MATLAB에 가까운 성상도를 보인다.

또한 Matlab 결과와의 PSNR 값을 계산 Xilinx IP

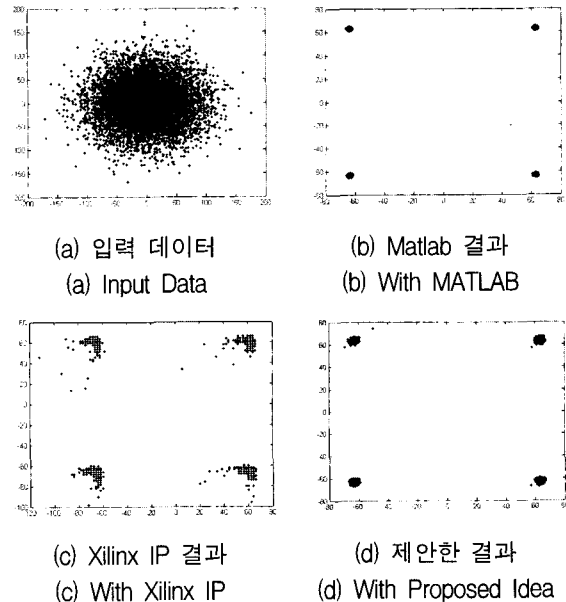


그림 10. QPSK 성상도
Fig. 10. QPSK Constellation.

표 3. PSNR 결과
Table 3. PSN Result.

	Xilinx IP	Proposed H/W
2K FFT	43.2 dB	47.1 dB
8K FFT	41.8 dB	46.3 dB

표 4. FPGA 구현 결과
Table 4. FPGA Implementation Result.

Index	Contents	Remark
Family	Stratix	Altera
Device	EP1S25F672C6	BGA
Total logic element	3,187/25,660	12 %
Total pins	82/473	17 %
Total memory bits	1,128,552/ 1,944,576	53 %

표 5. Chip 레이아웃 결과
Table 5. Chip Layout Result.

STD130 (0.18um, CMOS, 1.8V)		
Feature	Result	Coverage
Memory Block	3,229	0.3%
Control Unit	37,257	3.2%
Butterfly PE	5,974	0.5%
SRAM	1,080,000	96%
Total logic	1,126,460	

와의 결과를 비교하였는데, PSNR식은 아래와 같다.

$$PSNR = 10 \log_{10} \frac{2^{16} - 1}{\frac{1}{8192} \left(\sum_{i=1}^{8192} (Re1_i - Re2_i)^2 + \sum_{i=1}^{8192} (Im1_i - Im2_i)^2 \right)}$$

PSNR 값은 표 3에서와 같이 Xilinx IP보다 설계된 구조가 2K는 4dB, 8K는 5dB 더 좋은 결과를 보인다.

표 4는 구현 시 사용된 FPGA 이용량을 보이며, 표 5는 삼성 0.18um CMOS공정에 1.8V 동작 전압을 가지는 STD130 라이브러리를 이용한 레이아웃 결과이다.

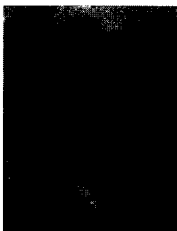
IV. 결 론

본 논문에서는 유럽형 DTV용 FFT를 설계하고 FPGA를 이용하여 구현하였다. SIC 구조는 간단히 Butterfly PE, RAM, 레지스터, 제어부만으로 구성되며 하나의 Butterfly PE만을 반복적으로 사용하여 연산구조 및 로직의 사용을 줄였다. 메모리 주소를 이용하여 추가구조 없이 Bit-reverse 기능과 보호구간 삽입기능을 구현하였고, 2K/8K FFT 회전인자를 공동으로 사용하고 필요한 회전인자의 수를 1/8 만큼 줄여 사용된 ROM 크기를 줄였다. 구현된 FFT는 DVB-T 표준에서 제시하는 2K/8K 포인트 FFT연산을 모두 수행 가능하며, 4가지 보호구간을 모두 지원하고, DVB-T 하나의 심볼 구간시간 내 FFT 연산이 가능하여 제시된 표준 사양을 만족한다. 1/4 보호구간의 경우 2240us 지연시간 이후 연속적인 연산결과 데이터 출력이 가능하며, 다른 IP와의 비교 검증을 통하여 약 5dB 향상된 결과를 확인하였다.

참 고 문 헌

- [1] ETSI, Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television, EN 300 744 v1.4.1 (2001-1).
- [2] Azaria H. and Tabak D., "Design Consideration of a Single Instruction Microcomputer - A Case Study," Microprogramming, Vol. 1, pp. 187-194, 1983.
- [3] Behrooz Parhami, "Computer Arithmetic Algorithms and Hardware Designs", Oxford University Press, 2000.
- [4] Richard Brice, Newnes Guide to Digital TV, Newnes, 2003.
- [5] Richard Van Nee and Ramjee Prasad, OFDM for Wireless Multimedia Communications, Artech House Publishers, 2000.

저 자 소 개



조 중 휘(정회원)
1981년 한양대학교 전자공학과
공학사
1983년 한양대학교 전자공학과
공학석사
1986년 한양대학교 전자공학과
공학박사

1986년~2002년 인천대학교 전자공학과 교수
2003년~현재 인천대학교
멀티미디어시스템공학과 교수

<주관심분야: 영상처리SoC설계, 설계방법론>



민 종 균(정회원)
1998년 인천대학교
전자공학과 학사 졸업.
2004년 인천대학교
전자공학과 석사 졸업.
2004년 7월~현재 다물
멀티미디어 SoC연구소
재직 중.

<주관심분야 : 통신, 컴퓨터, 신호처리, 반도체>