

논문 2007-44SD-8-8

1.25 Gbps 단일집적 양방향 광전 SoC를 위한 임플란트 절연 특성 분석

(Implant Isolation Characteristics for 1.25 Gbps Monolithic Integrated
Bi-Directional Optoelectronic SoC)

김 성 일*, 강 광 용*, 이 해 영**

(Sungil Kim, Kwang-Yong Kang, and Hai-Young Lee)

요 약

본 논문에서는 이더넷 광 네트워크 구현용 핵심 부품인 1.25 Gbps 단일집적 양방향 광전 SoC (Monolithic integrated bi-directional optoelectronic system-on-a-chip)의 전기적 혼신을 감소시키기 위한 임플란트의 전기적 절연 특성을 분석하였으며, 측정결과로부터 임플란트의 등가회로를 추출하였다. InP 기판상에 단일집적된 양방향 광전 SoC의 구성은 다음과 같다. 먼저 송신부는 전기신호를 광신호로 바꾸어 전송하는 레이저 다이오드(Laser Diode)와 레이저 다이오드의 출력을 모니터링하기 위한 모니터 포토다이오드(Monitor Photodiode)로 구성된다. 그리고 수신부는 디지털로 변조된 후 입력된 광신호를 전기신호로 변환하는 디지털 포토다이오드(Digital photodetector)로 구성된다. IEEE 802.3ah와 ITU-T G.983.3가 요구하는 기가비트 수동 광 네트워크 (Gigabit-Passive Optical Network)용 ONU (Optical Network Unit)의 양방향 광전 모듈의 규격을 만족하기 위해서는 수신부의 수신감도는 -24 dBm (@ BER (Bit Error Rate)=10-12)을 만족해야 하므로, 모듈 내의 전기적 혼신은 DC에서 3 GHz까지 -86 dB이하로 유지되어야 한다. 한편, 임플란트 구조의 측정 및 분석 결과, 단일 InP 기판상에 집적된 레이저 다이오드와 모니터 포토다이오드 간의 간격과, 그리고 모니터 포토다이오드와 디지털 포토다이오드간의 간격을 200 mm 이상을 유지하면서, 20 mm 폭의 임플란트를 삽입하였을 경우, -86 dB 이하의 전기적 혼신을 만족하였다. 본 논문에서 사용하고 분석한 임플란트 구조 및 특성은 단일집적 양방향 광전 SoC 뿐만 아니라, 아날로그/디지털 혼합모드 SoC의 설계·제작용 기본 데이터로 활용할 수 있다.

Abstract

In this paper, we analyzed and measured implant isolation characteristics for a 1.25 Gbps monolithic integrated bi-directional (M-BiDi) optoelectronic system-on-a-chip, which is a key component to constitute gigabit passive optical networks (PONs) for a fiber-to-the-home (FTTH). Also, we derived an equivalent circuit of the implant structure under various DC bias conditions. The 1.25 Gbps M-BiDi transmit-receive SoC consists of a laser diode with a monitor photodiode as a transmitter and a digital photodiode as a digital data receiver on the same InP wafer. According to IEEE 802.3ah and ITU-T G.983.3 standards, a receiver sensitivity of the digital receiver has to satisfy under -24 dBm @ BER=10-12. Therefore, the electrical crosstalk levels have to maintain less than -86 dB from DC to 3 GHz. From analysed and measured results of the implant structure, the M-BiDi SoC with the implant area of 20 mm width and more than 200 mm distance between the laser diode and monitor photodiode, and between the monitor photodiode and digital photodiode, satisfies the electrical crosstalk level. These implant characteristics can be used for the design and fabrication of an optoelectronic SoC design, and expanded to a mixed-mode SoC field.

Keywords : implant structure, monolithic integrated bi-directional module, EPONs, isolation

* 정희원, 한국전자통신연구원 IT융합·부품기술연구소 테라전자소자팀
(Tera-Electronic Devices Team, IT Convergence & component laboratory, Electronics and telecommunications research institute)

** 정희원, 아주대학교 전자공학부
(Department of Electronics Engineering, Ajou University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 IT신성장동력핵심기술개발 사업의 일환으로 수행하였음.

[2006-S-005-02, THz-과 발전/변환/검출기 및 신호원 기술 개발]

접수일자: 2007년3월30일, 수정완료일: 2007년8월7일

I. 서 론

정보통신기술(Information Communication Technology, ICT)의 발달로 인하여, 인터넷을 이용한 HDTV급 다채널 CATV 및 VoD, 원격교육, 원격진료, 3D 영상 등의 송수신에 대한 요구가 증대되고 있다. 그러나 ADSL이나 VDSL 등의 기술을 사용하는 현재의 인터넷은 수 Mbps에서 수십 Mbps의 속도를 사용하기 때문에 이러한 고품질 영상 데이터 서비스에 대한 요구를 충족시키기에 미흡하다. 따라서 새로운 가입자망의 형태로 가입자 맥내까지 광선로를 연장시키는 수동 광 네트워크(Passive optical network, PON) 방식의 FTTH (Fiber-To-The-Home)의 필요성이 증대되고 있다. PON 방식의 FTTH는 능동 광 네트워크 (Active optical network, AON) 방식에 비하여 각각의 가입자가 광선로를 공유함으로써 광선로의 설치 및 유지보수가 용이하며, 수백 Mbps에서 수 Gbps의 전송속도를 사용함으로써 고품질 영상 데이터 서비스가 가능하다. 현재 IEEE(Institute of Electrical and Electronics Engineers) 802.3ah 표준화 작업반과 ITU-T (International Telecommunication Union-Telecommunication standardization) G. 983.3 표준화 작업반은 1.25 Gbps급 PON 방식에 대한 표준화를 진행하여 각각 E-PON (Ethernet-passive optical networks)^[1]과 G-PON (Gigabit-Passive Optical Networks)^[2]에 대한 표준안을 제시하였다.

일반적으로 PON의 ONU (Optical Network Unit)용 양방향 광전 모듈은 전기신호를 광신호로 변환하는 송신부, 입력된 광신호를 전기신호로 변환하는 수신부, 입력 및 출력 광신호의 분리를 위한 WDM (Wavelength Division Multiplexer) 필터, 그리고 송신부와 수신부를 제어하기 위한 구동회로로 구성된다^[3~4]. 기존의 ONU용 양방향 광전 모듈을 위한 OSA (Optical Sub-Assembly)는 디지털로 변조된 전기신호를 광신호로 변환하는 레이저 다이오드(Laser Diode, LD)와 레이저 다이오드의 광출력 모니터링용 모니터 포토다이오드(Monitor Photodiode, MPD)를 TO-CAN 패키지로 송신부, 디지털로 변조된 광신호를 전기신호로 변환하기 위한 수신용 디지털 포토다이오드(Digital Photodiode, DPD)와 전치증폭기를 TO-CAN 패키지로 수신부, 그리고 WDM 필터를 혼성(Hybrid) 집적함으로써 생산성 향상 및 모듈의 저가격화가 제한되었다. 송신용 LD와 MPD, 수신용 DPD를 동일한 웨이퍼 상에 단일(Monolithic)집적하여 SoC로 제작하면, 광 혼신(Optical

crosstalk) 저감뿐만 아니라, 송수신 광 파장 선택성을 위해서 사용되는 WDM 필터^[5~6] 및 혼성 집적 공정을 제거하기 때문에 전체 모듈 제작 공정을 단순화하여 생산성을 향상시킬 수 있다. 또한, 광전 SoC는 단일 TO-CAN을 이용하여 패키지 할 수 있으므로 전체 모듈의 저가격화를 구현할 수 있다. 따라서 155 Mbps급 ONU용 양방향 광전 모듈의 경우, 생산 공정 단순화와 저가격화를 위하여 OSA를 동일 웨이퍼 상에 단일집적된 SoC에 대한 연구가 진행되어왔다^[7~11]. 그러나 1.25 Gbps급 단일집적 양방향 광전 SoC (Monolithic integrated bi-directional optoelectronic system-on-a-chip, M-BiDi SoC)에 대한 연구 결과는 아직까지 보고된 바가 없다.

근접 전기장에 의해 발생하는 전기적 혼신은 일종의 전자파 장애로서 고속 혹은 고출력 신호처리 블록에서 발생된 전자파가 공기와 기판을 통하여 인접한 저속 혹은 저출력의 신호처리 블록의 신호처리에 잡음신호로서 작용하여 저속 혹은 저출력의 신호처리 블록의 신호전송오율(Bit-Error-Rate, BER)을 상승시키거나 수신감도를 저하시키는 전자장 현상이다^[12~13]. 따라서 IEEE 802.3ah와 ITU-T G.983.3에서 권고하는 기가비트 PON 방식을 위한 1.25 Gbps급 양방향 광전 모듈은 155 Mbps급 양방향 광전 모듈에 비하여 기가비트급 전송속도를 가지므로 송신부와 수신부의 전기적 혼신을 증대시킨다. 이러한 전기적 혼신의 영향은 모듈의 수신감도를 떨어뜨려 모듈의 동작 신뢰성을 저하시킨다. 따라서 신뢰도 높은 기가비트급 양방향 광전 모듈의 구현에는 양방향 광전 모듈의 핵심 부품인 M-BiDi SoC의 전기적 혼신을 최소화시킬 수 있는 구조 연구가 필수적이다. IEEE 802.3ah와 ITU-T G.983.3에서 정의한 1.25 Gbps급 전송속도를 갖는 양방향 광전 모듈의 수신감도(-24 dBm@ 10-12 BER)를 만족하기 위해서는 광신호의 손실, 패키지 기생성분에 의한 손실, 그리고 M-BiDi SoC내의 LD와 PD 사이의 전기적 혼신 등을 포함하여 DC에서 3 GHz까지의 주파수 대역에서 -86 dB이하가 되어야한다^[13].

본 논문에서는 1.25 Gbps급 M-BiDi SoC에서 발생하는 전기적 혼신을 최소화하고 광전 모듈의 수신감도를 확보하기 위하여 LD와 DPD 사이에 임플란트를 삽입한 구조를 제작 및 평가하였으며, 측정결과로부터 회로해석을 위한 임플란트의 등가회로를 추출하였다. 임플란트 구조의 측정 및 해석 결과, 20 mm의 임플란트 영역을 만들고 LD와 MPD, 그리고 MPD와 DPD의 사이간

격을 각각 200 mm 이상 확보하였을 경우, DC에서 3 GHz의 주파수 대역에서 -86 dB 이하의 전기적 혼신 레벨을 만족하기 때문에 IEEE 802.3ah 표준용 E-PON과 ITU-T G.983.3 표준용 G-PON의 ONU용 광전 모듈설계에 활용할 수 있음을 확인하였다. 본 논문의 임플란트 구조를 이용한 송신부와 수신부의 전기적 혼신 저감 방법은 단일집적 양방향 광전 모듈의 설계·제작 뿐 아니라, 아날로그와 디지털 신호가 혼합된 혼합모드 (mixed-mode) SoC의 설계·제작용 기본 데이터로서 활용이 가능하다.

II. 단일집적 양방향 광전 SoC 및 임플란트 조건

1. 단일집적 양방향 광전 SoC의 구조

그림 1은 InP 웨이퍼 상에 단일집적된 PON의 ONU용 양방향 광전 SoC 개략도를 나타낸다. M-BiDi SoC는 InP 기판 상에서 1.25 Gbps급 전기신호를 1.3 mm 파장 대역의 광신호로 변환하는 LD와 LD의 광출력을 모니터링하기 위한 MPD로 구성되는 송신부와 디지털로 변조된 1.25 Gbps급 1.49 mm 파장 대역의 광신호를 전기신호로 변환하는 DPD로 구성되는 수신부가 동일 선상에 구성된 인라인(In-line) 형태로 구성된다. p-InP, InGaAsP, 그리고 n-InP의 P-I-N 구조로 설계된 M-BiDi SoC는 광섬유와의 광결합 효율을 극대화하기 위하여 SSC (Spot-Size Converter)를 내장한 1.3 mm 파장 대역의 DFB (Distributed feedback) LD를 이용하여 1.25 Gbps 전기신호를 광신호로 변환하여 출력한다. 1.3 mm 흡수영역(Absorber)은 1.3 mm 파장의 광출력 신호가 산란되어 1.49 mm 파장 대역의 DPD의 잡음신호를 증가시키는 광 혼신 차단 기능과 LD의 광 출력을 모니터링하는 기능을 한다. 그리고 1.49 mm의 DPD는 1.25 Gbps급 입력 광신호를 전기신호로 변환하며, 한편,

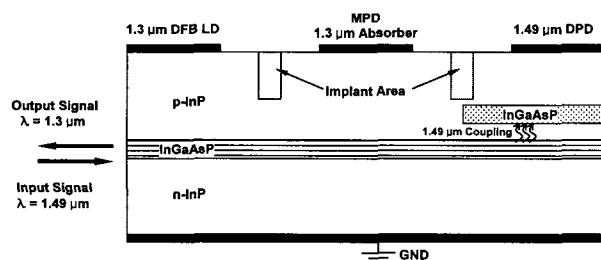


그림 1. 1.25 Gbps 급 단일집적 양방향 광전 SoC의 개략도.

Fig. 1. Schematic diagram of 1.25 Gbps monolithic integrated bi-directional optoelectronic SoC.

M-BiDi SoC 상의 전기적 혼신을 저감하기 위한 LD와 MPD 사이 및 MPD와 DPD 사이에 임플란트 영역을 설치하였다.

하이브리드 양방향 광전 OSA(Hybrid Bi-Directional OSA, H-BiDi OSA)의 경우는 각각의 독립된 금속 TO-CAN 패키지된 LD와 DPD를 WDM 필터와 함께 별도 제작된 금속 패키지를 이용하여 혼성 집적한다. 따라서 독립된 금속 TO-CAN 패키지 몸체는 전기적으로 접지선 (Ground line)과 연결되므로 근접 전자기파를 차폐하여 OSA 내부에서의 전기적 혼신을 최소화할 수 있는 반면에 M-BiDi SoC의 경우는 LD, DPD 등이 단일 웨이퍼상에 집적되므로 H-BiDi OSA에 비하여 전기적 혼신의 영향에 민감하다. E-PON과 G-PON 규격에 적합하며, 안정적인 양방향 통신성능을 확보하기 위해서 양방향 광전 모듈의 디지털 수신부가 -24 dBm (@10-12 BER)의 수신감도를 만족해야 하므로, 모듈의 설계 단계부터 체계적인 전기적 혼신의 정확한 해석 및 검증이 필요하다. 특히, H-BiDi OSA에 비하여 반도체 일괄 공정으로 제작하는 M-BiDi SoC는 재작업 및 사후 성능 조정이 불가능하므로 설계 단계부터 정확한 검증이 필수적이다. 따라서 본 논문에서는 기가비트급 PON ONU용 양방향 광전 모듈의 수신감도를 만족시키는 M-BiDi SoC의 전기적 혼신을 감소시키는 방법을 제안하고, 제작 및 측정을 통하여 성능을 검증하였다. 특히, 본 논문에서 제안한 임플란트를 이용한 전기적 혼신 저감 방법은 M-BiDi SoC 제작 공정 중에 삽입할 수 있으며, 제안된 임플란트 구조의 측정 및 해석 결과는 M-BiDi SoC와 혼합 모드 SoC의 설계 및 제작을 위한 기본 데이터로서 활용할 수 있다.

2. 임플란트 구조 및 조건

단일 InP 웨이퍼 상에서 송수신 기능의 실현과 고집적도 구현이 가능한 SoC는 반도체 기판을 통한 전자파 영향 제어가 필수적이다^[14-18]. 기판에서 발생하는 전자파 영향은 메사 공정, 유전체 필링, 그리고 이온 임플란트 등의 방법으로 제어할 수 있다. 특히, 이온 임플란트 방법은 반도체 공정시 기판표면의 평탄화를 유지하면서 기판을 통한 전자파 영향으로 생기는 전기적 혼신 (Crosstalk)을 효과적으로 제어할 수 있다는 장점이 있다. 따라서 본 논문에서는 M-BiDi SoC의 전기적 혼신 저감을 위하여 적용한 임플란트에 따른 전기적인 절연 (Isolation) 특성을 분석하였다.

그림 2는 전기적 혼신 레벨의 측정 및 해석을 위하여

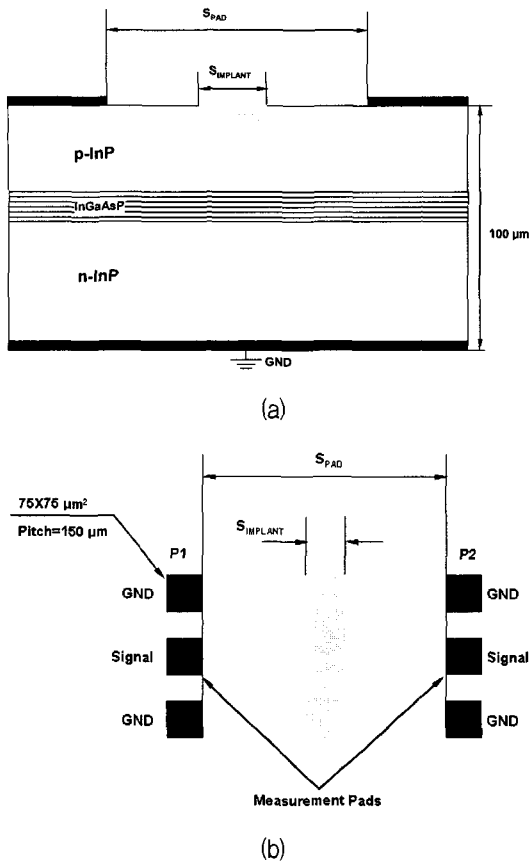


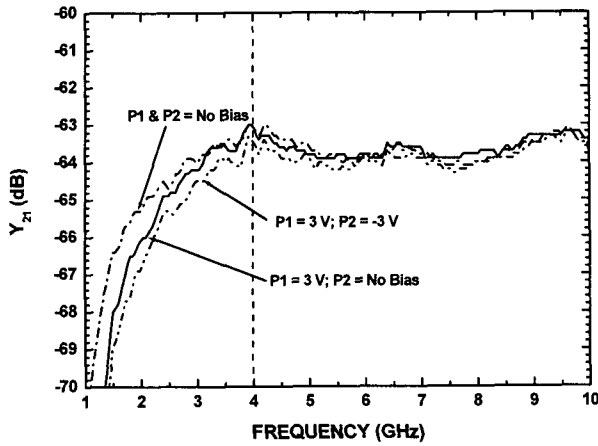
그림 2. 임플란트 구조의 (a) 단면도와 (b) 평면도.
 Fig. 2. (a) Cross-sectional view and (b) plain view of the implant structure.

n-InP 기판상에 제작한 임플란트 구조를 나타낸다. 그림 2(a)와 (b)는 임플란트 구조의 단면도와 평면도를 나타낸다. 절연 특성 측정용 임플란트 구조와 M-BiDi SoC(그림 1)는 동일한 웨이퍼 적층 구조와 두께(100 mm)로 제작하였다. 그림 2에서 P1, P2, SPAD, 및 SIMPLANT는 각각 임플란트의 전기적 혼신 측정을 위한 측정 패드 1, 측정 패드 2, 측정 패드 사이의 거리, 및 임플란트 영역의 폭을 나타낸다. 또한, 측정의 용이성을 위하여 전기적 절연 특성 손쉽게 측정하기 위해 설계한 측정 패드는 75 × 75 mm² 면적과 150 mm 피치를 갖는 G-S-G 형태로 하였다. 임플란트 에너지, 임플란트 조사량 및 임플란트 영역 (SIMPLANT)은 각각 1.1 MeV, 5 × 10¹³cm⁻², 그리고 20 mm로 하였으며, 임플란트 구조의 절연 특성을 해석하기 위한 측정 패드 사이의 거리 (SPAD)는 20 mm에서 600 mm까지 변화시켰다. 한편, 임플란트 구조의 DC 바이어스 전압 변화에 따른 전기적 절연 특성 변화를 측정하기 위하여 각각의 측정 패드에 인가하는 DC 전압은 -3 V에서 3V까지 변화시켰고, GSG 프로브(150 mm pitch), 네트워크

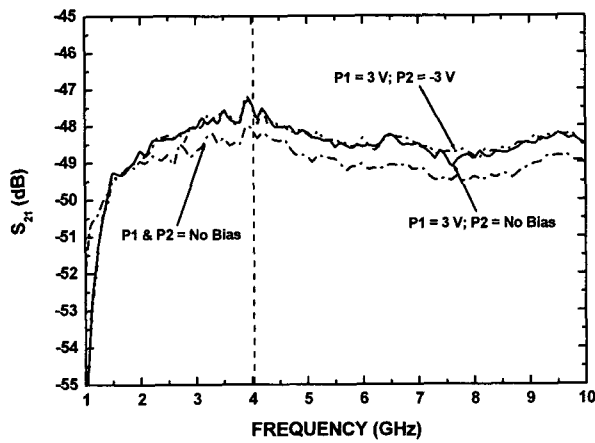
분석기(HP8510C), 그리고 프로브 스테이션(Cascade)을 사용하여 1 GHz부터 10 GHz까지 온-웨이퍼 (On-wafer)로 전기적 절연 특성을 측정하였다.

III. 측정 결과 및 해석

측정 패드 사이의 거리 (SPAD)와 임플란트 영역의 폭 (SIMPLANT)을 각각 200 mm와 20 mm일 경우, DC 바이어스에 따른 임플란트 절연 특성의 어드미턴스 계수(Admittance parameter; Y21)와 산란계수 (Scattering parameter; S21)를 그림 3에 나타내었다. 그림 3에 설정된 'P1 & P2 = No Bias', 'P1 = 3 V; P2 = No Bias', 그리고 'P1 = 3 V; P2 = -3 V' 는 각각 M-BiDi SoC의 송신부와 수신부에 DC 바이어스가 동일하게 인가되었을 경우, 송신부의 DC 바이어스가 수신부의 DC 바이어스 보다 높을 경우, 그리고 송신부에는 순방향 바이어스가 인가되고 수신부에는 역방향 바이어스가 인가되었을 경우이다. 그림 3(a)는 Y21을 이용한 임플란트 절연 특성의 측정결과인데, 이러한 임플란트 절연 특성은 InP 웨이퍼 전체의 영향이 포함된 절연특성이 아니라 P1과 P2 사이의 직접 연결 (Direct coupling)에 의한 혼신 정도를 나타낸다. 그림 3(a)에서 관찰할 수 있듯이 각각의 바이어스 조건에 따른 Y21 특성에는 큰 차이가 없으나, 1 GHz부터 4 GHz까지의 주파수 대역에 대한 Y21은 'P1 & P2 = No Bias' 일 경우가 다른 바이어스 조건에 비하여 낮은 절연 특성을 갖으며, 4 GHz부터 10 GHz까지의 주파수 대역에 대해서는 'P1 = 3 V; P2 = -3 V' 인 경우가 다른 바이어스 조건에 비하여 낮은 절연 특성을 보여주었다. 또한, 그림 3(b)와 같이 S21을 이용한 임플란트 절연 특성은 임플란트의 전기적 절연 효과와 InP 전체 기판을 통한 전자파 간섭으로 인한 전기적 혼신의 영향을 종합적으로 표현하므로 그림 3(a)의 Y21으로 나타낸 전기적 절연 특성보다 낮은 절연 특성을 나타낸다. 그림 3(a)의 Y21 측정에 사용한 동일한 바이어스 조건에 대해서 그림 3(b)의 S21에는 큰 차이를 나타내지 않으나, 2 GHz 이상의 주파수 대역에서는 각각의 측정 패드에 바이어스가 인가되었을 경우가 바이어스가 인가되지 않았을 경우에 비하여 낮은 절연 특성을 나타내었다. 그림 3에서 각각의 바이어스 조건에 따른 전기적 절연 특성에서 차이를 보이는 것은 서로 다른 두 측정 패드 사이 간격 및 측정 패드와 접지면 사이의 기생 성분의 차이에 기인한다고 판단된다.



(a)

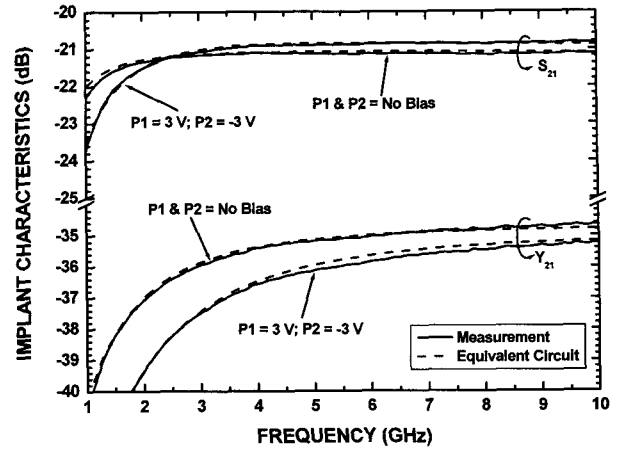


(b)

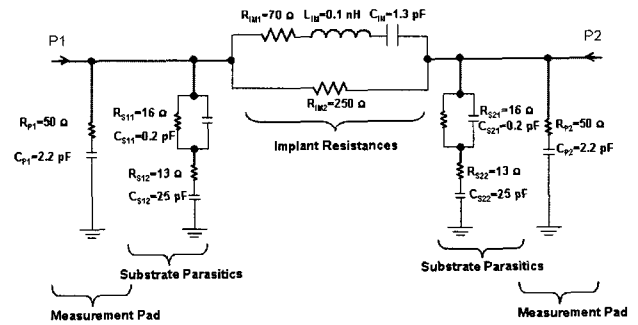
그림 3. SPAD=200 mm, SIMPLANT=20 mm 일 경우, DC 바이어스 조건에 따른 임플란트 절연 특성 (a) 어드미턴스 (Y_{21})와 (b) 산란계수 (S_{21}).

Fig. 3. In the case of SPAD=200 mm and SIMPLANT=20 mm, the implant isolation characteristics; (a) Y_{21} and (b) S_{21} with DC bias conditions.

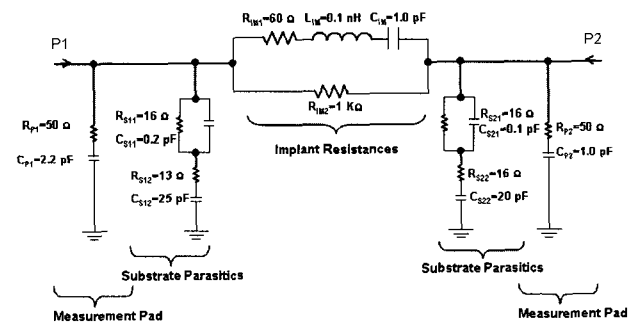
그림 4는 임플란트 영역의 등가회로 추출을 위하여 측정 패드 사이의 거리와 임플란트 영역을 일치 시켰을 경우(SPAD = SIMPLANT = 20 mm), 바이어스 조건에 따른 임플란트의 절연 특성과 등가회로를 나타낸다. 특히, 그림 3에서 'P1 = 3 V; P2 = No Bias'와 'P1 = 3 V; P2 = -3 V'의 경우는 임플란트의 절연특성에서 차이가 크지 않으므로, 'P1 & P2 = No Bias'와 'P1 = 3 V; P2 = -3 V'인 경우만을 고려한 측정결과와 등가회로를 나타내었다. 그림 4(a)에서 점선은 측정 결과로부터 추출한 등가회로의 회로 해석 결과를 나타내며, 실선은 네트워크 분석기와 프로브 스테이션을 이용하여 온-웨이퍼 측정 결과를 나타낸다. 따라서 그림 4(b)와



(a)



(b)



(c)

그림 4. SPAD = SIMPLANT=20 mm 일 경우, DC 바이어스 조건에 따른 (a) 임플란트 절연 특성, (b) 'P1 & P2 = No Bias' 조건의 등가회로, 그리고 (c) 'P1 = 3 V; P2 = -3 V' 조건의 등가회로

Fig. 4. In the case of SPAD = SIMPLANT=20 mm, (a) The implant isolation characteristics, (b) the equivalent circuit fitted by the 'P1 & P2 = No Bias' condition, and (c) the equivalent circuit fitted by the 'P1 = 3 V; P2 = -3 V' condition.

(c)는 각각 'P1 & P2 = No Bias'일 경우와 'P1 = 3 V; P2 = -3 V'일 경우의 등가회로를 나타낸다. 등가회로는 임플란트 영역, 기판의 기생성분, 그리고 측정 패드의 세 부분으로 나뉜다. 그림 4(b)와 (c)에서 RIM1과 RIM2, LIM, CIM, RS11과 RS12, RS21과 RS22, CS11

과 CS12, CS21과 CS22, RP1과 CP1, 그리고 RP2와 CP2는 각각 임플란트 영역의 저항 성분, 임플란트 영역의 인덕턴스 성분, 임플란트 영역의 커패시턴스 성분, P1에서 측정된 기판의 기생 저항 성분, P2에서 측정된 기판의 기생 저항 성분, P1에서 측정된 기판의 기생 커패시턴스 성분, P2에서 측정된 기판의 기생 커패시턴스 성분, P1 측정 패드의 특성, 그리고 P2 측정 패드의 특성을 나타낸다. 그림 4(b)와 (c)의 등가회로에서 'P1 = 3 V; P2 = -3 V'의 경우는 'P1 & P2 = No Bias'의 경우에 비하여, DC 바이어스로 인하여 임플란트 영역의 커패시턴스 성분이 감소하고 저항 성분이 증가하여 10 GHz 이하의 주파수 대역에서는 그림 4(a)의 Y21으로 나타낸 절연특성이 향상되며, 주파수가 증가할수록 커패시턴스의 영향이 증가하여 절연특성이 열화된다. 또한, InP 기판을 통한 누설 전자파의 영향이 포함된 절연특성(S21)은 DC 바이어스의 차이로 인한 기생 커패시턴스의 영향이 증가하여 약 2.5 GHz 이상의 주파수 대역에서부터 'P1 = 3 V; P2 = -3 V'인 경우가 'P1 & P2 = No Bias' 경우에 비하여 절연 특성이 더 열화됨을 확인할 수 있었다. 따라서 M-BiDi SoC의 경우, 송신부에 순방향의 DC 바이어스가 인가되고 수신부에 역방향의 DC 바이어스가 인가되었을 때 송/수신부에 동등한 DC 바이어스가 인가된 경우에 비하여, 바이어스로 인한 전기장의 세기가 증가하여 전기적 혼신이 증가함을 알 수 있었다.

그림 5는 측정 패드 사이의 거리 (SPAD)와 DC 바이어스 조건에 따른 임플란트가 적용된 기판의 절연특성을 나타낸다. 그림에서 임플란트 영역은 20 mm로 고정하고, 측정 패드 사이의 거리는 20 mm에서 600 mm까지 변화시켰으며, DC 바이어스 조건은 'P1 & P2 = No Bias'와 'P1 = 3 V; P2 = -3 V'인 경우로 측정하였다. 절연특성(S21)을 측정한 결과, 측정 패드 사이의 거리가 증가할수록 절연특성이 우수하며, DC 바이어스에 따른 절연특성의 변화는 거의 무시할 수 있음을 확인하였다. 또한, 측정 패드 사이의 거리가 500 mm 이상일 경우 누설 전자파의 파장에 비하여 두 측정 패드 사이의 물리적 간격이 매우 크므로 측정 주파수 대역에서 전기적 절연특성의 변화가 거의 없음을 알 수 있다. 그림 5에서 측정 패드 사이의 거리가 400 mm 이상일 경우, 서로 다른 두 측정 패드 사이의 전기적 혼신이 -70 dB 이하이므로 디지털 신호 블록과 아날로그 신호 블록이 동시에 집적되는 혼합 모드 SoC의 동작 안정화를 위한 전기적 절연에 적용할 수 있음을 알 수 있다^[19].

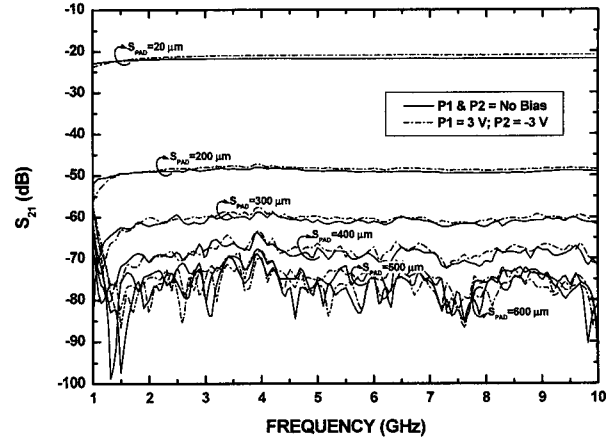


그림 5. 측정 패드 사이의 거리에 따른 임플란트의 절연 특성.

Fig. 5. The implant isolation characteristics with the space between measurement pads, and bias conditions.

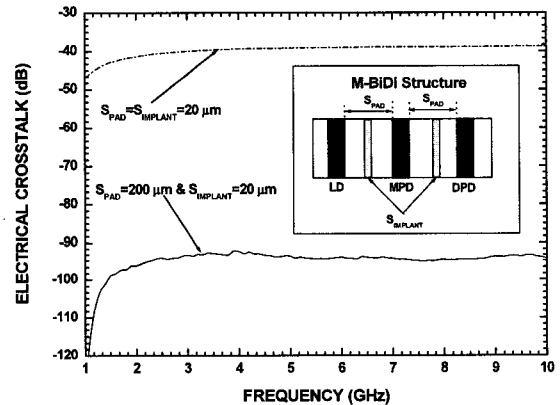


그림 6. 임플란트가 적용된 단일집적 광전 SoC의 전기적 혼신 특성.

Fig. 6. The electrical crosstalk characteristics of monolithic integrated optoelectronic SoC applied by the implant isolation.

그림 6은 20 μm 의 임플란트 영역(SIMPLANT)과 측정 패드 사이의 거리(SPAD)가 각각 20 mm와 200 mm 일 경우를 M-BiDi SoC에 적용한 결과를 나타낸다. 그림에서 'SPAD = 200 mm & SIMPLANT = 20 mm'인 경우, M-BiDi SoC의 LD로부터 DPD로의 전기적 혼신이 -86 dB 이하이므로 기가비트 수동 광네트워크를 위한 양방향 광전 모듈의 수신감도(E-PON과 G-PON의 권고사항)를 유지할 수 있음을 확인할 수 있다.

IV. 결 론

IEEE 802.3ah와 ITU-T G.983.3에서 정의한 1.25

Gbps의 전송속도를 갖는 ONU용 단일집적 양방향 광전 송/수신 모듈에서 -24 dBm (@ 10-12 BER)의 디지털 수신감도를 확보하기 위하여 LD, MPD, 그리고 DPD가 동일한 기판상에 동시에 집적되는 M-BiDi SoC의 전기적 절연 특성은 DC에서 3GHz 주파수대역에서 -86 dB 이하로 유지하여야 한다.

따라서 본 논문에서는 1.25 Gbps 급 M-BiDi SoC에서 발생하는 전기적 절연특성을 최대화하기 위하여 모듈의 수신감도를 확보하기 위하여 LD와 DPD 사이에 임플란트를 삽입한 구조를 설정하고 설계/제작/평가하였으며, 측정결과로부터 회로해석을 위한 임플란트의 등가회로도 추출하였다. 임플란트 구조의 특성 측정 및 해석 결과, 20 mm의 임플란트 영역을 만들고, LD와 MPD, 그리고 MPD와 DPD 사이 간격을 각각 200 mm 이상 확보하였을 경우, -86 dB 이하의 전기적 절연 특성을 만족하였으므로 E-PON 및 G-PON 표준에 적합한 ONU용 광전 송/수신 모듈의 설계 및 제작에 활용될 수 있음을 알 수 있었다. 본 논문의 임플란트 구조를 이용한 송신부와 수신부의 전기적 혼신 저감 방법은 광전 SoC 뿐만 아니라, 아날로그/디지털 혼합 모드 SoC의 설계·제작용 기본 데이터로서 활용도 가능성을 확인하였다.

참 고 문 헌

- [1] IEEE 802.3ah.
- [2] ITU-Telecommunication Standardization Sector G.983.3
- [3] Hideaki kimura et. al., "A low-crosstalk optical design on PLC platform for realizing LD/PD full-duplex operation in ATM systems," *ECOC'98*, pp. 481-482, Sept. 1998.
- [4] Takeshi kurosaki et. al., "1.3/1.55 μ m full-duplex WDM optical transceiver modules for ATM-PON(PDS) systems using PLC-hybrid-integration and CMOS-IC technologies," *IEICE trans. electron.*, vol. E-82-C, no. 8, pp. 1465-1474, Aug. 1999.
- [5] Y. Inoue et. al., "Filter-embedded wavelength-division multiplexer for hybrid-integrated transceiver based on silica-based PLC," *Electron. lett.*, vol. 32, no. 9, pp.847-848, 1996.
- [6] T. hashimoto et. al., "Full-duplex 1.3/1.55 μ m wavelength division multiplexing optical module using a planar lightwave circuit platform," *Proc. IEEE/LEOS summer topical meet.*, no. TuC4, Monterey, California, USA, July 1998.
- [7] H. Nakajima, et. al., "1.3 μ m/1.55 μ m in-line transceiver assembly with -27 dBm full-duplex sensitivity," *Electronics Letters*, vol. 34, no. 3, pp. 303-304, Feb. 1998.
- [8] F. Mallecot et, al., "-29.5 dBm sensitivity value, in full-duplex operation at 155 Mbit/s, of an in-line transmit-receive-device," *ECOC'98*, Madrid, Spain, pp. 375-376, Sep. 1998.
- [9] M. Hamacher, et, al., "Monolithic integrated of lasers, photodiodes, waveguides and spot size converters on GaInAsP/InP for photonic ICs applications," *Conference on Indium Phosphide and Related Materials*, pp. 21-24, 2000.
- [10] A. Plais et. al, "Integrated BRS/Ridge transmit receive device fabrication using well established III-V material technology," *10th Intern. Conf. on Indium Phosphide and Related Materials*, Tsukuba, Japan, pp. 273-275, May 1998.
- [11] R. Ben-Michael, et, al., "A bi-directional transceiver PIC for ping-pong local loop configurations operating at 1.3- μ m wavelength," *IEEE photonics technology letters*, vol. 7, no. 12, Dec. 1995.
- [12] 김성일, 이해영, "과장 분할 다중화 방식을 위한 고속 레이저 다이오드 배열 모듈의 혼신 해석," *전자공학회논문지 제34권 D편 제7호*, 1997년 7월.
- [13] Sung-il Kim et, al., "A low-crosstalk design of 1.25 Gbps optical triplexer module for FTTH systems," *ETRI Journal*, vol. 28, no. 1, pp. 9-16, Feb. 2006.
- [14] L. E. Larson, "Integrated circuit technology options for RFIC's-Present and future directions," *IEEE J. Solid-State Circuits*, vol. 33, pp.387-399, Mar. 1998.
- [15] D. K. Lovelace, J. L. Finol, and J. C. Furec, "Sub-micron silicon RFIC technologies:An overview," *RFIC Tech. Dig.*, pp.317-320, 1998.
- [16] R. H. Caverly, S. Smith, J. Hu, and R. Nichols, "CMOS RF circuits for integrated wireless systems," *IEEE MTT-S Dig.*, pp.1851-1854, 1998.
- [17] C. Durdolt, M. Friedrich, C. Grewing, M. Hammes, A. Hanke, S. Heinen, J. Oehm, D. Pham-Stabner, D. Seippel, D. Theil, S.V. Waasen, and E. Wagner, "A low-IF Rx two-point sigma-delta-modulation Tx CMOS single chip bluetooth solution," *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp.1531-1537, Oct. 1998.
- [18] Tung-Sheng Chen, Chih-Yuan Lee, and Chin-Hsing Kao, "An efficient noise isolation

technique for SOC application," *IEEE Trans. on Electron Devices*, vol. 5, no. 2, pp.255-260, Feb. 2004.

[19] L. M. Franca-Neto, P. Pardy, M. P. Ly, R. Rangel, S. Suthar, T. Syed, B. Bloechel, S. Lee, C. Burnett, D. Cho, D. Kau, A. Fazino, and K. Soumyanath, "Enabling high-performance mixed-signal system-on-a-chip (SoC) in high performance logic CMOS technology," in *VLSI Circuits Tech. Dig.*, 2002, pp.164-167.

저 자 소 개



김 성 일(정회원)
 1997년 2월 아주대학교 대학원
 전자공학과 공학 석사
 2007년 현재 한국전자통신연구원
 테라전자소자팀 선임연구원
 <주관심분야 : THz 통신 시스템
 설계 및 구현, 초고속/고밀도 반도체
 패키지 설계 및 측정, EMI/
 EMC 해석 및 저감 설계>



강 광 응(정회원)
 1975년 서울대학교 섬유고분자
 공학과 학사
 1988년 부산대학교 물리학과 박사
 졸업(이학박사).
 1989년 ~ 현재 한국전자통신연구원
 IT융합·부품연구소 책임
 연구원
 <주관심분야 : 강유전체 박막 및 소자, 고온초전
 도 RF소자, THz 소재·소자·시스템 개발>



이 해 영(정회원)
 1980년 2월 아주대학교
 전자공학과(공학사)
 1982년 2월 한국과학기술원 전기
 및 전자공학과(공학석사)
 1982년 ~ 1986년 국방부 연구사무관
 1989년 12월 The University of
 Texas at Austin(공학박사)

1990년 ~ 1992년 LG 기술원(기초1실장)
 1992년 ~ 현재 아주대학교 전자공학부 정교수
 <주관심분야 : 고속/고밀도 System in Package,
 RF 소자 및 광전소자의 설계/측정, 고속 반도체
 테스트 기술>