

논문 2007-44SD-8-6

능동부하 스위치 구동 회로를 이용한 12비트 80MHz CMOS D/A 변환기 설계

(A 12Bit 80MHz CMOS D/A Converter with active load inverter switch driver)

남 태 규*, 서 성 욱**, 신 선 화**, 주 찬 양**, 김 수 재**, 이 상 민***, 윤 광 섭***

(Tae-Kyu Nam, Sung-Uk Seo, Sunhwa Shin, Chanyang Joo, Soojae Kim, Sangmin Lee, and Kwang S. Yoon)

요 약

본 논문에서는 무선통신용 송신기에 적용 가능한 12비트 80MHz 전류구동 방식의 D/A 변환기를 설계하였다. 제안된 회로는 3비트 온도계 디코더 회로 4개를 병렬 연결한 혼합형 구조를 채택하였다. 제안된 D/A 변환기는 0.35um CMOS n-well 디지털 표준 공정을 사용하여 구현하였으며, 측정된 INL/DNL은 $\pm 1.36\text{SB}/\pm 0.62\text{LSB}$ 이하이며, 글리치 에너지는 $46\text{ pV}\cdot\text{s}$ 이다. 샘플링 주파수 80MHz, 입력 주파수 19MHz에서 SNR과 SFDR은 58.5dB, 64.97dB로 측정되었다. 전력소모는 99mW로 나타났다. 본 논문에서 구현한 12비트 80MHz 전류구동 혼합구조 D/A 변환기는 고속, 고해상도의 성능을 필요로 하는 다양한 회로에 응용과 적용이 가능하다.

Abstract

This paper describes a 12 bit 80MHz CMOS D/A converter for wireless transceiver. Proposed circuit in the paper employs segmented structure which consists of four stage 3bit thermometer decoders. Proposed D/A converter is manufactured 0.35um CMOS n-well digital standard process and measurement results show a $\pm 1.36\text{SB}/\pm 0.62\text{LSB}$ of INL/DNL and $46\text{ pV}\cdot\text{s}$ of glitch energy. SNR and SFDR are measured to be 58.5dB and 64.97dB @ $F_s=80\text{MHz}$ and $F_{in}=19\text{MHz}$ with a total power consumption of 99mW. Such results proved that our work has low power consumption, high linearity, low glitch and improved dynamic performance. Therefore, our work can be applied to various high speed and high performance circuits.

Keywords : D/A converter, wireless transceiver, active load inverter switch driver

I. 서 론

최근에는 거의 모든 시스템의 설계가 디지털 신호 처리 기법을 바탕으로 이루어지고 있지만 인간이 듣고 보고 말하는 신호는 모두 아날로그 신호이기 때문에 디지털 신호처리 부분과 아날로그 신호처리 부분의 인터페이스를 담당하는 D/A 변환기는 시스템 내에서 중요한

역할을 하고 있다. D/A 변환기는 통신 분야, 음성 및 영상 신호처리 분야, 의료기기 분야, 제반 집적 시스템 산업 전반에 다양하게 사용되고 있다. 이런 시스템에 사용되는 D/A 변환기의 사양과 구조는 그 다양한 응용 분야에 따라 결정되며, 최근 공정 기술의 급격한 발전과 더불어, 산업용, 의료용, 군사용 전자 제품들의 성능이 크게 향상됨에 따라 고속 및 고해상도, 동시에 전력 소모와 생산단가가 낮은 제품이 요구되고 있다.

많은 D/A 변환기의 설계방법 중 고속, 고해상도를 만족하려면 동작 속도 및 선형성에서 장점을 갖는 전류 구동이 가장 좋은 해결책이라 할 수 있다. 하지만 이는 공정변수 및 전류원의 부정합 특성, 그리고 비동기에

* 정회원, (주)실리콘웍스

(R&D Center, Silicon Works Co.,Ltd.)

** 학생회원, *** 정회원, 인하대학교 전자공학과

(Dept. of Electronic Engineering, Inha University)

※ 본 논문은 2005년도 한국한술진흥재단의 지원에 의하여 연구한 결과임. (KRF-2005-202-D00356)

접수일자: 2007년4월7일, 수정완료일: 2007년8월9일

의한 글리치 등으로 인하여 생기는 오차들은 D/A 변환기의 성능을 저하시키는 주요한 원인인 될 수 있다. [1~4] 특히, 통신시스템에서 D/A 변환기는 채널간의 간섭을 최소화하기 위하여 SNR, SFDR, SNDR 등의 동적특성이 우수해야 한다. 이러한 동적 특성을 저해하는 원인 중의 하나가 글리치이다.

이에 몇 가지 기술들이 글리치 에너지를 최소화하기 위해서 제안되어 왔으며, 실제로 글리치 에너지를 줄이는데 상당한 공여를 하였지만 이에 반해 제안된 글리치 억제 회로로부터 많은 소자가 사용됨은 물론이고 또는 D/A 변환기 시스템의 복잡성이 증가되었다. 따라서 본 논문에서는 글리치 에너지를 최소화하기 위해서 최소한의 소자를 사용하면서 시스템은 복잡하지 않은 새로운 구조인 CMOS 0.35 μ m 공정의 12비트 D/A 변환기를 제안하였다. 제안된 12비트 D/A 변환기는 in - phase / quadrature - phase 변조를 위한 이중 모드 I/Q 채널로 구현하였다.

본 논문의 II장에서는 고속 고해상도 전류구동 D/A 변환기의 전체 구조에 대하여 논한다. III장에서는 D/A 변환기의 동적 성능향상을 위한 스위치 구동 회로에 대하여 설명하고, IV 장에서는 제안하는 D/A 변환기의 레이아웃 및 측정결과에 대하여 요약하고 결론 맺었다.

II. 12비트 D/A 변환기의 구조

일반적인 D/A 변환기의 구조는 크게 온도계 디코더 구조와 이진 가중치 구조 그리고 이 둘을 혼합한 세그멘티드 구조 3가지로 분류 할 수 있다. 온도계 디코더 구조는 선형성이 우수하며 글리치 에너지가 작다는 장점을 가지고 있다. 하지만 추가적인 디코더와 그로인한 전력소모와 칩 면적이 커지는 단점을 가지고 있다. 반면 이진 가중치 구조는 회로의 복잡성 및 전력 소모면에서 온도계 디코더 구조보다는 우수하나 글리치 에너지 및 단조 증가성이 우수하지 못하다는 단점을 가지고 있다. 고속, 고해상도의 전류구동 방식의 D/A 변환기는 일반적으로 상위 비트는 온도계 디코더 구조, 하위 비트는 이진 가중치 구조를 혼합하여 이 둘의 장점들만을 가져온 세그멘티드 구조를 갖는다.^[5]

본 논문에서 제안하는 D/A 변환기는 한정된 면적에 Dual I/Q 채널로 구성해야 하는 제약이 있었다. 면적의 효율성과 선형성, 글리치 에너지, 전력소모 등을 고려하여 온도계 디코더 구조를 갖는 3비트 서브 D/A 변환기 4개를 혼합한 세그멘티드 구조를 선택하였다. 그림 1은

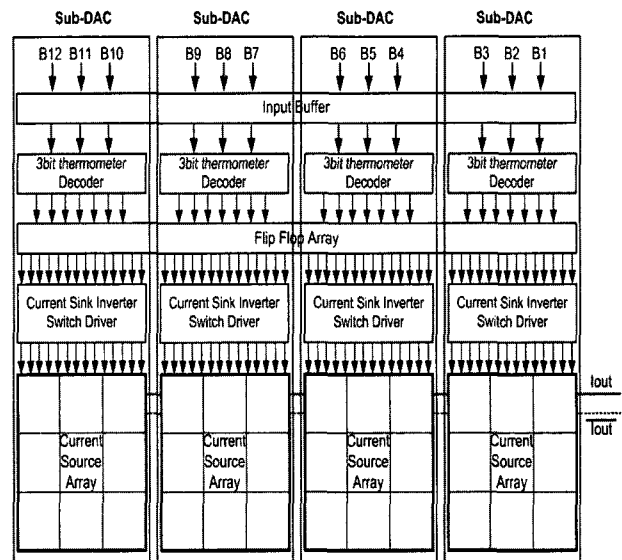


그림 1. 12비트 D/A 변환기의 전체 블록 다이어그램
Fig. 1. Block diagram of the proposed D/A converter.

제안된 12비트 D/A 변환기의 전체 블록 다이어그램을 나타낸다.

각각 서브-D/A 변환기의 3비트 디지털 입력 코드는 입력 버퍼를 거친 후 7비트의 온도계 코드로 변환된다. 그리고 플립플롭 회로에 의해서 신호의 동기가 이루어지며 글리치 에너지를 감소시키기 위한 스위치 드라이버 회로에 의해 글리치 에너지를 최소화한다. 또한 레이아웃에서 각각의 서브-D/A 변환기의 전류원에 대해 경사 오차와 대칭 오차 문제를 개선하기 위해서 행과 열에 대해 서로 대칭적으로 전류원 셀을 스위칭함으로써 경사 오차와 대칭 오차를 최소화하였다.

III. 능동 부하 스위치 구동 회로 설계

무선 통신 시스템에 사용되는 D/A 변환기의 경우 우수한 동적 성능을 가져야 한다. 일반적으로 전류구동 D/A 변환기의 경우 동적성능을 제한하는 몇 가지 원인이 있다. 우선 차동 스위치를 제어하는 신호의 부적절한 타이밍에 의한 글리치가 발생하는 경우이다. 또한 그림 2에서 보는 바와 같이 스위치를 제어하는 디지털 입력신호가 기생 커패시터 Cgd를 통하여 출력으로 커플링 됨으로써 스위칭 잡음이 생기는 경우이다.

제안하는 D/A 변환기의 스위치에 인가되는 신호 동기 문제는 플립플롭과 차동 스위치에 인가되는 두신호의 교차점을 조절함으로써 해결하였다. 그리고 스위치를 제어하는 디지털 신호가 기생커패시터를 통하여 출력에서 글리치를 발생시키는 문제는 스위치에 걸리는

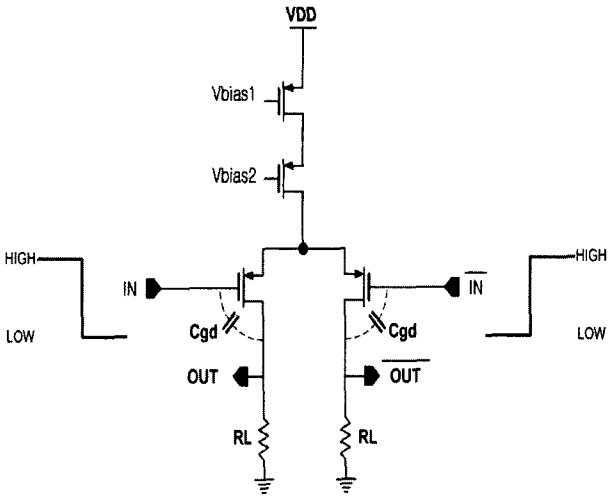


그림 2. 일반적인 단위 전류셀의 구조
Fig. 2. The conventional unit current cell.

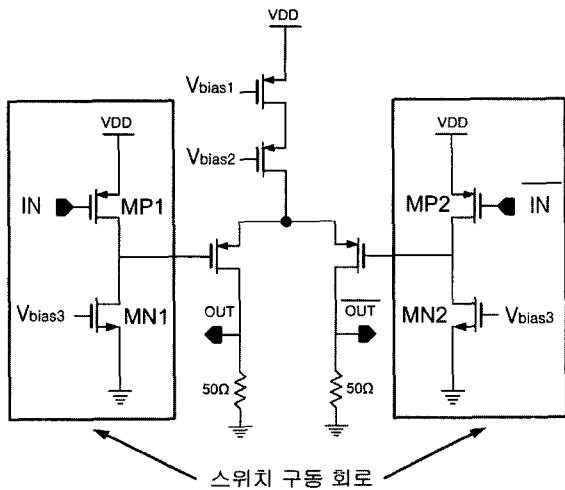


그림 3. 능동부하 스위치 구동회로
Fig. 3. The Switch Driver with Active load.

출력 전압 범위를 낮춤으로써 해결 할 수 있다. 그러나 기존의 출력 전압 범위를 낮춰주는 스위치 구동회로들은 회로의 복잡성으로 인해 설계와 레이아웃에 많은 어려움이 있었다.

스위칭 잡음에 의한 동적 성능의 저하 문제는 그림 3 과 같은 전류 싱크 인버터를 이용하여 스위치에 인가되는 전압의 스윙을 줄여주는 간단한 스위치 구동 회로를 통해 해결하였다. 제안한 D/A 변환기의 경우 스위치 구동회로의 출력 전압을 1.6V 로 설계하였다. 스위치 구동회로 입력(IN)에 1이 인가될 경우 MP1은 꺼지게 되고 스위치 구동회로의 출력은 0이 된다. 반대로 스위치 구동회로의 입력(IN)에 0이 인가될 경우 MP1과 MN1은 선형영역에서 동작하게 되고 이때의 저항 값은 식 (1), (2)와 같다. 이 때 스위치 구동회로의 출력 전압

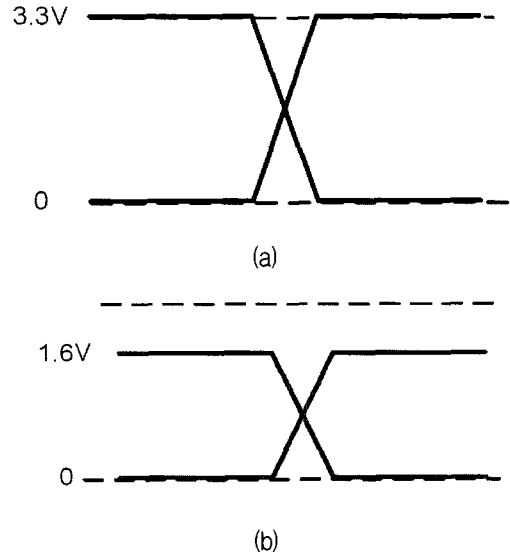


그림 4. (a) 스위치 구동회로가 없을 때 출력 파형
(b) 스위치 구동회로가 있을 때 출력 파형
Fig. 4. (a) The Output without the switch driver.
(b) The Output with the switch driver.

은 전압 분배 법칙에 의하여 식 (3)과 같이 나타낼 수 있다. 여기서 $R_{ds,p}$ 와 $R_{ds,n}$ 은 각각 MP1과 MN1의 저항 값을 나타낸다.

$$R_{ds,p} = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{thp}|)} \quad (1)$$

$$R_{ds,n} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{thn})} \quad (2)$$

$$V_{out} = V_{DD} \times \frac{R_{ds,n}}{R_{ds,p} + R_{ds,n}} \quad (3)$$

그림 4는 스위치 구동회로가 있을 때와 없을 때 차동 스위치에 인가되는 입력 파형을 비교한 것이다. 스위치 구동회로의 출력 전압 범위가 낮을수록 피드

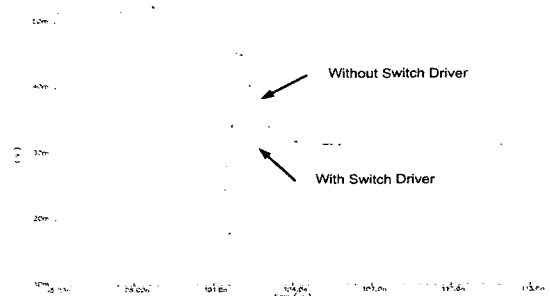


그림 5. 글리치 에너지의 비교
Fig. 5. The Comparison of glitch energy.

스루 현상을 최소화 할 수 있고 이로 인한 스위칭 잡음을 줄임으로써 동적 성능의 저하를 막을 수 있다. 그러나 스위치 구동회로의 출력 전압 범위가 너무 낮게 되면 스위치를 ON/OFF 시키는데 문제가 발생 할 수 있다.

스위치 구동 회로가 있을 때와 없을 때 글리치 에너지에 대한 시뮬레이션 결과는 그림 5와 같다. 스위치 구동회로가 없을 때 글리치 에너지는 $25\text{pV}\cdot\text{sec}$ 이고 스위치 구동회로가 있을 때 글리치 에너지는 $0.4\text{pV}\cdot\text{sec}$ 로 글리치 특성이 향상 되는 것을 확인할 수 있다.

IV. 측정결과 및 고찰

제안된 12비트 CMOS 전류구동 D/A변환기는 CMOS $0.35\mu\text{m}$ 1-poly 4-metal 공정을 이용하여 설계되었다. 제안된 12비트 D/A 변환기의 칩 사진은 그림 6과 같다.

제안된 칩은 이중 채널로 설계되었으며, 패드를 제외한 유효 칩 면적은 $3.5\text{mm} \times 4.6\text{mm}$ 이다. 제작된 D/A 변환기는 3.3 V 전원전압에서 측정되었고, 50Ω 출력 저항에 단일 출력 전압의 최대값이 200mV 가 되도록 설계하였다.

제작한 D/A 변환기의 성능을 측정하기 위한 PCB는 그림 7과 같다. I-채널과 Q-채널의 정합 특성을 높이기 위해 D/A 변환기 칩과 주변 부품들을 대칭적으로 배치

하였으며, 4층 기판을 사용하여 디지털 전원과 아날로그 전원을 분리시켰다.

측정결과 제안된 12비트 D/A변환기는 디지털 코드 0에서 4095에 대해 미스코드 없이 단조 증가성을 보였으며 이에 대한 결과는 그림 8과 같다.

D/A 변환기의 선형 특성인 DNL 및 INL은 Agilent사의 고성능 멀티미터 3458A를 이용하여 측정하였다. 측정결과 각각 $\pm 0.62\text{ LSB} / \pm 1.36\text{ LSB}$ 로 나타났다.

글리치 에너지 측정은 입력 코드를 스위칭이 가장 많이 일어나는 $011111111111 \rightarrow 100000000000$ 로 변환되게 설정하고 실행하였다. 측정 결과 D/A 변환기의 글리치 에너지는 $46\text{pV}\cdot\text{sec}$ 로 측정 되었다.

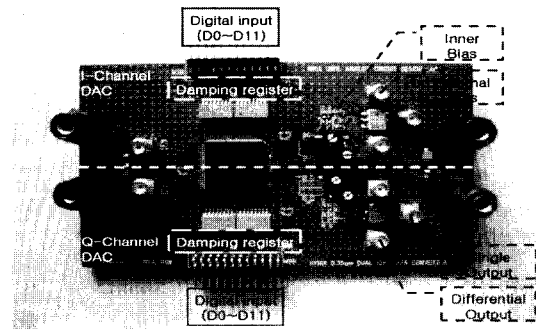


그림 7. 제작한 D/A 변환기 성능 검증용 PCB
Fig. 7. Performance verification PCB for D/A converter.

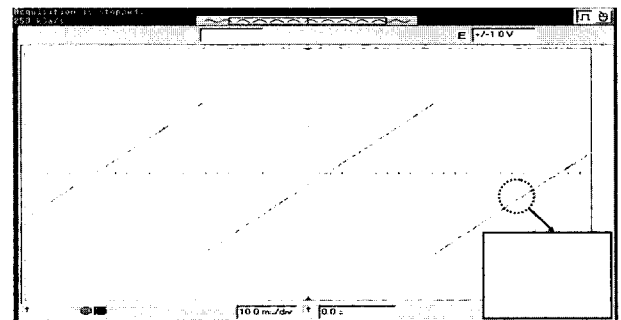


그림 8. 선형성 측정결과
Fig. 8. Measurement of Monotonicity.

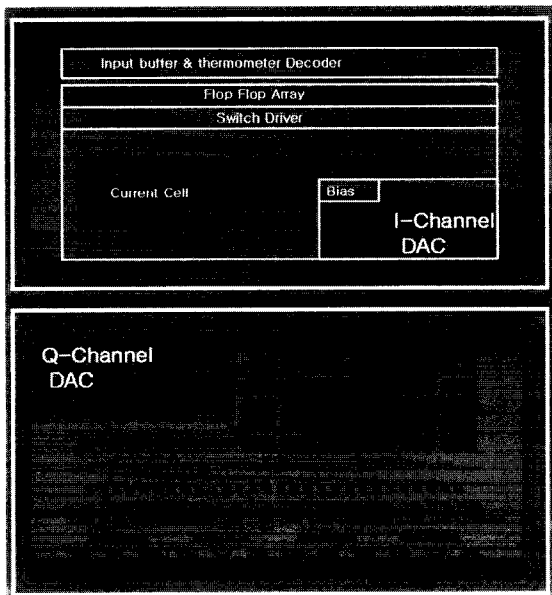


그림 6. 제안된 D/A 변환기 칩 사진
Fig. 6. Chip photograph of the proposed D/A converter.

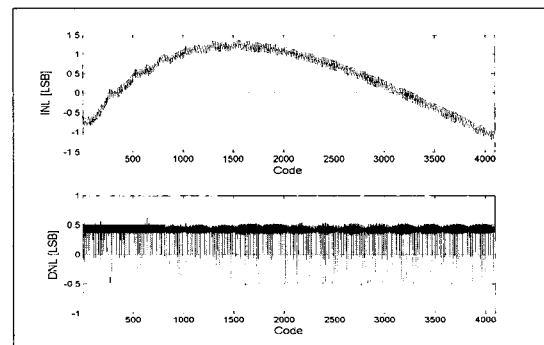


그림 9. DNL 및 INL 측정결과
Fig. 9. Measurement of INL and DNL.

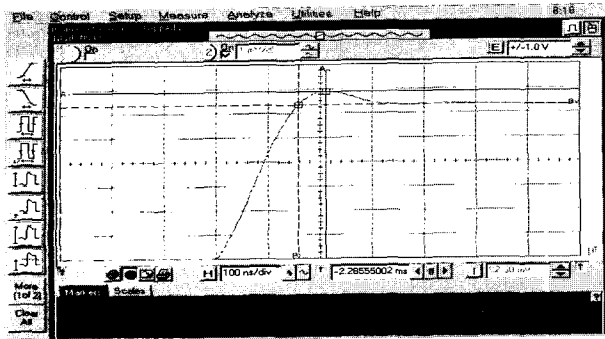


그림 10. 글리치 에너지 측정결과
Fig. 10. Measurement of the glitch energy.

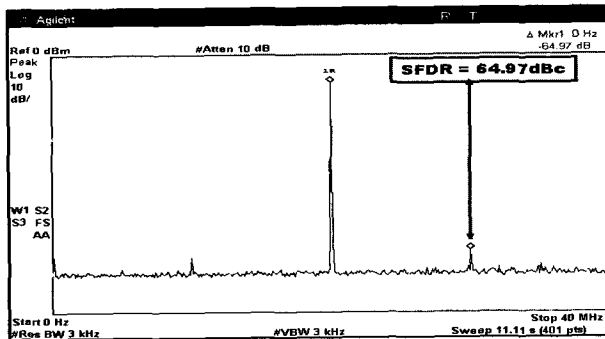


그림 11. 출력 스펙트럼-싱글 톤 측정
(Fs=80MHz, Fin=19MHz)
Fig. 11. Output spectrum-Single tone test.
(Fs=80MHz, Fin=20MHz)

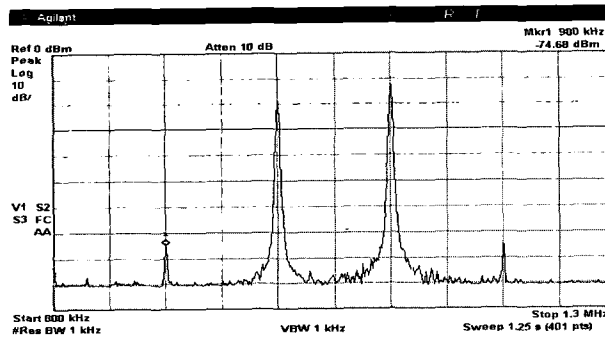


그림 12. 출력 스펙트럼-듀얼 톤 측정
(Fs=80MHz, Fin=1MHz, 1.3MHz)
Fig. 12. output spectrum-Dual tone test.
(Fs=80MHz, Fin=1MHz, 1.3MHz)

제작된 D/A변환기의 동적 특성 측정을 위하여 제작된 D/A 변환기 보다 2비트 높은 TI사의 14비트 A/D 변환기를 사용하였다. 또한 공통 모드 잡음 및 짝수 고조파를 최대한 감소시키기 위해 단일 모드 출력 대신 트랜스포머를 사용하여 차동 모드로 측정하였다. 동적 특성은 A/D 변환기에 사인파를 인가하고 이를 다시 제안된 D/A변환기에 연결하여 동적 특성인 SFDR 및 SNR, THD 등을 측정하였다. 샘플링 주파수가 80MHz 이고 입력이 19MHz 일때 SFDR은 64.97dB로 측정 되

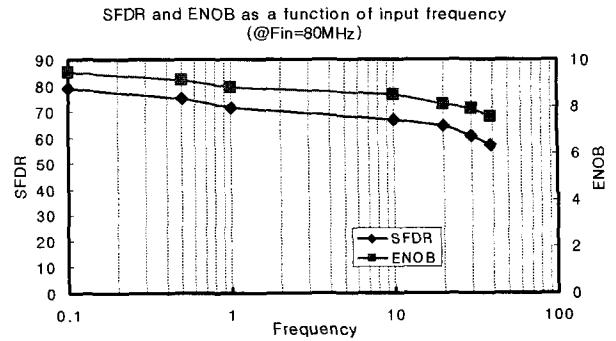


그림 13. 샘플링 주파수가 80MHz일때 입력주파수에 따른 SFDR과 ENOB
Fig. 13. SFDR and ENOB as a function of input frequency at sampling frequency of 80MHz.

었고 SNR은 58.5dB 측정 되었다.

입력 송신 신호 간의 간섭 특성을 측정하기 위해서 1MHz와 1.3MHz의 정현파를 동시에 입력시켜서 듀얼 톤 테스트를 수행하였다. 측정 결과 SFDR은 61dB이며 300KHz 범위 안에서 두 개의 간섭 주파수를 분리할 수 있는 것을 확인하였다.

제안하는 D/A 변환기의 샘플링 주파수가 80MHz일때 입력 주파수에 따른 SFDR과 ENOB은 그림 13과 같다.

제안한 12비트 D/A변환기는 CMOS n-well 0.35 μ m 1-poly 4-metal 공정을 이용하여 설계하였다. 측정결과, 80MHz 변환속도와 99mW의 전력소모를 나타내었으며 DNL/INL은 ± 0.62 LSB/ ± 1.36 LSB 이하로 나타났다. 변환 속도가 80MHz이고 입력이 19MHz일 때 SFDR은 64.97dB로 측정 되었고 SNR은 58.5dB 측정 되었다. 제안한 D/A 변환기의 성능은 표 1에 요약하였다.

최근 발표된 D/A 변환기 논문 중 동일한 해상도를 갖는 D/A 변환기의 성능과 본 논문에서 제안한 D/A 변환기의 성능을 비교, 평가하여 요약한 내용은 표 2와

표 1. 성능 요약
Table 1. Performance summary.

해상도	12 비트
변환 속도	80 MHz
글리치 에너지	46 pVsec
INL / DNL	$\pm 1.36 / \pm 0.62$ LSB
전력 소모	99 mW
SNR(19MHz @ 80MS/s)	58.5 dB
SFDR(19MHz @ 80MS/s)	64.97 dB
공급전원	3.3 V
공정	CMOS n-well 0.35 μ m
유효 칩 면적	3.5mm x 4.6mm

표 2. 12비트 D/A 변환기 비교 분석
Table 2. Compare of 12bit D/A converter.

참고문헌	변속률	공급 전원		SFDR	전력소모
본 논문	80 MHz	3.3 V		65 dB [Fin=19MHz]	99 mW
[5]	300 MHz	3.3 V		70 dB [Fin=1MHz]	320 mW
[9]	320 MHz	아날로그	3.3 V	60 dB [Fin=60MHz]	82 mW
		디지털	1.8 V		
[10]	100 MHz	3V		64 dB [@Fin=10MHz]	91 mW
[11]	500 MHz	아날로그	3 V	62 dB [@Fin=125MHz]	111 mW
		디지털	2.2 V		

같다. 본 논문과의 비교 분석 결과 3.3V 단일 전원을 통해 제작된 D/A 변환기가 타 논문의 D/A 변환기에 비해 저전력으로 동작함을 확인할 수 있다. 그리고 SFDR은 약 65dB로 타 논문의 SFDR과 비슷한 수준의 성능을 나타내었다.

V. 결 론

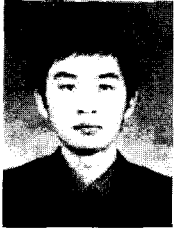
본 논문에서는 무선통신용 송신기에 적용 가능한 12비트 80MHz 전류구동 방식의 D/A 변환기를 설계하였다. 제안한 12비트 D/A 변환기는 온도계 디코더 방식의 서브-D/A 변환기를 4단으로 구성함으로써 면적의 효율성과 선형성, 글리치 에너지, 전력소모 등을 향상시켰다. 또한 기존의 복잡한 스위치 구동회로보다 간단한 구조의 스위치 구동회로를 제안하여 전력소모를 최소화하였고 글리치 에너지를 최소화하였다. 그리고 타 논문과의 비교를 통해 낮은 전력으로 동일한 성능의 D/A 변환기를 제작하였음을 확인할 수 있었다.

참 고 문 헌

[1] Jurgen Deveugele, Michiel Steyaert, "A 10b 250MS/s binary-weighted current-steering DAC," *IEEE International solid-state circuit conference session20*, pp. 362-363, 2004.
 [2] B. Razavi, *Principle of Data Conversion System Design*, IEEE Press, 1995.
 [3] M. Albiol, J. L. Gonzalez and E. Alarcon, "Improved current -source sizing for high-speed high-accuracy current steering D/A converters," *ISCAS 2003*, pp. 837-840, May 2003.

[4] Ki-Hong Ryu, Sung Young Park and Kwang Sub Yoon, "A 3.3V 12-Bit High-Speed Current Cell Matrix CMOS DAC," *J. Korean Phys. Soc*, vol.39, No.1, pp. 127-131, July, 2001.
 [5] J. Bastos, M. Steyaert, A. M. Marques and W. Sansen, "A 12bit Intrinsic Accuracy High Speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, No. 12, pp. 1959-1969, Dec. 1998.
 [6] Ji Hyun Kim and Kwang Sub Yoon, "An 8-bit CMOS 3.3-V 65MHz Digital to Analog Converter with a Symmetric Two-stage Current Cell Matrix Architecture" *IEEE Transaction on circuits and Systems II*, vol 45. Dec. 1998.
 [7] Sung Yong Park, Hyun Ho Cho and Kwang Sub Yoon, "A 3.3V-110MHz 10-Bit CMOS Current-Mode DAC," *2002 IEEE Asia Pacific Conference on ASIC Proceeding*, pp. 173-173, 2002.
 [8] A. Van den Bosch, Marc A. F. Borrenmans, M. Steyaert and W. Sansen, "A 10bit 1GSample/s Nyquist Current Steering CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 36, No. 3, pp. 315-324, Mar. 2001.
 [9] K. O' Sullivan, C. Gorman, M. Hennessy and Vincent Callaghan, "A 12-bit 320-MSample/s Curret-Steering CMOS D/A Converter in 0.44mm²," *IEEE J. Solid-State Circuits*, vol. 39, No. 7, pp. 1064-1072, July. 2004.
 [10] H. H. Bae, J. S. Yoon, M. J. Lee, E. S. Shin and S. H. Lee, "A 3 V 12b 100 MS/s CMOS D/A converter for high-speed system applications," *ISCAS 2003*, vol. 1, pp. 869-872, May 2003.
 [11] A. van den Bosch, M. Borremans, M. Steyaert and W. Sansen, "A 12-b 500-MSample/s current-steering CMOS D/A converter" in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, pp. 366-367, 2001.

저 자 소 개



남 태 규(정회원)
 2004년 인하대학교 전자공학과
 학사 졸업.
 2006년 인하대학교
 전자공학과 석사 졸업.
 2006년 ~ 현재 (주)실리콘웍스
 R&D Center Engineer
 <관심분야 : 데이터 변환기 설계, Analog/Mixed
 Signal IC 설계, 반도체, VLSI>



서 성 욱(학생회원)
 2005년 인하대학교 전자공학과
 학사 졸업.
 2005년 ~ 현재 인하대학교
 전자공학과 석사재학.
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



신 선 화(학생회원)
 2005년 인하대학교
 전자공학과 학사 졸업.
 2006년 ~ 현재 인하대학교
 전자공학과 석사재학
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



주 찬 양(학생회원)
 2006년 인하대학교 전자공학과
 학사 졸업.
 2006년 ~ 현재 인하대학교
 전자공학과 석사재학.
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



김 수 재(학생회원)
 2006년 인하대학교 전자공학과
 학사 졸업.
 2007년 ~ 현재 인하대학교
 전자공학과 석사 재학.
 <주관심분야 : 데이터 변환기
 설계, Analog/Mixed Signal IC
 설계, 반도체, VLSI>



이 상 민(정회원)
 1987년 인하대학교 전자공학과
 학사 졸업.
 1989년 인하대학교 전자공학
 (정보공학) 석사 졸업.
 2000년 인하대학교 전자공학
 (정보공학) 박사 졸업.

1989년 1월 ~ 1994년 7월 (주)LG이노텍
 중앙연구소 연구원 선임 연구원.
 1995년 1월 ~ 2002년 3월 (주)삼성전자
 삼성종합기술원 연구원 책임 연구원.
 2002년 4월 ~ 2005년 2월 한양대학교 의과대학
 의공학교실 연구교수.
 2005년 3월 ~ 2006년 8월 전북대학교 공과대학
 생체정보공학부 조교수.
 2006년 9월 ~ 현재 인하대학교 공과대학 전자전기
 공학부 조교수.
 <주관심분야 : Healthcare system design,
 Psycho-acoustics, brain-machine interface>



윤 광 섭(정회원)
 1982년 인하대학교 전자공학과
 학사 졸업
 1983년 Georgia Institue of
 Technology 공학석사
 1989년 Georgia Institue of
 Technology 공학박사
 1989년 3월 ~ 1992년 2월 Silicon Systems Inc,
 Tustin Calif. U.S.A Senior Design
 Engineer
 1992년 3월 ~ 현재 인하대학교 전자공학과 교수
 <주관심분야 : ADC, DAC, PLL 등 아날로그 및
 혼성신호 집적회로 설계>