

논문 2007-44SD-8-4

Micro spiral inductor를 이용한 2.5Gb/s급 2:1 Multiplexer 설계

(A 2.5Gb/s 2:1 Multiplexer Design Using Inductive Peaking in $0.18\mu\text{m}$
CMOS Technology)

김 선 중*, 최 정 명*, 범 진 육**

(Sunjung Kim, JungMyung Choi, and Jinwook Burm)

요 약

$0.18\mu\text{m}$ CMOS 공정을 이용하여 supply voltage 1.8V에서 2.5Gb/s 이상의 데이터 처리속도를 가지는 2:1 Multiplexer(MUX) 설계를 하였다. High speed 동작을 위한 주파수의 한계를 극복하기 위해서 4.7 nH의 on-chip micro spiral micro inductor ($20\times20\mu\text{m}^2$)가 설계 되었고, 10개 이상의 inductor를 사용하고도 칩 면적 증가가 거의 없으면서 inductive peaking 효과를 극대화 할 수 있었다. 칩 측정은 on-wafer로 진행되었고, micro spiral inductor가 있는 2:1 MUX와 그것이 없는 2:1 MUX 각각 측정하여 그 결과를 비교하였다. 측정결과 micro spiral inductor를 가진 2:1MUX가 rise time과 fall time이 1.25Gb/s에서는 rise time이 23%, fall time은 3%의 peaking 개선 효과가 있는 것을 확인하였다. 2.5Gb/s에서는 fall time이 약 5.3%, rise time 3.5%의 개선 효과를 보았다. 전체 소비전력은 61.2mW, 2.5Gb/s에서 voltage output swing은 $180mV_{p-p}$ 로 측정되었다.

Abstract

A 2.5Gb/s 2:1 multiplexer(MUX) IC using $0.18\mu\text{m}$ CMOS was designed and fabricated. Inductive peaking technology was used to improve the performance. On-chip micro spiral inductor was designed to maximize the inductive peaking effect without increasing the chip area much. The designed 4.7 nH micro-spiral inductor was $20\times20\mu\text{m}^2$ in size. 2:1 MUX with and without micro spiral inductors were compared. The rise and fall time was improved more than 23% and 3% respectively using the micro spiral inductors for 1.25Gb/s signal. For 2.5 Gb/s signal, fall and rise time was improved 5.3% and 3.5% respectively. It consumed 61mW and voltage output swing was $180mV_{p-p}$ at 2.5Gb/s.

Keywords : Multiplexer, Common mode logic(CML), Spiral inductors

I. 서 론

High bandwidth data communication 기술의 발전은 fiber optical communication의 급속한 발전을 가져왔다.

과거처럼 간단한 데이터 교환에는 큰 대역폭을 요구하지 않았으나, 요즈음에는 다양한 멀티미디어 서비스를 필요로 하기 때문에 대용량 데이터 처리와 동시에 초고 속도 구현하는 새로운 기술들이 끊임없이 요구되고 있다. 또한 저 전력, 저면적을 동시에 해결해야 한다는 과제도 떠안게 되었다.

주파수 특성을 개선하기 위한 기술에는 여러 가지가 있다. 대표적으로 feed-forward 구조, Miller capacitance neutralization technique^[1], inductive peaking technique^[2] 등이다.

* 학생회원, ** 정회원, 서강대학교 전자공학과
(Dept. of Electronic Eng., Sogang University)
※ 이 논문은 2006년도 정부(과학기술부)의 재원으로
한국과학재단의 지원을 받아 수행된 연구입니다
(No. R01-2006-000-10596-0). 본 연구의 칩 제작과
tool은 IDEC에서 지원받았습니다.
접수일자: 2007년5월15일, 수정완료일: 2007년7월24일

이 중 inductive peaking 방법은 주파수 특성을 높이기 위하여 광범위하게 쓰이는 방법으로, 추가적인 전력 소모 상승과 잡음 특성의 저하 없이 쓰일 수 있다. 하지만 on-chip inductor를 구현하는데 많은 칩 면적이 요구되어 실제 칩 적용에 어려운 단점이 있다. 본 논문에서는 주파수 특성을 개선시키기 위해서 inductive peaking technology를 적용하여 칩 면적 증가를 최소화하는 구조를 선택하였다. 이를 위해서 spiral micro-inductor^[3]를 설계하여 회로에 적용하여 일반 (conventional)구조의 multiplexer(MUX)와 특성을 비교 분석하였다.

본 논문의 II장에서는 설계된 전체 구조와 동작원리를 간단히 살펴보고, 두 번째에서는 설계된 2:1 MUX의 주요 회로도와 simulation 결과를 보일 것이다. 마지막으로 측정부분에서는 수행 과정 및 측정결과를 살펴보고, 동시에 문제점을 짚어볼 것이다. 결론에서는 차후 연구 방향을 제시할 예정이다.

II. Multiplexer설계

1. 전체 블록 다이어그램과 동작원리

그림 1은 2:1 MUX IC의 전체블록을 나타낸 그림이다. Data delay를 위한 MS(master-slave) D-FF (flip-flop), data 선택을 위한 2:1 selector, 회로에 1/2 주파수를 공급하기 위한 T-FF로 구성된다.

외부에서 입력된 두 개의 데이터는 MS-DFF에서 데이터가 일정시간 delay되고, selector clock에 의해서 D0과 D1 중 하나가 선택되어 multiplexing된다. Input buffer와 output buffer는 50Ω drive를 하도록 설계되었으며, 특히 output 50Ω load에 의한 voltage swing 폭 감소를 최소화시키기 위해서 비교적 큰 전류를 output

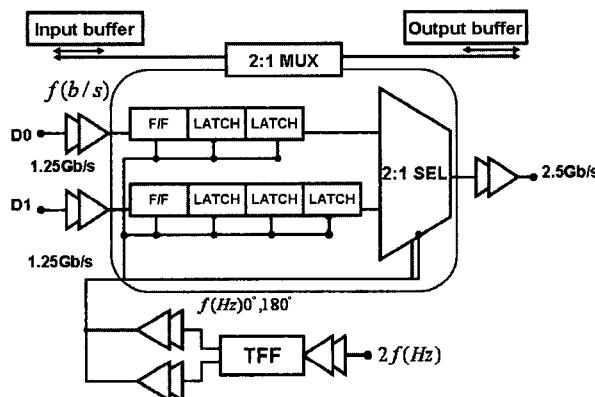


그림 1. 2:1 Multiplexer의 회로도

Fig. 1. Circuit block diagram of 2:1 Multiplexer ICs.

buffer에 인가시켜 원하는 voltage swing 양을 수 있도록 설계하였다.

가. Latch Design

고속회로 구현을 위해서 많이 쓰이는 flip-flop은 그림 2와 같다. CML(common mode logic) 구조를 갖고 있으며 V_{CLK+} 가 high 일 때는 read mode가 동작하며 tail current는 V_{CLK+} 입력 트랜지스터 쪽으로 전부 흘러들어간다. 이 때 latch circuit의 V_{CLK-} 은 low를 유지하게 된다. 따라서 latch circuit은 read circuit로부터 들어오는 output logic state를 유지할 수 있게 된다.

그러나 이 구조는 tail current가 read circuit과 latch circuit 모두에 사용되면서 영향을 주기 때문에 read와 latch circuit의 bias operation은 매우 긴밀한 연관 관계를 유지하며 동작한다. 이러한 연관성은 latch circuit의 트랜지스터 사이즈에 영향을 주게 되는데 궁극적으로 큰 사이즈로 생겨나는 parasitic capacitance로 인해서 고속 동작에 한계를 지니게 된다.^[4] 이를 보완하기 위해서 본 연구에서는 회로의 output에 resistor와 설계된 micro inductor를 series로 load시킴으로써 칩 면적의 증가를 최소화하면서 inductive peaking을 이루어 회로의 주파수 특성을 높였다^[5] (그림 2). 제안된 (proposed) 회로는 inductor를 포함했다는 점을 제외하고는 일반(conventional) 회로와 동일하게 설계되었다.

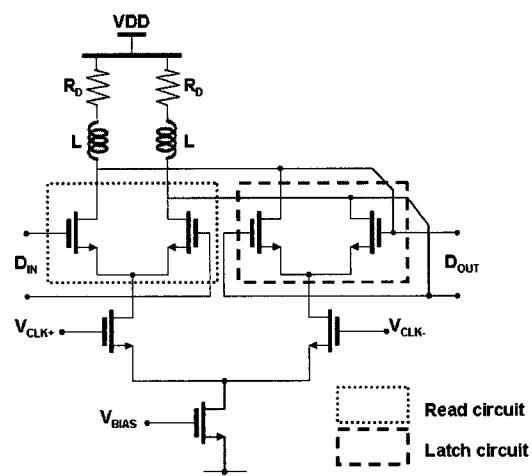


그림 2. Load에 micro spiral inductor가 있는 flip-flop
Fig. 2. Flip-Flop with micro spiral inductor at the load.

나. 2:1 Selector와 1/2 Frequency divider Design

Time multiplexing(시다중화)을 하기 위한 핵심회로인 2:1 selector는 그림 3과 같다. Conventional 2:1

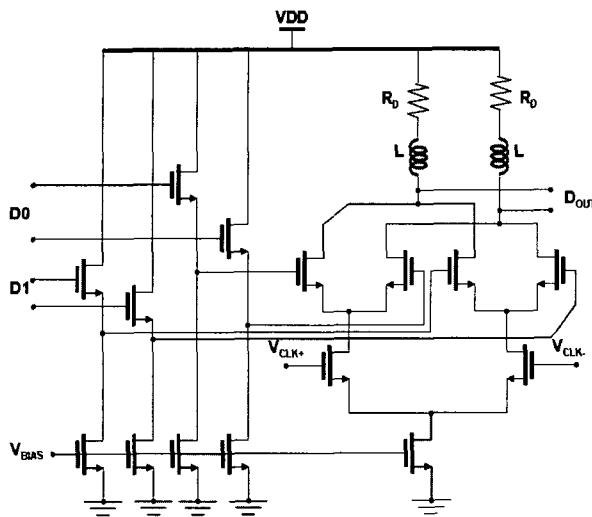


그림 3. Load에 micro spiral inductor가 있는 제안된 2:1 selector

Fig. 3. A proposed 2:1 selector with micro spiral inductors at the load.

selector 구조에 micro spiral inductor를 추가하여 latch의 load만으로 부족한 inductive peaking 효과를 극대화 하였다. 또한 low power를 위해서 필요한 최소 전압 진폭만을 얻되 적절한 rise time과 fall time이 확보되도록 설계하였다. Data input쪽의 source follower는 selector의 data input에 적절한 DC 레벨을 유지시키고, 50Ω input matching을 이루며 전류를 data에 좀 더 공급함으로써 rise time과 fall time을 개선시키는 효과가 있다.

그림 1의 하단부는 T-FF를 이용한 1/2 frequency divider 블록을 표시한 것이다. 기본적으로 코어는 latch의 구조와 동일하다. 외부에서 인가된 주파수는 이곳에서 1/2되어서 MUX의 clock단자로 인가된다. MUX에 인가되는 두 주파수는 모두 T-FF의 master output에서 발생하도록 설계하였다.

다. Output buffer Design

그림 4에서 보듯이 data는 source follower를 통하여 differential amplifier에 입력되도록 설계되었다.

Latch와 selector output load와 동일하게 resistor와 inductor를 series로 연결했는데, 특히 주의할 점은 output 50Ω matching을 위해서 inductor가 가지고 있는 저항 성분 크기를 반영해 resistor를 layout해야 한다는 점이다. 실제로 inductor는 작지만 저항성분을 갖게 되므로, 이를 감안한 load 저항이 설계에서 요구된다. 특히 회로에 사용된 inductor가 작은 크기의

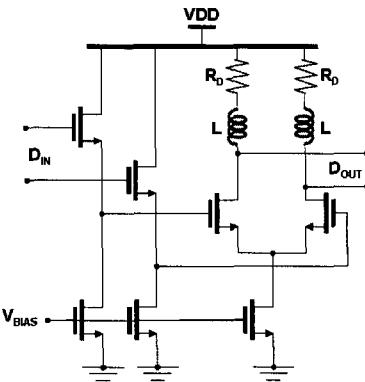


그림 4. Load에 Micro spiral inductor가 있는 Output buffer

Fig. 4. Output buffer with micro spiral inductors.

micro spiral inductor이므로, 일반적인 큰 크기의 inductor에 비해 저항 성분이 다소 큰 경향을 보였다.

2. Spiral Micro Inductor Design

전체 회로 시뮬레이션은 supply voltage 1.8V를 인가하였고, Cadence사의 Spectre tool을 사용해서 진행 되었다. Inductor의 설계를 위해 Agilent사의 전자기파 시뮬레이터 momentum과 ADS(Advanced Design System)가 사용되었다. 설계는 (1) inductor의 실제적인 모양을 momentum상에서 레이아웃하고, (2) 기하에 의한 전자기파 시뮬레이션을 momentum으로 수행하여 s(scattering)-parameter를 형성하고, (3) 시뮬레이션 된 s-parameter를 이용하여 회로모델을 만들어, (4) 최종

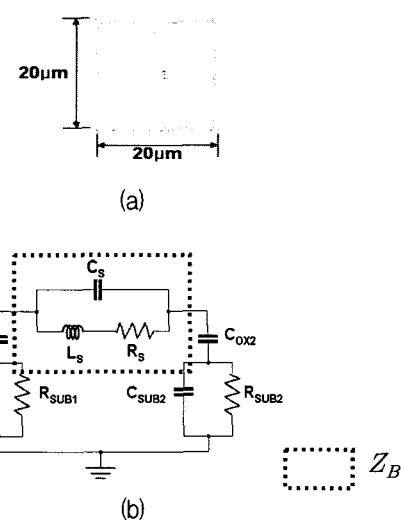


그림 5. (a) Micro spiral inductor 레이아웃과
(b) 등가회로 모델

Fig. 5. (a) Micro spiral inductor layout and
(b) its equivalent circuit model.

표 1. Inductor의 설계 변수 및 2.5 GHz에서의 설계 결과

Table 1. Design parameters and design results at 2.5GHz of Inductor.

설계 변수	설계 결과
가로=세로=20 μm	$L_s = 4.67 \times 10^{-9}$ $R_s = 16.855$
metal 선의 넓이 W=1	$R_{\text{sub}1} = 7744.608$
metal 사이 간격 S=1	$R_{\text{sub}2} = 3790.014$
turn 수 N=4.5	$C_{ox1} = 2.78 \times 10^{-15}$ $C_{ox2} = 6.968 \times 10^{-15}$

L_s : series inductance C_s : series capacitance

R_s : series resistance C_{ox} : oxide capacitance

C_{SUB} : substrate capacitance

R_{SUB} : substrate resistance

적으로 회로 모델화된 inductor를 이용하여 multiplexer 회로를 설계하였다.

$$Z_B \cong \frac{R_s + j\omega L_s}{1 + j\omega C_s(R_s + j\omega L_s)} \cong R_s + j\omega L_s \quad (1)$$

위의 inductor 시뮬레이션 과정에서 inductor의 회로 모델이 중요한 역할을 한다. 본 연구에서 inductor의 주요 parameter값을 추출하기 위해서 π -등가모델^[6]을 적용하였다. 그림 5는 본 연구에서 설계된 inductor와 그 것의 등가 모델이다. 그림 5 (b)의 등가모델에서 식(1)과 같은 관계식을 얻을 수 있다.

Micro inductor는 표 1에 있는 설계 변수를 사용하여 설계하였으며 그 설계 결과가 표 1에 요약되었다. 가로 세로 각 20 μm 의 영역을 이용하여 4.67 nH의 inductor를 설계하였다. Inductor는 모두 4.5 turn을 갖도록 하였다. metal 선의 넓이를 늘리면 저항을 감소시키는데 도움을 주지만, turn수가 감소하여 전체적인 inductance의 증가에는 도움이 되지 않았다.

3. 전체 회로 시뮬레이션

회로 시뮬레이션을 통해 load에 저항만 달려있는 경우와 그것과 함께 inductor를 series로 연결해서 각 output load를 구현한 경우, 얼마만큼 주파수 특성이 향상되는지를 확인하였다. 그림 6은 설계된 inductor를 회로 블록별로 하나씩 추가하면서 전체 회로의 주파수 특성에 얼마만큼 영향을 미치고 있는지를 보여주고 있는 그림이다. AC 시뮬레이션 결과로 얻어진 출력 단에서 신호의 크기를 주파수의 함수로 나타내었다.

표 2. 일반(Conventional) 회로와 제안된(proposed) 회로의 fall time, rise time 시뮬레이션 결과

Table 2. Simulation result of conventional circuit and proposed circuit.

	Conventional 2:1 MUX	Proposed 2:1 MUX
Bit rate(max) (b/s)	1.25Gbps/2.5Gbps	1.25Gbps/2.5Gbps
Rise time(ps)	210ps/185ps	180ps/155ps
Fall time(ps)	220ps/132ps	190ps/115ps

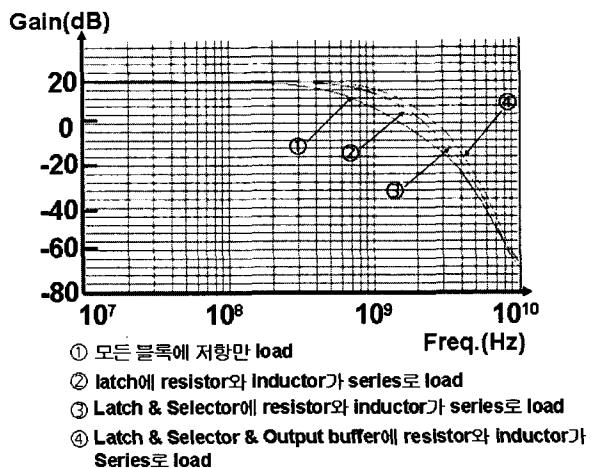


그림 6. 블록별 Inductor 유무에 따른 주파수 특성 비교
Fig. 6. Frequency response of various inductor combinations.

그림 6에서 load가 저항으로만 구성된 회로가 일반 (conventional) 회로(①)이고, inductor를 사용한 회로가 많아짐에 따라 300MHz~3GHz 대역에서 주파수 특성이 좋아지는 것을 확인하였다. 이 같은 주파수특성의 개선은 넓게 열린 eye diagram과 짧은 rise / fall time을 얻는데 도움이 된다.

그림 7은 두 개의 입력데이터, data1과 data2에 각각 '1010...'과 '0101...'의 패턴으로 두 회로에 각각 입력시켰을 때 출력되는 eye diagram을 시뮬레이션 한 것이다. (a)와 (b)는 입력데이터를 625Mb/s로 인가시켰을 때의 1.25Gb/s 출력파형이고, (c)와 (d)는 1.25Gb/s로 인가시켰을 때의 2.5Gb/s 출력파형이다. 그림에서 보듯이 제안된(proposed) 회로에서 두 개의 서로 다른 입력 데이터에 대해서 출력 값이 inductive peaking 되어, 일반 (conventional) 회로보다 rise time과 fall time이 훨씬 좋아짐을 확인할 수 있다. 1.25Gb/s에서 rising time은 14.3%, falling time은 13.6%의 개선 효과가 있었고, 이 회로가 최대로 동작시킬 수 있는 2.5Gb/s에서 rise time은 16.2%, fall time은 12.8%의 개선 효과가 있는 것으로

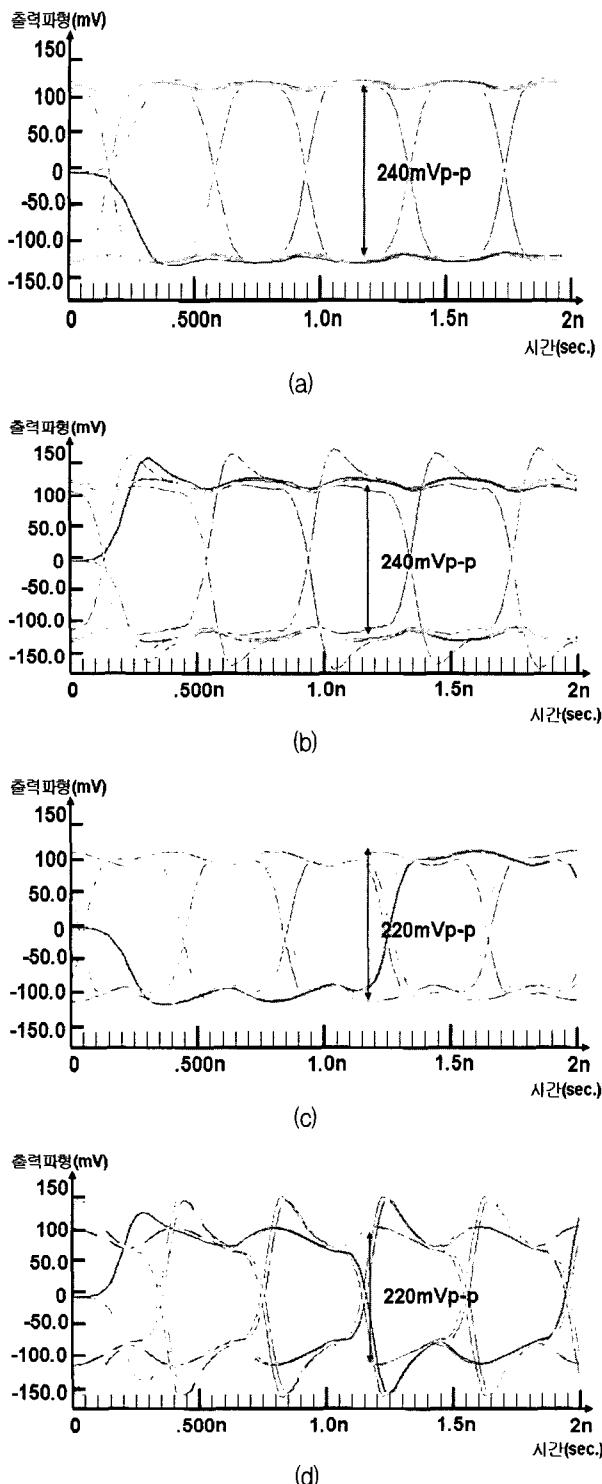


그림 7. Conventional 회로와 prosed 회로의 output eye diagram (a) 일반회로에서 1.25Gb/s (b) 제안회로에서 1.25Gb/s (c) 일반회로에서 2.5Gb/s (d) 제안회로에서 2.5Gb/s

Fig. 7. Output eye diagram of conventional circuit and proposed circuit (a) 1.25Gb/s of conventional circuit (b) 1.25Gb/s of proposed circuit (c) 2.5Gb/s of conventional circuit (d) 2.5Gb/s of proposed circuit.

로 확인되었다. 표 2에 각각의 출력 파형에 대한 시뮬레이션 결과를 기록하였다.

III. 제작 및 측정

두 회로는 magnachip $0.18 \mu\text{m}$ CMOS 공정을 이용하여 제작되었다. 제작된 칩은 on-wafer상태로 측정이 될 수 있도록 고속 microwave probe용 패드를 배치하였다. 일반(conventional) 회로의 chip size는 $0.85 \times 0.42 \text{mm}^2$, 제안된(proposed) 회로는 $0.9 \times 0.45 \text{mm}^2$ 이다. 측정은 on-wafer로 두 회로를 각각 수행하였으며, 두 측정 결과를 비교하는 방식으로 진행하였다. 그림 8은 실제 측정 사진을 보인 것이다.

그림 9는 칩 측정을 위해서 구현된 모습을 그림으로 간략히 보인 것이다. Data1과 data2의 입력은 외부에서 연결되고, 각 data 입력은 differential 되어 있다. 측정 시 측정기기의 한계로 2개의 differential 신호를 동시에 입력할 수 없어 data1과 data2의 각 differential 입력 중 한 쪽에 DC값을 인가하고 다른 쪽에는 data 패턴을 입력하였다. DC 값 인가를 위해서 needle probe가 사용되었다. 한편 입력 펄스가 인가되는 쪽은 PPG(Pulse Pattern Generator)를 사용해서 앞서 언급한 DC와 동일한 값을 인가했고, 이 DC 값을 기준으로 일정 크기의 입력 펄스가 발생되도록 하였다. Differential 클록 역시 PPG에서 주파수 속도를 제외한 입력 펄스와 동일한 DC 값과 클록 펄스를 발생시켜서 chip에 공급하도록 하였다. 가능한 여러 가지 형태의 data 펄스를 입력하여 최대 3Gb/s 출력까지 MUX의 동작을 확인하였다.

Rise time과 fall time의 개선을 확인하기 위하여 chip의 data1에는 '101010...' 패턴으로 625Mb/s로 인가시켰고, data2에도 data1과 역위상인 '010101...' 패턴으

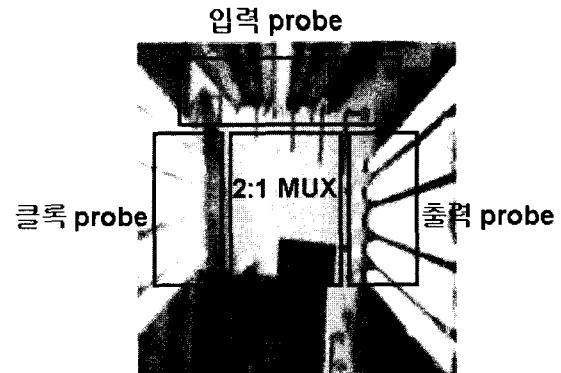


그림 8. 확대한 칩 측정 사진

Fig. 8. Chip micrograph during measurements.

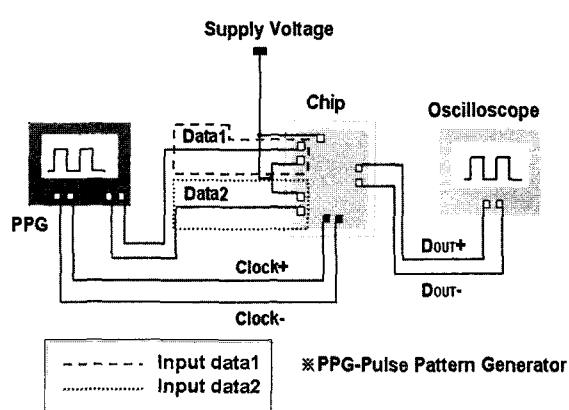


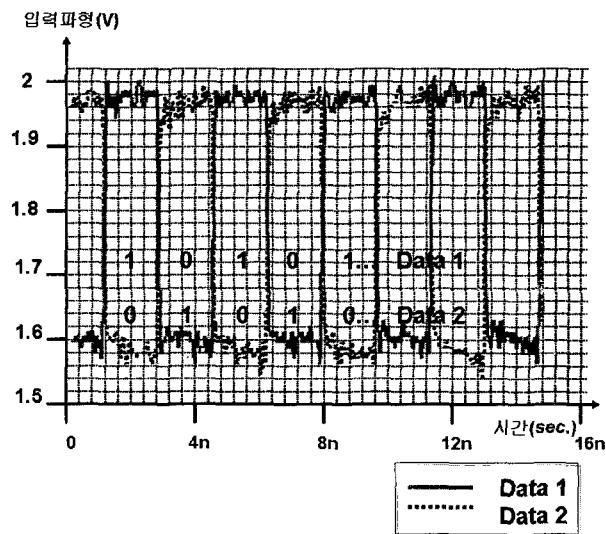
그림 9. 입력데이터 Pulse 인가

Fig. 9. Measure of pulse pattern input.

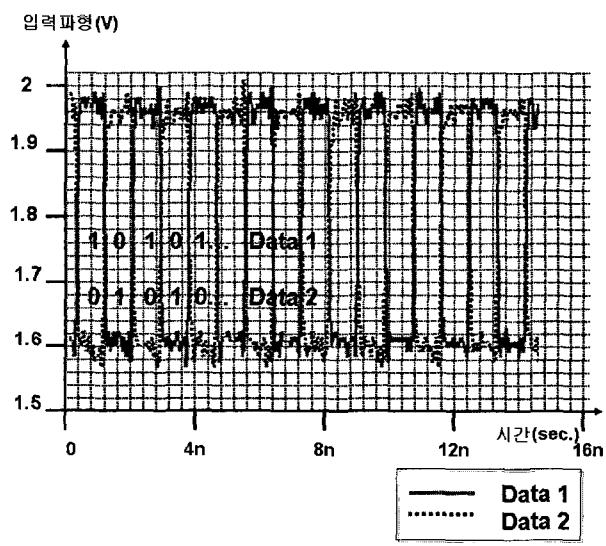
로 인가를 시켰다. 먼저 입력데이터 625Mb/s를 측정결과를 oscilloscope로 확인한 후, 입력데이터와 클록 속도를 높여서 이번에는 data1과 data2에 1.25Gb/s를 인가시켜 시간에 따라 변하는 출력 swing을 살펴보았다.

그림 10 (a),(b)는 두 개의 data1과 data2가 180도 위상차를 갖고, 입력크기 대략 $400mV_{p-p}$ 로 인가되는 파형을 나타낸 것이다. (a)는 625Mb/s, (b)는 1.25Gb/s의 속도를 갖고 있다. 그림 11 (a)와 (b)는 앞서 언급한 두 속도에 대한 출력파형을 나타낸 것으로 그림에서 보듯이 제안된(proposed) 회로에서는 데이터 값이 inductive peaking된 것을 뚜렷이 확인할 수 있다. 주목할 점은 1.25Gb/s의 경우에 좀 더 그 차이가 확연함을 알 수 있다는 점이다. 일반(conventional) 회로와 제안된(proposed)회로가 같은 V_{p-p} 값을 갖는다는 가정 하에 fall time과 rise time을 보편적 분석법^[7]으로 적용했으며, 그 결과 micro spiral inductor가 있는 제안된(proposed) 회로가 일반(conventional) 회로에 비해서 1.25Gb/s에서는 rise time이 최대 23%, fall time은 3%의 peaking 효과가 있다는 결론에 도달할 수 있었다. 2.5Gb/s에서는 fall time이 약 5.3%, rise time은 3.5%의 개선 효과를 보았다.

종합해 보면 1.25Gb/s에서 peaking 효과가 2.5Gb/s에서의 그것보다 효과적임을 알 수 있었고, 두 경우 모두 fall time보다는 rise time에서 peaking 효과에 더 나타남을 확인할 수 있었다. 두 입력데이터에 대해서 개선 효과를 확인했으나 시뮬레이션 결과와 차이를 보이고 있는데 이는 (1) 시뮬레이션과 실제 측정 환경의 차이, (2) 이로 인한 출력 스윙의 크기 값 변화, (3) 측정 환경의 input, output 50Ω matching이 이상적이지 않다는



(a)



(b)

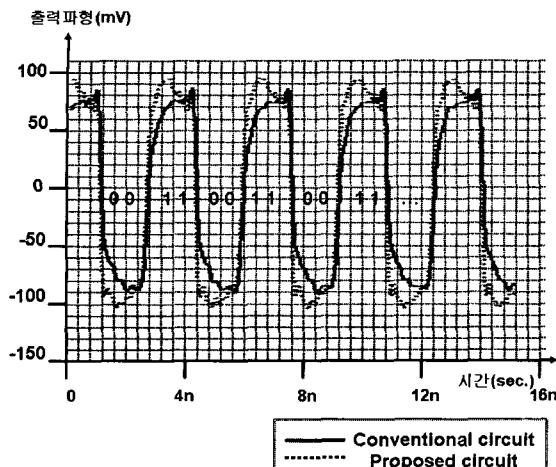
그림 10. Pulse Pattern Generator(PPG) data를 입력 data pulse로 인가 (a) 625Mb/s 입력파형 (b) 1.25 Gb/s 입력파형

Fig. 10. Input waveform of data from pulsed pattern generator (a) 625Mb/s input waveform (b) 1.25 Gb/s input waveform.

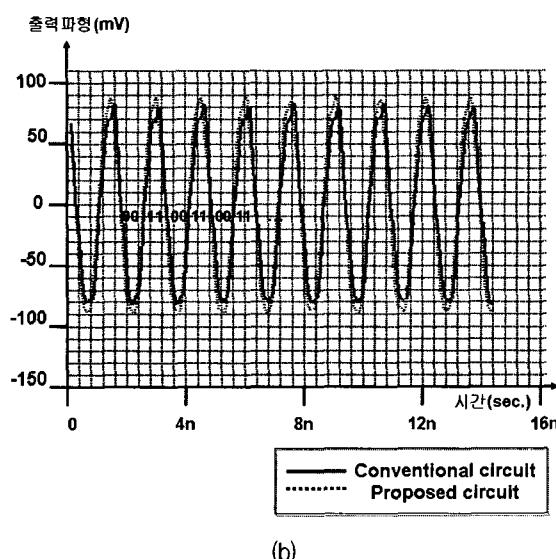
점, (4) inductor의 시뮬레이션 값과 실제 제작 된 값과의 오차 등이 원인으로 분석된다. 전체 전류는 34mA, 2.5Gb/s에서 voltage swing은 $180mV_{p-p}$ 로 측정되었다. 전체 측정결과는 표 3에 정리하였다.

IV. 결 론

본 논문은 두 개의 동일 구조 2:1 MUX가 최대 2.5Gb/s에서 output voltage swing이 $180mV_{p-p}$ 이상



(a)



(b)

그림 11. Pulse Pattern Generator(PPG) data를 입력 data pulse로 인가 (a) 1.25 Gb/s 출력파형 (b) 2.5 Gb/s 출력파형

Fig. 11. Output waveform of data from pulse pattern generator; (a) 1.25 Gb/s output waveform (b) 2.5 Gb/s output waveform.

에서 동작하도록 설계되었다. 제안된(proposed) 회로는 설계된 micro spiral inductor를 각 회로의 output load에 저항과 series로 연결하였으며, 그 성능을 일반(conventional)회로와 비교하였다. On wafer 측정을 통해 전자는 후자의 회로에 비해 output swing 주파수 특성이 개선됨을 확인하였지만, 두 회로 모두 output swing이 비교적 작다는 점은 단점으로 지적된다. 그러나 10개 이상의 micro inductor를 사용하고도 전체 chip size의 변화가 거의 없으면서 high frequency에 동작하도록 주파수 특성을 개선시켰다는 점은 이 연구의 가장 큰 특징이라고 말할 수 있다.

표 3. 측정결과

Table 3. Performance summary.

	Conventional 2:1 MUX	Proposed 2:1 MUX
Technology	$0.18\mu\text{m}$ CMOS, 1.8V	
Chip size of each IC	$0.850 \times 0.42\text{mm}^2$	$0.9 \times 0.45\text{mm}^2$
Function	2:1 MUX	
Output bit rate(Gb/s)	1.25Gb/s	2.5Gb/s
Output V_{p-p}	180mV	172mV
Rise time	186.56ps	201.12ps
Fall time	100.45ps	92.56ps
Current consumption	34mA	34mA
Power consumption	61.2mW	61.2mW

참 고 문 헌

- [1] A. Maxim, "A 3.3V 10Gb/s SiGe limiting transimpedance amplifier using a pseudo differential input and a limiting Cherry-Hooper stage" *Radio Frequency Integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*, pp. 313 - 316, June 2005.
- [2] D. Kehrer, and H.D. Wohlmuth and H. Knapp and M. Wurzer and A.L. Scholtz, "40Gb/s 2:1 multiplexer and 1:2 demultiplexer in 120nm CMOS" *ISSCC, Digest of Technical Papers*, pp. 344-345, 2003.
- [3] A. Telli and I.E. Demir and M. Askar, "Practical performance of planar spiral inductors" *ICECS 2004. Proceedings of the 2004 11th IEEE International Conference*, pp. 487 - 490, Dec. 2004.
- [4] R. Mohanavelu and P. Heydari, "A Novel Ultra High-speed Flip-flop-Based Frequency Divider Circuits and Systems" *Proceedings of the 2004 International Symposium*, vol. 4, pp. 169-172, May 2004.
- [5] T. Yamamoto and M. Horinaka and D. Yamazaki and H. Nomura and K. Hashimoto and H. Onodera, "A 43Gb/s 2:1 selector IC in 90nm CMOS technology" *Solid-State Circuits Conference, 2004. Digest of Technical Papers. 2004 IEEE*, pp. 238-239, Feb. 2004.
- [6] A. M. Niknejad and R.G. Meyer, "Analysis, design, and optimization of spiral inductors and transformers for Si RFICs" *Solid-State Circuits, IEEE Journal*, vol. 33, no 10, pp. 1470-1481, Oct. 1998.
- [7] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation" 2nd Ed., Wiley-Interscience, pp. 317-320, 2005.

저 자 소 개



김 선 중(학생회원)
2004년 서강대학교 전자공학과
공학사
2007년 서강대학교 전자공학과
공학석사
<주관심분야 : DLL, RFIC, Fiber
optical>



최 정 명(학생회원)
2006년 서강대학교 전자공학과
공학사
2006년 서강대학교 전자공학과
석사과정
<주관심분야 : DLL, RFIC, Fiber
optical>



범 진 육(정회원)
1987년 서울대학교 물리학과
이학사
1989년 미시간대학교 물리학
이학석사
1995년 코넬대학교 응용물리학
이학박사
1995년 ~ 1996년 코넬 대학교 박사 후 연구원
1996년 ~ 1998년 Bell Labs. PMTS
1998년 ~ 현재 서강대학교 전자공학과 조 · 부교수
<주관심분야 : RFIC, RFID, Remote Sensing>