

논문 2007-44SD-8-3

10MHz/77dB 다이내믹 영역을 가진 선형 가변 이득 증폭기

(10MHz/77dB dynamic range CMOS linear-in-dB variable gain amplifiers)

차진엽*, 여환석*, 김도형*, 범진욱**

(Jinyoup Cha, HwanSeok Yeo, Dohyung Kim, and Jinwook Burn)

요약

본 논문은 구조물 모니터링을 위한 광섬유 센서 시스템의 수신단 응용을 위한 CMOS 기반의 가변 이득 증폭기 집적회로 설계에 초점을 두고 있다. 차동증폭기와 선형 linear-in-dB 제어기를 사용한 3단 가변 이득 증폭기를 제시하였다. 제안된 가변 이득 증폭기는 전류의 비에 의해 증폭기의 이득이 linear-in-dB 하게 조절되는 일반적인 가변 이득 증폭기의 변형된 형태이다. 본 논문에서 제안된 가변 이득 증폭기는 1.5 dB의 간격으로 77 dB의 다이내믹 영역을 가졌다. 이득오차는 77 dB 다이내믹 영역에서 1.5 dB 이하를 얻었다. 동작범위는 10 MHz를 얻었으며, 단일 1.8 V 전압에서 13.8 mW의 전력소모 특성을 보였다. 이 가변 이득 증폭기는 Magnachip 사의 0.18 μm CMOS 공정을 사용하여 구현되었으며, 유효면적은 $430 \mu\text{m} \times 350 \mu\text{m}$ 이었다. 제안된 가변 이득 증폭기는 구조물 모니터링을 위한 광섬유 센서 시스템의 수신단에 적용이 가능하였다. 측정 결과에 따라 제안된 방법은 다이내믹 영역의 증대와 좋은 linear-in-dB 특성 관점에서 유효하였다.

Abstract

CMOS variable gain amplifier (VGA) IC designs for the structure monitoring systems of the telemetrics were developed. A three stage cascaded VGA using a differential amplifier and a linear-in-dB controller is presented. A proposed VGA is a modified version of a conventional VGA such that the gain is controlled in a linear-in-dB fashion through the current ratio. The proposed VGA circuit introduced in this paper has a dynamic range of 77 dB with 1.5 dB gain steps. It also achieved a gain error of less than 1.5 dB over 77 dB gain range. The VGA can operate up to 10MHz dissipating 13.8 mW from a single 1.8 V supply. The core area of the VGA fabricated in a Magnachip 0.18 μm standard CMOS process was about $430 \mu\text{m} \times 350 \mu\text{m}$. According to measurement results, we can verify that the proposed method is reasonable with regard to the enhancement of dynamic range and the better linear-in-dB characteristics.

Keywords : VGA(Variable gain amplifier), linear-in-dB, dynamic range, pseudo-exponential

I. 서론

가변이득 증폭기는 여러 가지 응용으로 널리 쓰이는데 이 중 통신 시스템에서 응용되는 경우 넓은 다이내믹 범위가 매우 중요하다. 넓은 다이내믹 범위를 만들 수 있는 가변이득 증폭기의 구조는 보통 2가지의 방법이 있다. 한 가지는 스위치를 이용하여 디지털 신호로

조절 가능한 연속적인 증폭단으로 이루어진 방법^[1]이고, 다른 한 가지는 아날로그 신호를 이용하여 가변적인 트랜스컨덕턴스와 저항을 사용하는 것이다^[2]. 두 가지 방법 중에서, 아날로그 방식이 단지 하나의 컨트롤 신호만으로 linear-in-dB 하게 이득을 조절 할 수 있기 때문에 간단하고 저전력 동작에 유리하다. 아날로그 방식의 가변이득 증폭기의 경우 이전까지는 exponential한 이득 조절이 바이폴라 트랜지스터의 exponential-law 특성을 통하여 이루어져왔다. CMOS 테크놀로지에서는 lateral 바이폴라 트랜지스터와 CMOS의 weak inversion 영역을 이용한 방법이 사용되고 있다. 그러나 이런 소자들의 주파수 응답과 입력 다이내믹 영역이 실제 가변이득 증폭기 구현에 있어서 좋지 못한 특성을

* 학생회원, ** 정회원, 서강대학교 전자공학과
(Dept. of Electronic Eng., Sogang University)

※ 본 논문은 산업자원부가 지원하는 국가연구개발사업인 “차세대성장동력기술개발사업”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년5월15일, 수정완료일: 2007년7월24일

나타내고 있다. CMOS 테크놀로지에서는 일반적인 CMOS를 사용한 pseudo-exponential 함수가 실제 구현에 있어서 더 많이 보고되고 있다.^[3-5] 그러나 pseudo-exponential 함수의 특성에 따라 CMOS 테크놀로지를 사용한 pseudo-exponential 가변이득 증폭기는 이상적인 exponential 함수와 비교하여 ± 2 dB 정도의 이득 오차와 약 50 dB 이하의 좁은 다이내믹 영역을 가진다. 때로는 CMOS를 사용한 가변이득 증폭기의 이득 오차가 크기 때문에 오차에 대한 결과가 언급조차 되지 않고 있다. 본 논문에서는 pseudo-exponential 방식을 이용하여 이득 조절에 있어서 넓은 동적 범위와 선형적인 컨트롤이 가능한 가변이득 증폭기에 대해서 설명한다. pseudo-exponential 함수는 linear-in-dB 컨트롤에 의해서 구현되며, 넓은 다이내믹 영역을 확보하기 위해서 트랜지스터 크기 비율 조절이 이용되었다.

II. 넓은 다이내믹 영역의 가변 이득 증폭기

1. 가변 이득 증폭기 (VGA) 구조

제안된 증폭기의 블록을 그림 1에 나타내었다. 가변 이득 증폭기는 세 개의 블록으로 구성된다. 첫 번째는 3단의 증폭기로 이루어진 증폭 단(gain cell)이고, 두 번째는 컨트롤 블록(Linear-in-dB Controller), 세 번째는 DC 오프셋을 제거하기 위한 블록(DC offset Cancellation)이다. 증폭 단은 컨트롤 블록에서 발생하는 신호에 의해서 선형적으로 이득을 조절할 수 있도록 이루어져 있다. 이전 방식의 가변 이득 증폭기와 제안된 가변 이득 증폭기를 그림 2와 그림 3에 나타내었다.

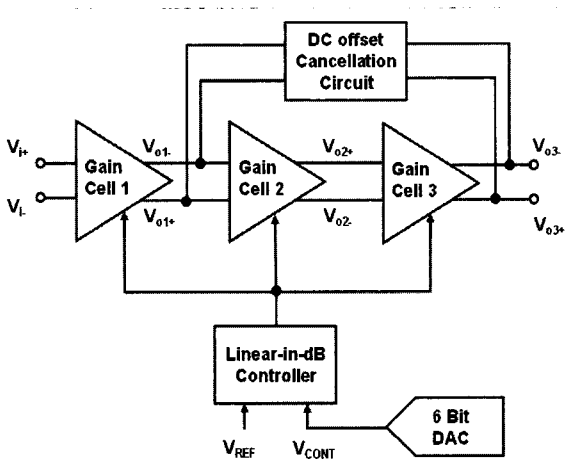


그림 1. 제안된 가변 이득 증폭기의 블록 다이어그램
Fig. 1. Block diagram of designed VGA.

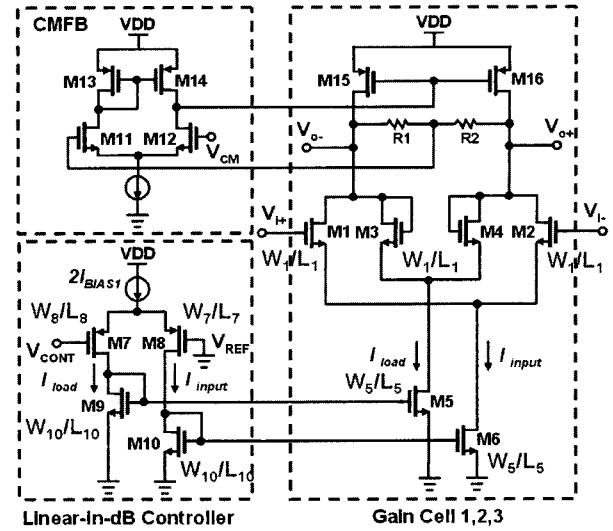


그림 2. 일반적인 가변 이득 증폭기
Fig. 2. Conventional VGA.

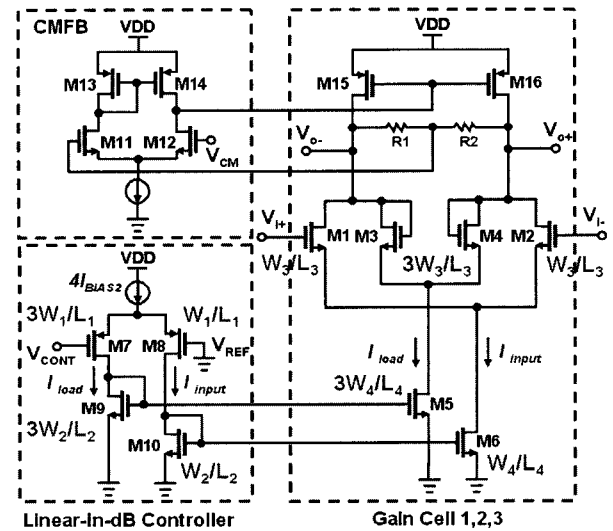


그림 3. 제안하는 가변 이득 증폭기
Fig. 3. Proposed VGA.

이러한 가변 이득 증폭기는 다이오드 로드를 가진 folded-source coupled pair로 이루어져 있다. 이전 방식의 가변 이득 증폭기에서 linear-in-dB 컨트롤러의 M7과 M8, 그리고 증폭 단(gain cell)에서의 M1-M4 트랜지스터는 같은 비율의 width와 length로 이루어져 있다. M7과 M8 트랜지스터는 $60 \mu\text{m}/0.5 \mu\text{m}$, M1-M4 트랜지스터는 $200 \mu\text{m}/0.3 \mu\text{m}$ 로 되어있다.

2. 제안하는 가변 이득 증폭기의 설계

(1) Linear-in-dB 컨트롤과 증폭 단의 설계

제안된 가변 이득 증폭기의 경우 로드(load)단의 트랜지스터 M3, M4는 입력(input)단의 트랜지스터인 M1, M2와 다른 사이즈로 설계되었다. 로드(load)트랜

지스터(M3과 M4)와 입력트랜지스터(M1과 M2) 사이의 크기 비율 $((W/L)_{load}/(W/L)_{input})$ 을 K 라 할 때 이 비율을 주의하여 결정해야 한다. 바이어스 트랜지스터인 M7과 M8 사이즈 역시 로드(load) 단 보다 입력(input)트랜지스터에 흐르는 전류의 K 배를 만들기 위해서 같은 비율인 K 배로 결정하고, 그 결과 로드(load) 단과 입력(input)단에 흐르는 전류는 $I_{load}=KI_{input}$ 이 된다. 그림 3에서 입력단과 로드단을 통해서 흐르는 전류의 합은 $(K+1)I_{BIAS}$ 가 되고, M1과 M3를 통해서 흐르는 전류는 각각 $I_{BIAS}+I_{control}$, $KI_{BIAS}-I_{control}$ 이 된다. 이때 I_{BIAS} 는 M1을 통해서 흐르는 DC 바이어스 전류가 된다. 일반적인 가변 이득 증폭기의 경우에는 제안된 가변 이득 증폭기의 $K=1$ 인 특별한 경우이다. 제안된 경우에 대해 이득의 다이내믹 범위를 유도하고 K 값이 변할 경우에 대해서 비교를 해 볼 것이다. M15와 M16의 출력저항을 무시하고 제안된 가변 이득 증폭기의 이득(gain)은 다음과 같다.

$$\begin{aligned} gain &= \frac{g_{m1}}{g_{m2}} = \sqrt{\frac{\mu C_{ox} (W/L)_{input} I_{input}}{\mu C_{ox} (W/L)_{load} I_{load}}} \\ &= \sqrt{\frac{(W/L)_{input} (I_{BIAS} + I_{CONTROL})}{(W/L)_{load} (KI_{BIAS} - I_{CONTROL})}} \quad (1) \\ &= \sqrt{\frac{1}{K} \frac{1+x}{K-x}} \cong \frac{1}{K} e^{\frac{1+K}{2K}x} \end{aligned}$$

여기서 I_{BIAS} 는 DC 바이어스 전류이고, $I_{CONTROL}$ 은 각각의 바이어스 트랜지스터인 M7과 M8에서 컨트롤 바이어스(그림 1. V_{CONT})에 의해서 조절되는 전류이다. 변수 x 는 $I_{CONTROL}$ 과 I_{BIAS} 의 비이며, $V_{CONT} > 0$ 이기 때문에 $0 < x < 1$ 사이의 값이 된다. 그 결과 식 (1)에서 이득은 $x=0$ 일 때($V_{CONT}=0$) $1/K$ 에서 x 가 K 에 근접할 때($V_{CONT} \approx V_{DD}$) 무한대 까지 변화하게 된다. 그러나 트랜지스터 M15와 M16 출력 저항 값은 로드 전류가 제로일 때의 로드 저항이 되므로 이득이 무한대 까지 증가하지는 않는다. PMOS current mirror M15와 M16의 출력저항 (output resistance) $r_{o,M15}$ 와 $r_{o,M16}$ 이 같다고 가정한다면, 로드 저항이 R_L 일 경우 최대 이득($gain_{max}$)은

$$\begin{aligned} gain_{max} &= g_{m1}(r_{o,M15} \parallel R_L) \\ &= (r_{o,M15} \parallel R_L) \sqrt{\mu C_{ox} \left(\frac{W}{L}\right)_{input} I_{input}} \quad (2) \\ &\approx R_L \sqrt{\mu C_{ox} \left(\frac{W}{L}\right)_{input} (K+1)I_{BIAS}} \end{aligned}$$

가 된다. 여기서 $r_{o,M15}$ 는 R_L 보다 매우 크다고 가정 한다. 식 (2)에서의 최대 이득과 최소 이득인 $(1/K)$ 의 비로 정해지는 다이내믹 영역(dynamic range)는

$$\frac{gain_{max}}{gain_{min}} = KR_L \sqrt{\mu C_{ox} \left(\frac{W}{L}\right)_{input} (K+1)I_{BIAS}} \quad (3)$$

이 된다. 주어진 $(W/L)_{input}$ 그리고 I_{BIAS} 에 대해서 다이내믹 영역(dynamic range)은 K 값이 증가함에 따라서 증가하게 된다. 그러므로 다이내믹 영역은 큰 값의 K 를 선택함에 따라서 개선시킬 수 있다. 하지만 식 (1)에서 이득은 K 값이 커짐에 따라 줄어든다. 설계 시에 44 dB 이상의 이득을 얻기 위해서 트랜지스터의 사이즈 비율 3배로 결정했다(그림 3). 가변 이득 증폭기의 다이내믹 영역을 증가시키기 위해서 linear-in-dB 컨트롤러에서 M7 트랜지스터의 (W/L) 비율을 M8 트랜지스터 보다 같은 비율(3배)로 크게 하였다. 또한 게인 셀(gain cell)에서 M3과 M4의 트랜지스터 크기 비율 역시 M1과 M2의 트랜지스터 보다 약 3배정도 크게 하였다. 다른 트랜지스터의 사이즈는 일반적인 가변이득 증폭기의 트랜지스터 비율과 동일하게 하였다.

(2) 오프셋 상쇄 회로 설계

그림 4에서와 같이 가변 이득 증폭기는 기본적으로 차동 증폭기로 구성되어 있기 때문에 디바이스 mismatch등의 이유로 인한 오프셋이 발생하게 되는데, 이를 제거하기 위한 루프로 구성되어 있다. 이 회로는 active feedback 구조로서 출력의 DC 성분을 피드백 하

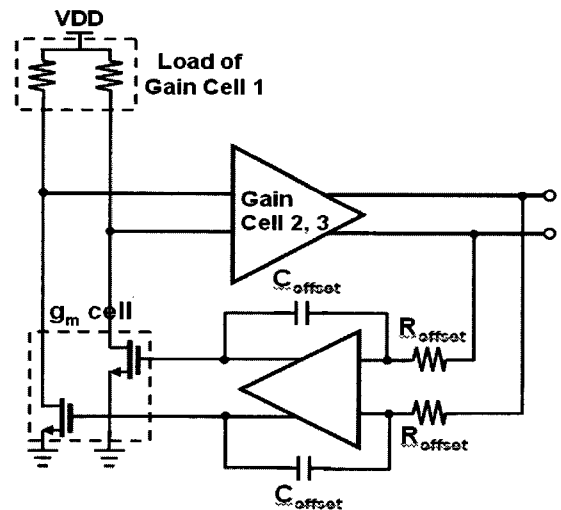


그림 4. 오프셋 제거 루프

Fig. 4. Offset cancellation loop.

여 입력으로 가하게 된다. 게인 셀(gain cell) 차동출력의 DC 전압 차이는 밀러 적분기(integrator)에 의해서 감지되고, 트랜스컨덕터 드라이빙 단(transconductor driving stage)에 의해서 게인 셀(gain cell) 1의 출력 DC 전압을 변화시킨다. 후자의 경우는 노이즈 특성을 감쇄시키지 않기 위해서 매우 낮은 트랜스컨덕턴스 특성을 갖게 하였다. 밀러 적분기의 주파수 $1/(R_{offset}C_{offset})$ 은 39KHz로 정하였다. 이 때 사용한 캐패시터와 저항의 값은 각각 40pF과 100KΩ 이다. 사용된 캐패시터는 MIM(metal-insulator-metal) capacitor이며, 저항과 함께 칩 내부에 구현되었다.

III. 시뮬레이션 및 측정 결과

설계된 칩은 마그나칩 0.18 μm 공정을 사용하여 제작되었다. 코어의 면적은 430 μm × 350 μm 이다. 측정은 On-wafer 측정 방식으로 이루어졌다. 그림 5는 제작된 칩의 레이아웃이다. 그림 6은 10MHz에서 제안된 가변 이득 증폭기와 일반적인 가변 이득 증폭기의 컨트롤 전압에 따른 다이내믹 영역의 시뮬레이션 결과와 측정 결과를 보여준다. 그림 6에서의 측정 결과는 제안된 경우 가변 이득 증폭기의 다이내믹 영역(dynamic range)은 77 dB 로 일반적인 경우의 가변 이득 증폭기와 비교하여 약 20 dB정도의 동적영역(dynamic range)을 더 확보 하였다. 측정 결과와 시뮬레이션 결과가 정확하게 일치 하지 않는 이유는 이득이 작은 부분에서 불일치가 큰 점에서 작은 이득을 측정하는 오차가 원인

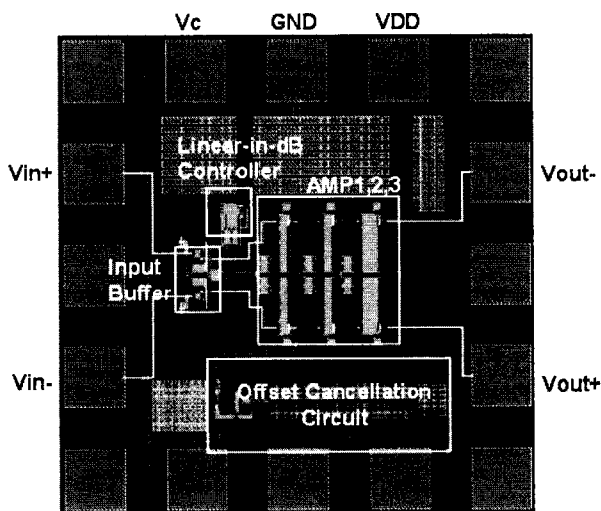


그림 5. 제작된 linear-in-dB 가변이득 증폭기의 레이아웃

Fig. 5. The layout of proposed linear-in-dB VGA.

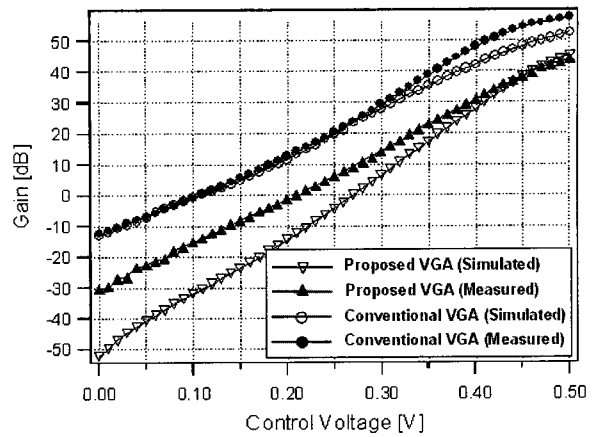


그림 6. 제안된 가변 이득 증폭기와 일반적인 가변 이득 증폭기의 컨트롤 전압에 따른 다이내믹 영역의 시뮬레이션 결과 및 측정 결과

Fig. 6. Simulation and Measured dynamic range of proposed and conventional VGA.

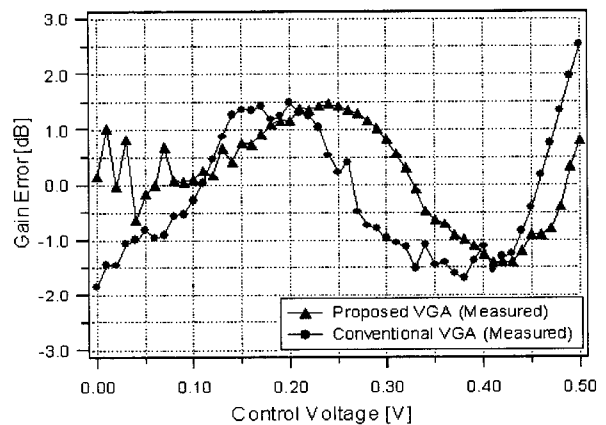


그림 7. 제안된 가변 이득 증폭기와 일반적인 가변 이득 증폭기의 컨트롤 전압에 따라 측정된 이득 오차

Fig. 7. Measured gain error of proposed and conventional VGA.

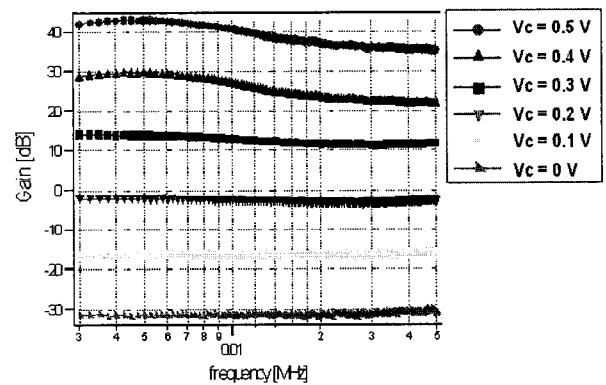


그림 8. 컨트롤 전압 (Vc)의 변화에 따른 제안된 가변 이득 증폭기의 측정된 주파수 응답

Fig. 8. Measured frequency response of proposed VGA according to the control voltage(Vc).

일 수 있다. 또한 M3-M10의 디바이스의 mismatch 역시 시뮬레이션과 측정결과 사이의 오차를 발생시킨다. Mismatch로 인하여 컨트롤 전류 I_{load} 는 시뮬레이션 상에서 보다 실제 측정 시에 더 증가 할 수 있다. 그러므로 실제 측정된 다이내믹 범위는 시뮬레이션 결과와 비교해서 약 10 dB 정도 감소하였다. 이득의 오차는 그림 7에서 나타났다. 측정된 이득 오차는 77 dB의 이득 조절 범위 내에서 1.5 dB 이내이다. 그림 8은 고정된 6개의 컨트롤 전압에 대해서 측정된 주파수 응답 곡선을 보여준다. 최대 이득을 가질 때 제안된 가변 이득 증폭기의 측정된 3-dB bandwidth는 11.7 MHz 이다. 이득이 줄어들수록 3-dB bandwidth는 늘어나게 된다.

그림 9에서는 고정된 컨트롤 전압에서 1 dB Compression Point (P_{1dB})의 시뮬레이션 된 값과 측정

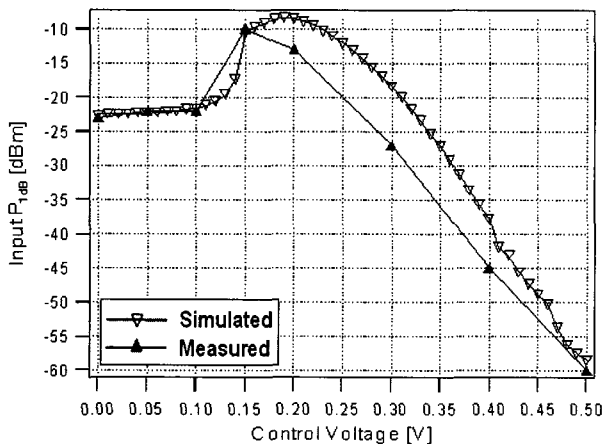


그림 9. 제안된 가변 이득 증폭기의 입력 P_{1dB} 시뮬레이션 및 측정결과

Fig. 9. Simulation and measured input P_{1dB} of proposed VGA.

표 1. 기존 가변 이득 증폭기와 새롭게 제안된 가변이득 증폭기와 비교

Table 1. Please put the title of table here. Please put the title of table here.

Property	2000 JSSCC	2003 VLSI	1996 JSSCC	1998 ISCAS	2003 ESSC	This work
Technology [μ m]	BiCMOS 0.5	BiCMOS 0.5	CMOS 0.5	CMOS 0.5	CMOS 0.18	CMOS 0.18
Frequency [MHz]	50-500	50	15	150	380	10
Dynamic Range [dB]	-35~43	-39~59	-2~12	-5~10	-30~43	-33~44
Gain error [dB]	$<\pm 2$	$<\pm 0.5$	-	-	$<\pm 2$	$<\pm 1.5$
Input P1dB [dBm]	-18	-15	-	-	-18.6	-10
NF [dB]	5(@50 Ω)	4.9	-	-	5(@50 Ω)	-
VDD [V]	3.0	3	5	3.3	1.8	1.8
Power [mW]	36	36	25	12.5	18	13.8

된 값을 비교하였다. 1 dB Compression Point의 시뮬레이션과 측정은 입출력에 50 Ω 의 임피던스를 연결한 상태에서 진행되었다. 제안된 가변이득 증폭기의 최대 입력 P_{1dB} 는 -10 dBm으로 약 -10 dB (컨트롤전압 0.15 V)의 이득을 갖는 영역에서 측정되었다. 입력 신호를 기준으로 하는 P_{1dB} 의 경우 이득이 증가할수록 감소하게 된다. 이 같은 경향은 그림 9에서 0.15 V이상의 컨트롤 전압에서 확인할 수 있는데, 이는 이득이 클수록 출력 단에서의 swing이 증가하며 큰 swing에서 non-linear 특성이 커지기 때문이다. 이득이 작은 부분에서 (컨트롤 전압 0-0.1 V)에서 입력 P_{1dB} 가 크지 않은데 이는 증폭 단(gain cell)의 로드(load)에 많은 전류가 흐르고 그 결과 로드의 다이오드특성이 우세하기 때문이다. 그 결과로 최대 P_{1dB} 는 다이오드 특성이 감소하고 이득이 충분히 크지 않은 -10 dB에서 나타나게 되었다.

제안된 가변 이득 증폭기의 성능을 표 1에서 이전에 다른 설계들과의 비교를 나타내었다. 제안된 가변이득 증폭기는 pseudo-exponential 구조 중에서 가장 넓은 다이내믹 영역(dynamic range)을 가지는 것을 알 수 있다.

IV. 결론

다이내믹 영역(dynamic range)을 증가시키기 위해 기존의 가변 이득 증폭기의 구조를 개선한 새로운 형태의 가변 이득 증폭기를 설계 제작하였다. CMOS 0.18 μ m 공정을 통해서 제작된 가변 이득 증폭기의 측정 결과 77 dB의 넓은 다이내믹 영역과 1.5 dB 이내의 이득 오차를 얻었다. 제안된 구조의 77 dB의 다이내믹 영역은 기존구조의 가변이득증폭기에 비해 20 dB 개선된 값이다. 가변이득 증폭기의 면적은 패드를 포함하여 430 μ m \times 350 μ m이다. 1.8V 전원전압에서 7.7mA의 전류를 소모한다.

참고 문헌

[1] F. Piazza, P. Orsatti, Q. Huang, and H. Miyakawa, "A 2-mA 3-V 71-MHz IF amplifier in 0.4 μ m CMOS programmable over 80-dB range," *ISSCC Dig. Tech. Papers*, pp. 78-79, Feb 1997.

[2] G. S. Sahota and C. J. Persico, "High dynamic range variable-gain amplifier for CDMA wireless applications," *ISSCC Dig. Tech. Papers*, pp.

374-375, Feb 1997.

[3] CHANG, C.-C., and LIU, SA, "Pseudo-exponential function for MOSFETs in saturation," *IEEE Trans. Circuits Syst*, pt 11, vol. 47, no. 11, pp. 1318-1321, 1996.

[4] K. Bult and H.Wallinga, "A class of analog CMOS circuits based on the square-law characteristics of an MOS transistor in saturation," *IEEE J. Solid-State Circuits*, vol. SSC-22, pp. 357-364, June 1987.

[5] CHI-Hung Lin, Pimenta, T., Lsmail, M, "Universal exponential function implementation using highly-linear CMOS V-I converters for dB-linear (AGC) applications," *Circuits and Systems, 1998. Proceedings, 1998 Midwest Symposium on*, pp. 360-363, 9-12 Aug 1998.

저 자 소 개



차 진 엽(학생회원)
 2006년 서강대학교 전자공학과
 공학사
 2006년~현재 서강대학교
 전자공학과 석사과정
 <주관심분야 : RFIC, Analog
 front-end>



여 환 석(학생회원)
 2003년 서강대학교 전자공학과
 공학사
 2005년 서강대학교 전자공학과
 공학석사
 <주관심분야 : RFIC, 고속통신회
 로>



김 도 형(학생회원)
 1998년 서강대학교 전자공학과
 공학사
 2001년 서강대학교 전자공학과
 공학석사
 2002년~현재 서강대학교
 전자공학과 박사과정
 <주관심분야 : RFIC, 고속통신 회로>



범 진 옥(정회원)
 1987년 서울대학교 물리학과
 이학사
 1989년 미시간대학교 물리학
 이학석사
 1995년 코넬대학교 응용물리학
 이학박사
 1995년~1996년 코넬 대학교 박사 후 연구원
 1996년~1998년 Bell Labs. PMTS
 1998년~현재 서강대학교 전자공학과 조·부교수
 <주관심분야 : RFIC, RFID, Remote Sensing>