논문 2007-44SD-8-1

고주파 응용을 위한 AB급 바이폴라 선형 트랜스컨덕터들의 설계

(Design of class AB Bipolar Linear Transconductors for High Frequency Applications)

정 원 섭*, 손 상 희*

(Won-Sup Chung and Sang-Hee Son)

요 약

고주파 응용을 위한 AB급 바이폴라 선형 트랜스컨덕터들을 제안한다. 이들 트랜스컨덕터는 전압 폴로워, 저항기, 그리고 전류 폴로워로 구성된다. 폴로워 회로들은 트랜스리니어 셀들로 실현되기도 하고, 단위-이득 버퍼들로 실현되기도 한다. 제안된 트랜스컨덕터들은 8 GHz 바이폴라 트랜지스터-어레이 파라미터를 이용하여 SPICE 시뮬레이션 되었다. 시뮬레이션 결과는, 트랜스리니어 셀들을 이용한 트랜스컨덕터가 단위-이득 버퍼들을 이용한 그것보다 더 좋은 선형성을 가지는데 반해, 후자는 전자보다 더 좋은 온도 특성과 더 높은 입력 저항을 가진다는 것을 보여준다. 제안된 트랜스컨덕터들의 실용성을 검증하기 위하여, 이들 트랜스컨덕터로 중간 주파수(IF) 대역의 4차 대역-통과 여파기를 구현하였다.

Abstract

Class AB bipolar linear transconductors for high frequency applications are proposed. They consist of a voltage follower, a resistor, and a current follower. The follower circuits are realized by translinear cells or unity-gain buffers. The proposed transconductors are simulated using an 8 GHz bipolar transistor-arrary parameter. Simulation results show that the transconductor using translinear cells has better linearity than one using unity-gain buffers whereas the latter has better temperature stability and higher input resistance than the former. In order to test their high frequency applicability, the transconductors are used to implement an 4th order IF bandpass filter.

Keywords: Linear Transconductor, Transconductance amplifier, Grounded Inductor, IF Bandpass Filter

I. 서 론

선형 트랜스컨덕턴스 증폭기 (transconductance amplifier) 또는 선형 트랜스컨덕터 (transconductor)는 고주파 증폭기, 여파기, 그리고 발진기 등의 설계에 매우 유용하게 사용되는 기본 회로이다[1-3]. 근래에 와서는 트랜스컨덕터가 CDMA 등의 무선 휴대폰에 들어가는 중간 주파수 대역의 여파기 실현에 적극적으로 활용되고 있다[4-8].

현재, 선형 트랜스컨덕터를 설계함에 있어서 주로 사용되는 방법은 A급 증폭기인 차동쌍을 이용하는 방법이다. 차동쌍을 이용하여 설계된 트랜스컨덕터들은 좋은 선형 특성과 온도 특성을 가지는 장점이 있다[9-11]. 하지만, 차동쌍을 이용한 트랜스컨덕터는 회로 구성이 복잡하고, 대역폭이 상대적으로 낮다는 단점을 가지고 있다. 특히, 넓은 대역폭을 얻기 위해서는 큰 값의 바이어스 전류가 요구되고, 이에 따라 소비전력이 증가하는 문제를 안고 있다.

본 논문은 회로 구성이 간단하고 대역폭이 넓으면서 선형성과 온도 특성이 좋은 고주파 선형 트랜스컨덕터를 체계적으로 설계하기 위한 두 가지 새로운 방안을 제안한다. 이 방안에서는 기존의 연구에서와는 달리, 전압 폴로워(voltage follower)와 전류 폴로워(current

* 정회원, 청주대학교 전자정보공학부
(School of Electronics and Information Engineering Cheongju University)
접수일자: 2007년1월31일, 수정완료일: 2007년6월18일

follower)를 이용하여 AB급 선형 트랜스컨덕터를 설계한다. 설계된 트랜스컨덕터들의 고주파 적응성을 검증하기 위해, 이 트랜스컨덕터들을 이용하여 4차 대역-통과 여파기를 구현한다.

Ⅱ. 회로 구성 및 동작 원리

본 논문에서 제안한 선형 트랜스컨덕터의 블록도를 그림 1에 나타내었다. 제안한 선형 트랜스컨덕터는 전압을 전류로 변환시키기 위한 전압 폴로워와 저항기 R, 그리고 전류를 출력으로 전달하기 위한 전류 폴로워로 구성된다. 일반적으로 전압 폴로워와 전류 폴로워가 넓은 주파수 대역을 가진다는 것은 이미 잘 알려진 사실이다. 따라서 이 방안에 의거하여 설계된 회로들 역시 넓은 대역폭을 가질 것이다.

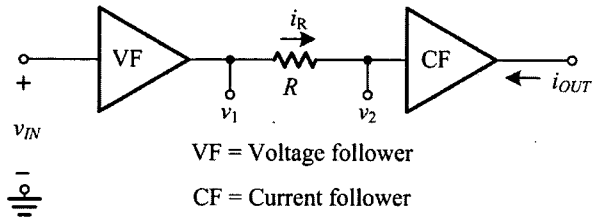

그림 1. 제안한 트랜스컨덕터의 블록도
Fig. 1. The block diagram of the proposed transconductor.

1. 트랜스리니어 셀을 이용한 AB급 선형 트랜스컨덕터

그림 2는 트랜스리니어 셀(translinear cell: TLC)을 이용하여 설계한 AB급 선형 트랜스컨덕터의 회로도를 나타낸 것이다. 트랜스컨덕터는 두 개의 트랜스리니어 셀과 여섯 개의 전류 미러(current mirror)로 구성된다. 트랜지스터 $Q_1 \sim Q_4$로 구성된 첫 번째 트랜스리니어 셀과 두 개의 바이어스 전류 I_B는 전압 폴로워를 형성한다. 트랜지스터 $Q_7 \sim Q_{10}$로 구성된 두 번째 트랜스리니어 셀과 두 개의 바이어스 전류 I_B는 두 개의 전류 미러(Q_{11}과 Q_{12}, 그리고 Q_{13}과 Q_{14}로 각각 구성된)와 함께 전류 폴로워를 형성한다. 같은 타입의 모든 트랜지스터들의 특성이 동일하다고 가정한 후에, 입력 전압원, Q_1, Q_2, Q_7 및 Q_8의 4개의 베이스-이미터 접합, 그리고 저항기 R로 구성되는 루프 주위의 전압들을 더하면, 다음 식을 얻을 수 있다.

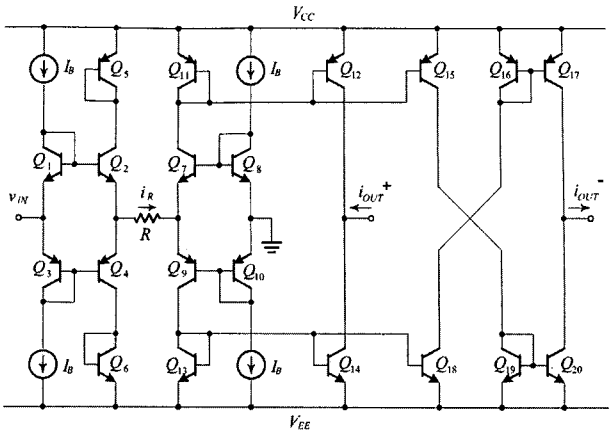

그림 2. 트랜스리니어 셀을 이용한 AB급 선형 트랜스컨덕터의 회로도
Fig. 2. The circuit diagram of the class AB linear transconductor using translinear cells.

$$-v_{IN}-v_{BE1}+v_{BE2}+i_R R-v_{BE7}+v_{BE8}=0 \quad (1)$$

따라서 전류 i_R은 다음과 같이 나타내어진다.

$$i_R = \frac{1}{R}\left(v_{IN}+V_T\ln\frac{k_N I_B}{I_{SN}}-V_T\ln\frac{k_N I_B}{I_{SN}}+V_T\ln\frac{k_N I_B}{I_{SN}}-V_T\ln\frac{k_N I_B}{I_{SN}}\right) = \frac{v_{IN}}{R} \quad (2)$$

여기서,

V_T = 열 전압

$k_N = \dfrac{\beta_N}{\beta_N+2}$

β_N = *npn* 트랜지스터의 공통-이미터 전류 이득

I_{SN} = *npn* 트랜지스터의 포화 전류

이다. 저항기에 흐르는 전류 i_R은 두 개의 전류 미러와 함께 전류 폴로워를 형성하는 두 번째 트랜스리니어 셀로 들어간다. 따라서 전류 i_R은 트랜스컨덕터의 비반전 출력 단자에 나타나고, 반전 출력 단자에는 i_R의 반전된 형태가 제공된다.

그림 3은 설계된 트랜스컨덕터의 회로 기호를 나타낸 것이다. 회로 기호에 표시된 트랜스컨덕터의 출력전류는 다음과 같다.

$$i_{OUT}^+ = G_m v_{IN}$$
$$i_{OUT}^- = -G_m v_{IN} \quad (3)$$

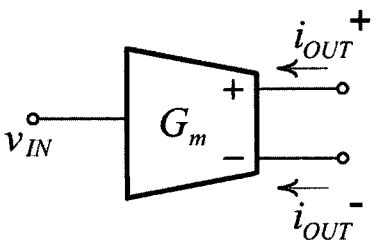

그림 3. 제안한 트랜스컨덕터의 기호
Fig. 3. The symbol of the proposed transconductors.

여기서, 트랜스컨덕턴스 이득 G_m은 $1/R$로 주어진다. 식 (3)을 유도함에 있어 수학적인 근사를 하지 않았다는 점과, 결과 식에 온도에 대한 항이 전혀 나타나지 않았다는 점에 주목할 필요가 있다. 이는 설계된 트랜스컨덕터의 온도 특성이 우수하리라는 것을 예상하게 한다.

트랜스컨덕터의 입력 선형 범위는 다음의 식과 같이 제한된다.

$$V_{EE}+V_{EB}+V_{ECsat} \le v_{IN} \le V_{CC}-V_{BE}-V_{CEsat} \quad (4)$$

여기서 V_{ECsat}(또는 V_{CEsat})은 *pnp*(또는 *npn*)트랜지스터가 활성 영역에서 동작하는 데 요구되는 V_{EC}(또는 V_{CE})의 최소값을 나타낸다.

2. 단위-이득 버퍼를 이용한 AB급 선형 트랜스컨덕터

그림 4는 단위-이득 버퍼(unity-gain buffer: UGB)를 이용하여 설계한 AB급 선형 트랜스컨덕터의 회로도를 나타낸 것이다. 제안한 트랜스컨덕터는 두 개의 단위-이득 버퍼와 여섯 개의 전류 미러로 구성된다. 트랜지스터 $Q_1 \sim Q_4$로 구성된 첫 번째 단위-이득 버퍼와 두 개의 바이어스 전류 I_B는 전압 폴로워를 형성한다. 트랜지스터 $Q_7 \sim Q_{10}$로 구성된 두 번째 단위-이득 버퍼와 두 개의 바이어스 전류 I_B는 두 개의 전류 미러(Q_{11} 과 Q_{12}, 그리고 Q_{13}과 Q_{14}로 각각 구성된)와 함께 전류 폴로워를 형성한다. 같은 타입의 모든 트랜지스터들의 특성이 동일하다고 가정한 후에, 입력 전압원, Q_1, Q_2, Q_7 및 Q_8의 4개의 베이스-이미터 접합, 그리고 저항기 R로 구성되는 루프 주위의 전압들을 더하면, 다음 식을 얻을 수 있다.

$$-v_{IN}-v_{EB1}+v_{BE2}+i_R R-v_{BE7}+v_{EB8}=0 \quad (5)$$

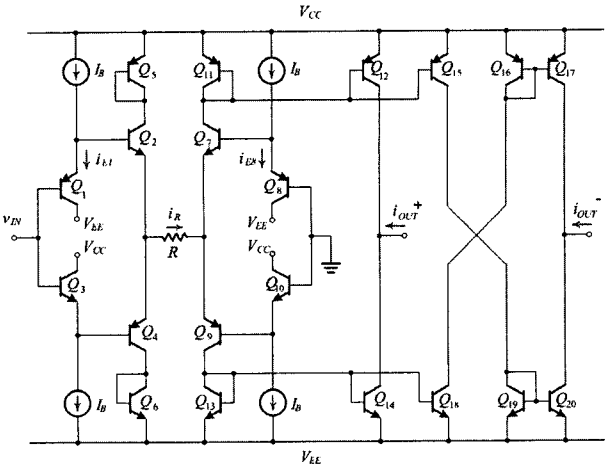

그림 4. 단위-이득 버퍼를 이용한 AB급 선형 트랜스컨덕터의 회로도
Fig. 4. The circuit diagram of the class AB linear transconductor using unity-gain buffers.

따라서 전류 i_R은 다음과 같이 나타내어진다.

$$i_R=\frac{1}{R}\left(v_{IN}+V_T\ln\frac{i_{E1}}{i_{E8}}-V_T\ln\frac{1-\dfrac{i_{E1}}{I_B}}{1-\dfrac{i_{E8}}{I_B}}\right) \quad (6)$$

i_{E1}과 i_{E8}은 I_B보다 작기 때문에 식 (6)은 다음과 같이 근사화 될 수 있다.

$$i_R=\frac{1}{R}\left[v_{IN}+V_T\ln\frac{i_{E1}}{i_{E8}}+2V_T\left(\frac{i_{E1}-i_{E8}}{I_B}\right)\right] \quad (7)$$

만약 트랜지스터들의 전류 이득(β)이 매우 크다면, $i_{E1} \cong i_{E8} \cong I_B$가 되고, 따라서 식 (7)은 $i_R \cong v_{IN}/R$로 간단해질 것이다. 전류 i_R은 두 번째 단위-이득 버퍼로 전달되고 전류 미러를 통해 최종적으로 출력된다.

단위-이득 버퍼를 이용한 트랜스컨덕터의 기호도는 트랜스리니어 셀을 이용한 것과 마찬가지로 그림 3과 같으며, 최종 출력 전류 식은 다음과 같다.

$$\begin{aligned} i_{OUT}^+ &= G_m v_{IN} \\ i_{OUT}^- &= -G_m v_{IN} \end{aligned} \quad (8)$$

여기서 G_m은 트랜스리니어 셀을 이용한 것과 같은 $1/R$로 주어진다. 단위-이득 버퍼를 이용한 트랜스컨덕터의 입력 선형 범위 역시 트랜스리니어 셀을 이용한 트랜스컨덕터의 입력 선형 범위인 식 (4)와 같다.

설계된 두 트랜스컨덕터들의 주파수 응답은 공통-컬렉터로 연결된 트랜지스터 Q_2(또는 Q_4)와 공통-베

이스로 연결된 트랜지스터 Q_7(또는 Q_9)에 의해서 결정된다. 따라서 이 트랜스컨덕터들은 밀러 효과(Miller effect)의 영향을 받지 않는다. 이것은 두 트랜스컨덕터의 주파수 특성이 밀러 효과의 영향을 받는 차동쌍을 기초로 한 기존의 트랜스컨덕터의 그것보다 우수하다는 것을 의미한다.

Ⅲ. 시뮬레이션 결과

그림 2와 그림 4에서 보인 트랜스컨덕터들을 8 GHz Tektronix SHPI 바이폴라 트랜지스터 어레이 파라미터를 이용하여 SPICE 시뮬레이션 하였다[12]. 시뮬레이션에 사용된 전류 전원 I_B는 간단한 전류 미러(simple current mirror)와 저항기로 이루어져 있다. 모든 시뮬레이션에서 공급기 전압 V_{CC}와 V_{EE} 는 각각 2 V와 -2 V로 설정하였다.

그림 5와 그림 6은 트랜스리니어 셀과 단위-이득 버퍼를 이용한 선형 트랜스컨덕터의 직류 전달 특성과 선형 오차를 각각 나타낸 것이다. 시뮬레이션에서 저항 R과 바이어스 전류 I_B는 각각 1 kΩ과 660 μA로 설정하였다. 트랜스컨덕턴스를 1 mS (G_m = 1 mS)로 설정하였을 때, 두 트랜스컨덕터의 선형 범위는 모두 ±1 V 이상이었다. 선형 오차는 트랜스리니어 셀을 이용한 트랜스컨덕터가 0.7% 미만으로 약 1.1% 정도를 보인 단위-이득 버퍼를 이용한 트랜스컨덕터보다 우수한 특성을 보였다.

그림 7은 두 트랜스컨덕터의 온도 특성을 각각 비교한 것이다. 단위-이득 버퍼를 이용한 트랜스컨덕터의

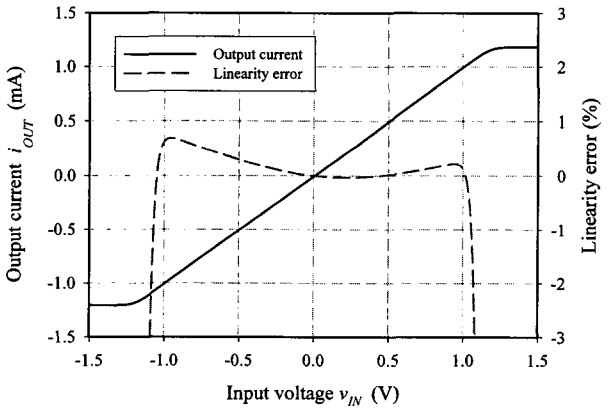

그림 5. 트랜스리니어 셀을 이용한 트랜스컨덕터의 직류 전달 특성과 선형 오차

Fig. 5. DC transfer characteristic and linearity error of the transconductor using translinear cells.

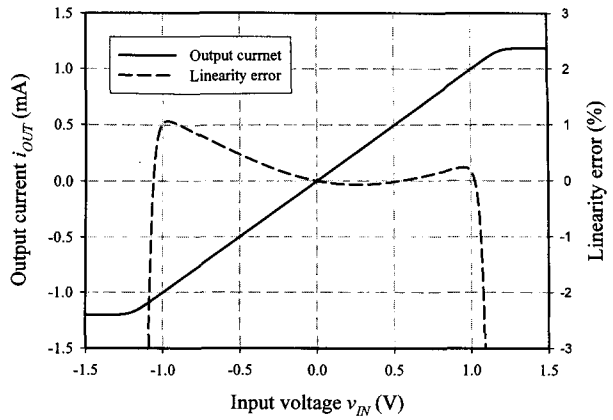

그림 6. 단위-이득 버퍼를 이용한 트랜스컨덕터의 직류 전달 특성과 선형 오차

Fig. 6. DC transfer characteristic and linearity error of the transconductor using unity-gain buffers.

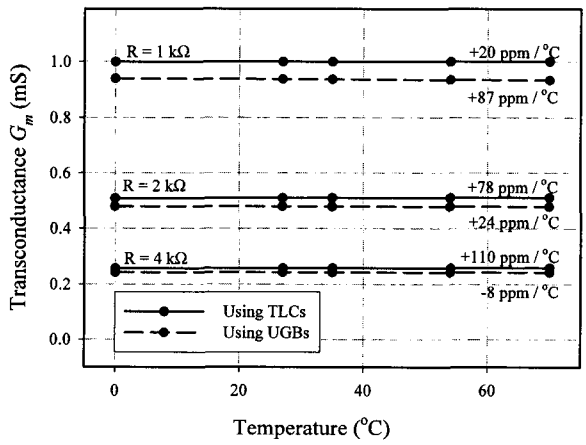

그림 7. 두 트랜스컨덕터의 온도 특성

Fig. 7. Temperature characteristics of two transconductors.

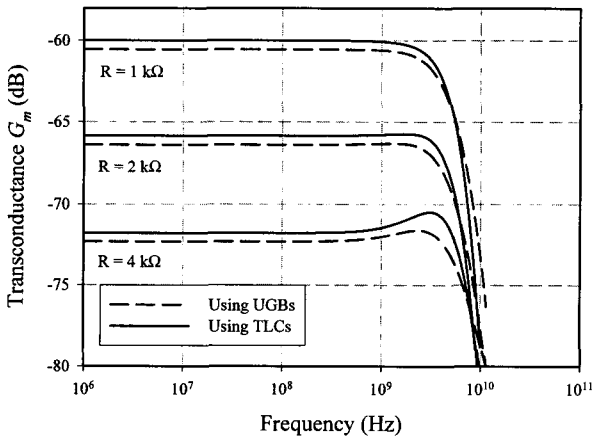

그림 8. 저항 R의 변화에 대한 두 트랜스컨덕터의 주파수 특성

Fig. 8. Frequency responses of two transconductors with R as parameter.

표 1. 두 트랜스컨덕터의 시뮬레이션 특성들
Table 1. Simulation characteristics of two transconductors.

	조건 및 범위	트랜스리니어 셀 사용	단위-이득 버퍼 사용
선형범위	공급전압 @±2 V	±1 V 이상	±1 V 이상
선형오차	선형범위 @±1 V	±0.75 %	±1.13 %
-3-dB 주파수		4.55 GHz	4.64 GHz
온도특성	@0~70℃	최고 110 ppm/℃	최고 87 ppm/℃
PSRR(+)		(10.4 MHz) 31dB (85 MHz) 13dB	(2.1 MHz) 32dB (85 MHz) 13dB
PSRR(-)		(10.4 MHz) 32dB (85 MHz) 16dB	(2.1 MHz) 33dB (85 MHz) 16dB
입력저항		(13 MHz) 15.3kΩ (85 MHz) 2.39kΩ	(2.1 MHz) 613kΩ (85 MHz) 15.2kΩ
소비전력		23.381 mW	24.855 mW

출력 전류 온도 특성은 +87 ppm/℃ 미만으로 +110 ppm/℃의 트랜스리니어 셀을 이용한 트랜스컨덕터의 온도 특성보다 우수하지만, 트랜스컨덕턴스 값 자체의 오차가 생긴다는 것을 확인할 수 있다. 이는 단위-이득 버퍼를 이용한 트랜스컨덕터의 트랜스컨덕턴스를 구하는 과정에서 근사화가 적용된 결과이다.

두 트랜스컨덕터의 저항 R에 대한 주파수 특성을 그림 8에 나타내었다. 두 트랜스컨덕터 모두 저항 R의 변화에 대하여 4.5 GHz 이상의 -3-dB 주파수를 가진다는 것을 보여준다. 이 주파수는 차동쌍을 이용한 트랜스컨덕터들보다 두 배 정도 높은 주파수이다[5]. 두 트랜스컨덕터의 성능을 표 1에 정리하여 나타내었다.

Ⅳ. IF 대역-통과 여파기

설계된 두 트랜스컨덕터의 실용성을 검증하기 위하여, 중간 주파수(intermediate frequency : IF) 대역의 4차 대역-통과 여파기(bandpass filter : BPF) 구현에 두 트랜스컨덕터를 각각 이용하였다. 그림 9는 제안한 트랜스컨덕터들을 이용한 2차 중간주파 대역-통과 여파기의 회로도이다. 이 여파기에서 두 개의 동일한 트랜스컨덕터와 한 개의 접지된 커패시터 C가 접지된 능동 인덕터를 구성한다. 대역-통과 여파기의 전달 함수는 다음과 같다.

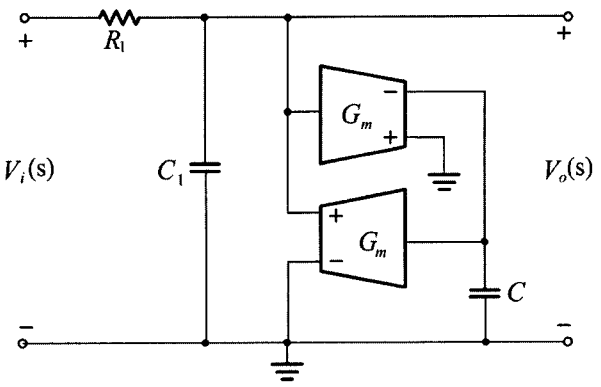

그림 9. 2차 대역-통과 여파기의 회로도
Fig. 9. Circuit diagram of a 2nd-order bandpass filter.

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{s\left(\frac{1}{C_1R_1}\right)}{s^2 + s\left(\frac{1}{C_1R_1}\right) + \left(\frac{G_m^2}{C_1C}\right)} \quad (9)$$

대역-통과 여파기의 중심 주파수 f_0와 선택도 Q는 각각 다음과 같이 나타내어진다.

$$f_0 = \frac{G_m}{2\pi\sqrt{C_1C}} \quad (10)$$

$$Q = G_mR_1\sqrt{\frac{C_1}{C}} \quad (11)$$

식 (10)에서는 대역-통과 여파기의 중심 주파수가 트랜스컨덕턴스 이득 G_m에 의해서 조정이 가능하다는 것을 확인할 수 있고, 식 (11)에서는 선택도 Q값이 R_1에 의해서 조정 가능하다는 것을 확인할 수 있다.

4차 대역-통과 여파기를 구현하기 위하여 그림 9의 2차 대역-통과 여파기 2개를 직렬로 연결하였다. 직렬로 연결된 4차 대역-통과 여파기는 2차 대역-통과 여파기보다 높은 Q값을 가진다.

그림 10은 두 트랜스컨덕터를 이용한 4차 대역-통과 여파기들의 전달 특성을 시뮬레이션 한 결과이다. 4차 대역-통과 여파기들의 중심 주파수는 85 MHz, 그리고 선택도 Q는 80 이상으로 조정하였다. 이 사양은 현재 이동 통신에서 사용되는 중간주파 대역-통과 여파기에 요구되는 조건이다[13]. 그림 10에서 보는 바와 같이, 단위-이득 버퍼를 이용한 트랜스컨덕터로 구현한 4차 대역-통과 여파기는 트랜스리니어 셀을 이용한 트랜스컨덕터로 구현한 4차 여파기와는 달리 입력에 대한 이득 손실이 거의 없다는 것을 확인할 수 있다. 이는 단위-

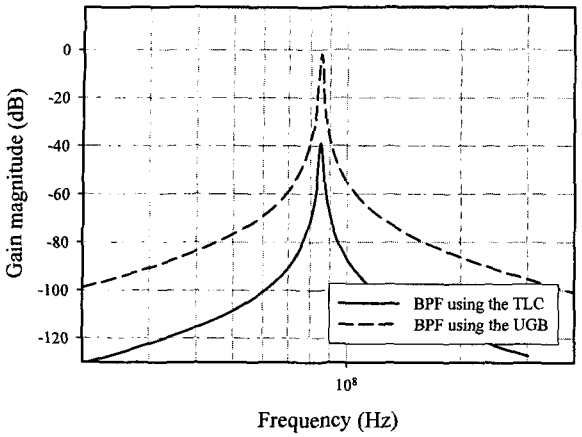

그림 10. 4차 대역-통과 여파기들의 전달 특성들
Fig. 10. Transfer characteristics of 4th-order bandpass filters.

이득 버퍼를 이용한 트랜스컨덕터가 트랜스리니어 셀을 이용한 트랜스컨덕터보다 높은 입력 저항을 갖고 있기 때문이다. 트랜스리니어 셀을 이용한 트랜스컨덕터로 구현한 대역-통과 여파기와 단위-이득 버퍼를 이용한 트랜스컨덕터로 구현한 대역-통과 여파기의 온도(0 ℃ ~70 ℃ 구간)에 대한 중심 주파수 변화율은 각각 200 ppm/℃ 와 0 ppm/℃ 이다.

V. 결 론

트랜스리니어 셀과 단위-이득 버퍼를 이용한 두 가지의 AB급 바이폴라 선형 트랜스컨덕터를 제안하였다. 제안한 트랜스컨덕터들은 형태가 간단하면서도 선형 특성이 우수하고, 넓은 주파수 대역을 갖는다. 이 트랜스컨덕터들을 이용하여 이동 통신에 적합한 대역-통과 여파기를 설계하여 두 트랜스컨덕터들의 실용성을 검증하였다. 8 GHz 바이폴라 트랜지스터 어레이 파라미터를 이용하여 실시한 시뮬레이션에서 트랜스컨덕터와 대역-통과 여파기 모두 온도에 대하여 둔감한 특성을 나타내었다. 따라서 이 트랜스컨덕터들은 온도 안정성이 중요한 고주파 증폭기, 여파기, 그리고 발진기 등에 많이 응용되리라고 기대된다.

참 고 문 헌

[1] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. SC-23, pp.750-758, June 1988.

[2] J. M. Khoury, "Design of a 15-MHz CMOS continuous-time filter with on-chip tunning," IEEE J. Solid-State Circuits, vol. SC-26, pp. 1988-1997, Dec., 1991.

[3] Y. Tsividis, "Intergrated continuous-time filter design-an overview," IEEE J. Solid-State Circuits, vol. SC-29, pp. 166-176, March, 1994.

[4] M. Koyama, et al ., "A 2.5-V active low-pass filter using all npn Gilbert cells with 1-Vp-p linear input range," IEEE J. Solid-State Circuits, vol. SC-28, pp. 1246-1253, Dec. 1993.

[5] A. Wyszynski, et al., "Design of a 2.7-GHz linear OTA and a 250-MHz elliptic filter in bipolar filter in bipolar transistor-array technology," IEEE Trans. Circuits and Systems, vol CAS-40, pp. 19-31, Jan. 1993.

[7] 박찬홍, 김범석, "CDMA 무선 휴대폰 시스템을 위한 3.0V CMOS 연속 시간 저역 필터의 설계," Telecommunication Review, vol 6, no. 1, pp. 2-7, 1996.

[8] 송철원 외 6인, "디지털 휴대폰용 IF IC의 설계," Telecommunication Review, vol 6, no. 1, pp. 8-14, 1996.

[9] D. John and K. Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc. ch. 15, 1997.

[10] Won-Sup Chung and Hyeong-Woo Cha, "Bipolar linear transconductor," Electronics Letters, vol. 26. pp. 619-620, May 1990.

[11] Won-Sup Chung, Kwang-Ho Kim, and Hyeong-Woo Cha, "A linear operational transconductance amplifier for instrumentation applications," IEEE Trans. Instrumentation and Measurement, vol. IM-41, pp. 441-443, June, 1992.

[12] "QuickchipTM 6 Integrated Circuit Design Guide," Tektronix, Inc., Beaverton, Version 1, 1989.

[13] A. Fabre, O. Saaid, and C. Boucheron, "Low power current-mode second-order bandpass IF filter," IEEE Trans. Circuits & Systems II, vol. 44, pp 436-446.

저 자 소 개

정 원 섭(정회원)
1977년 한양대학교 전자통신 공학과 학사졸업.
1979년 한양대학교 전자통신 공학과 석사졸업.
1986년 일본 시즈오카대학 전자과학연구과 박사졸업.
1986년 4월~현재 청주대학교 반도체설계공학과 교수
<주관심분야 : Bipolar 및 CMOS 아날로그 집적회로, 아날로그 필터, 전류-모드 신호처리회로, 센서 신호처리회로 설계 등.>

손 상 희(정회원)
1983년 한양대학교 전자공학과 졸업.
1985년 한양대학교 대학원 전자공학과.
1988년 한양대학교 대학원 전자공학과.
1988년 9월~1991년 2월 순천항대학교 전산학과 전임강사
1991년 3월~현재 청주대학교 반도체설계공학과 교수
<주관심분야 : CMOS Analog IC 설계 및 Mixed Mode 설계.>