

The Destruction Effects of Semiconductors by High Power Electromagnetic Wave

黃先默* · 洪胄壹* · 許昌洙*
(Sun-Mook Hwang · Joo-Il Hong · Chang-Su Huh)

Abstract - This paper investigated the destruction effect of the semiconductors by impact of high power electromagnetic wave. The experiments is employed as an open-ended waveguide to study the destruction effects on semiconductor using a 2.45 GHz 600 W Magnetron as a high power electromagnetic wave. The semiconductors are located at a distance of 31 cm~40 cm from the open-ended waveguide and are composed of a LED drive circuit for visual discernment. Also the chip condition of semiconductor is observed by SEM(Scanning Electron Microscope) analysis. The semiconductor are damaged by high power electromagnetic wave at about 860 V/m. The SEM analysis of the destructed devices showed onchipwire and bondwire destructions. Based on the result, semiconductor devices should have plan to protect the semiconductor devices form high power electromagnetic wave. And the database from this experiment provides the basis for future investigation.

Key Words : Semiconductor, SEM, Magnetron, Destruction, High Power Electromagnetic Wave

1. 서 론

최근 정보화 시대의 발전으로 인하여, 많은 정보를 빠르게 처리할 수 있는 새로운 시스템이 개발되고 있고, 디지털 무선 통신 정보기기들에 대한 사용빈도가 점점 증가되고 있다. 이로 인해 현재 사용 중인 주파수 대역보다 높은 주파수의 사용요구가 증가되고 있다. 산업이나 과학, 의료등의 여러 가지 정보기기들이 사용하는 주파수 대역은 ISM (Industrial Scientific and Medical)영역 주파수가 할당되어 있다. 같은 대역의 주파수 범위에서 동작되어지는 고출력 전자파 발생장치로부터의 과도전자파 영향으로 정보기기는 원치 않은 신호를 수신하여 오동작을 일으킬 수 있고 파손될 수 있다. 특히 반도체로 구성된 정보기기들은 고출력 과도전자파로 인하여 발생되는 thermal secondary breakdown으로 파손 및 고장이 일어날 수 있다[1]. 따라서 의도적으로 발생되는 고출력 과도전자파(High Power Electromagnetic Wave, HPEW)에 대한 정보기기의 보호 대책이 필요하다. 또한 이러한 ISM 영역 뿐 아니라 고출력 전자파를 발생시키는 발생장치로부터 발생되는 과도 전자파가 어떻게 정보기에 영향을 주는지에 대한 연구가 필요하다.

본 연구는 마그네트론에서 발생되는 고출력 과도전자파에 의한 반도체 IC 소자의 피해효과를 분석하였다. 이 고출력

과도전자파에 의해 파괴된 반도체 IC 소자의 피해분석은 SEM(Scanning Electron Microscope)을 통하여 고찰하였다. 이러한 실험 데이터를 바탕으로 고출력 과도전자파에 노출된 많은 반도체 소자들을 보호하기 위한 기초 자료로 활용하고자 한다.

2. 본 론

2.1 실험 방법

본 논문에서는 의도적으로 발생되는 전자파원, 발진 주파수가 2.45 GHz, 정격 출력이 600 W인 마그네트론을 사용하였다. 마그네트론에서 발생된 고출력 과도전자파는 WR-340인 구형 도파관(Rectangular Waveguide)을 사용하여 도파관 끝단을 개방시켜 도파관으로 전달되는 고출력 과도전자파를 대기 중으로 2초간 방사하였다.

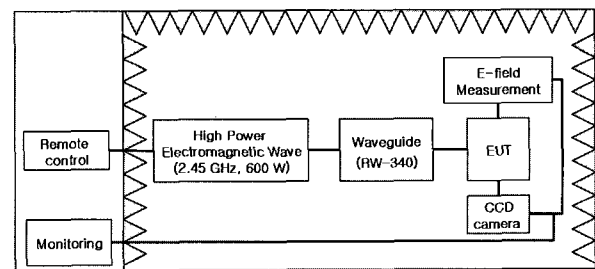


그림 1. 고출력 과도전자파에 의한 반도체 소자의 피해실험 개략도

Fig. 1. Experiment Schematic of semiconductor device by high power electromagnetic wave

† 교신저자, 正會員 : 仁荷大學校 電氣工學科 博士課程
E-mail : hsm-24@hanmail.net

* 正會員 : 仁荷大學校 電氣工學科
接受日字 : 2007年 4月 2日
最終完了 : 2007年 5月 7日

그림 1에서 보는 바와같이 도파관 끝단을 개방하고, 도파관 끝단으로부터 거리 31 cm ~ 40 cm 떨어진 지점에서 피시험체인 반도체 IC소자를 위치시켜 반도체 IC소자의 피해분석과 그 위치에서의 전계강도를 측정하였다. 피시험체인 반도체 IC소자는 각 위치에서 5회 실험하여 반도체 소자의 피해영향을 알아보았고, 전계강도는 전자파 측정 장치인 EMC-20 (Wandel & Goltermann)을 사용하여 거리에 따른 전계강도를 측정하였다. 실험에 사용된 반도체 IC소자는 Logic devices인 TTL(74LS08, 74LS00)과 CMOS(74HC08, 74HC00) 반도체를 사용하였다.

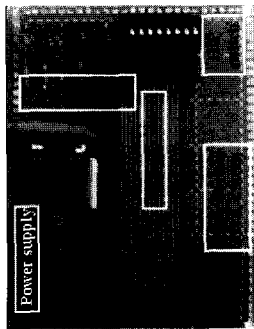


그림 2. 반도체 소자의 테스트 셋업
Fig. 2. Test setup of semiconductor device

EUT에 전자파를 적용시키기 위해 그림 2와 같이 시스템을 구성하였다. 그림에서 알 수 있듯이 실험 장치 구성은 입/출력 핀에 리본 케이블을 부착하고, DIP 스위치는 입력 핀에 임의의 비트 패턴들을 조정하기 위해서 전원 공급 장치와 연결하였다. 또한 레지스터와 LED들은 전자파에 의한 반도체 IC소자의 이상 유무를 육안으로 관찰 수 있도록 설치하였다.

전자파에 의한 반도체 IC소자들의 내부 칩 상태를 관찰하기 위해 에폭시로 몰딩된 표면을 디캡(Decap)하여 반도체 IC 소자의 칩을 관찰하였다. 이 칩 상태는 Hitachi사의 주사전자현미경(SEM : Scanning Electron Microscope, S-4200, Japan)로 관찰하였다. 반도체 칩 표면을 관찰하기 위해서 백금(Pt) 코팅한 후, 측정배율은 30배, 가속전압은 15 kV로하여 측정하였다.

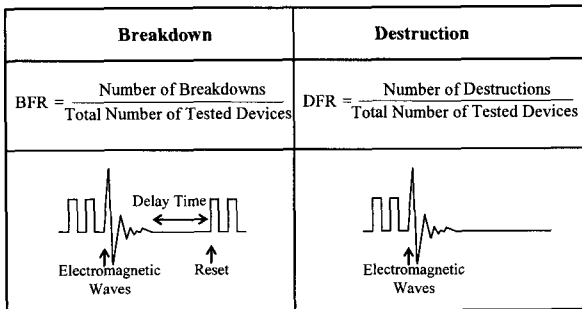


그림 3. BFR와 DFR의 정의
Fig. 3. The definition of BFR(Breakdown Failure Rate) and DFR(Destruction Failure Rate)

그림 3은 파괴 영향을 설명하기 위해 다음과 같이 두 가지

로 정의하였다. BFR(Breakdown Failure Rate)는 시스템에 사용된 총 반도체 수를 전자파에 의해 오동작된 반도체 수(Breakdown)로 나누어 나타내 것이다. Breakdown는 물리적인 시스템 손상 없이 리셋 후 다시 기능이 회복하는 것을 말한다. DFR(Destruction Failure Rate)는 시스템에 적용된 총 반도체 수를 전자파에 의해 파괴된 반도체의 수(Destruction)로 나누어 나타낸 것이다. Destruction은 물리적인 손상을 의미하며, 하드웨어적 교체를 통해서만 회복되었을 경우를 지칭하였다[2].

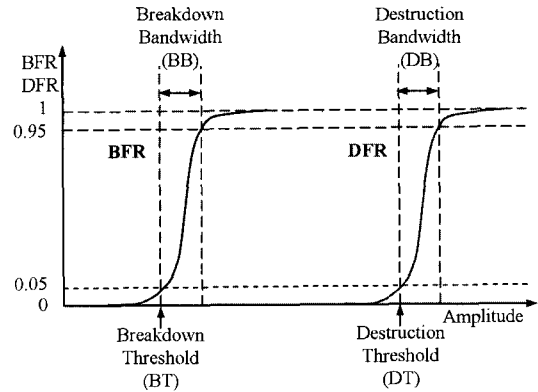


그림 4 BFR, DFR의 원리와 정의
Fig. 4 BFR, DFR - principle and definition

그림 4는 BFR과 DFR을 설명하기 위한 그래프이다. BT (Breakdown Threshold)는 임계 전계강도 값으로 BFR의 임계 5%를 나타낸 것이다. 그리고 BB(Breakdown Bandwidth)는 전계강도의 대역폭으로 BFR의 임계 5%에서 95%까지의 변화를 나타낸 것이다. DFR의 DT와 DB도 위와 같이 똑같이 설명할 수 있다.[3].

2.2 실험 결과 및 고찰

1. BFR, DFR의 측정

표 1 거리에 따른 고출력 과도전자파의 전계강도

Table 1 E-field strength of high power Electromagnetic Wave by distance

거리	31 cm	31.5 cm	32 cm	32.5 cm	33 cm
전계강도 (V/m)	1,076	1,059	1,043	1,026	1,011
거리	33.5 cm	34 cm	34.5 cm	35 cm	35.5 cm
전계강도 (V/m)	996	981	967	953	940
거리	36 cm	36.5 cm	37 cm	37.5 cm	38 cm
전계강도 (V/m)	927	914	902	890	878
거리	38.5 cm	39 cm	39.5 cm	40 cm	
전계강도 (V/m)	867	855	845	834	

고출력 과도전자파는 도파관 끝단으로부터 31 cm ~ 40 cm 떨어진 각 지점에서 전계강도를 5회 측정하였다. 측정된

전계강도는 평균값으로 계산하였고, 표 1과 같이 나타내었다. 따라서 전계강도세기는 거리로 조절하여 반도체 소자의 피해 전계강도를 변화하였다. 반도체 소자의 피해 영향을 알아보기 위해 LED 구동 회로를 이용하여 알아본 결과 전계강도가 약 855 V/m부터 반도체 피해 영향이 시작되었다.

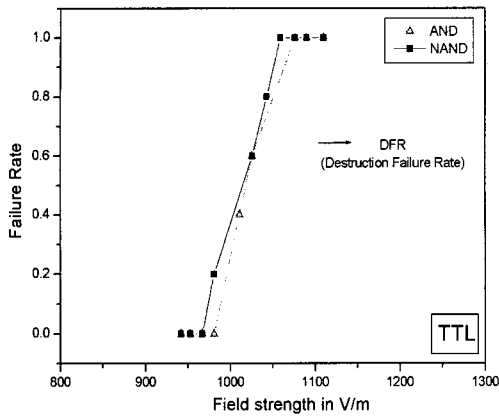


그림 5. 고출력 과도전자파에 의한 TTL 소자의 DFR(Destruction Failure Rate)

Fig. 5. Destruction Failure Rate (DFR) of TTL devices by high power electromagnetic wave

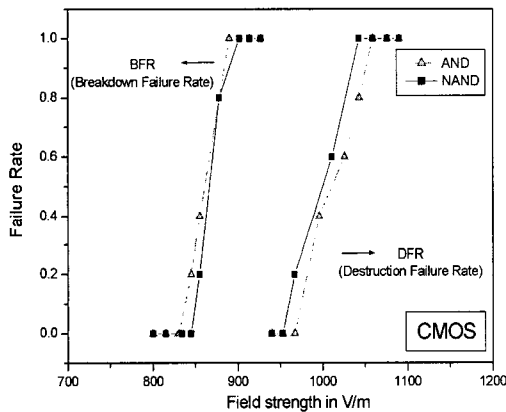


그림 6. 고출력 과도전자파에 의한 CMOS 소자의 BFR(Breakdown Failure Rate)과 DFR(Destruction Failure Rate)

Fig. 6. BFR(Breakdown Failure Rate) and DFR(Destruction Failure Rate) of CMOS devices by high power electromagnetic wave

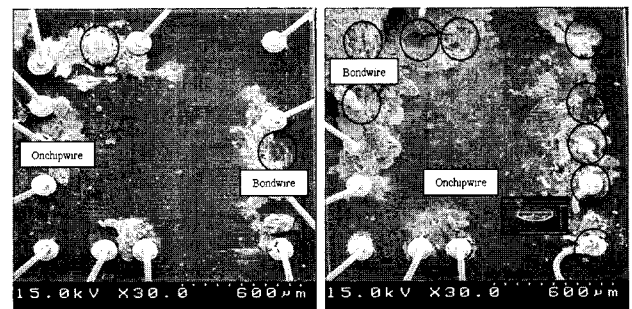
그림 5는 전계강도의 변화에 따른 반도체 소자(TTL)의 파괴율(DFR)을 나타낸 그림이다. 그림에서 알 수 있듯이 반도체 소자에 인가된 전계강도 DT는 약 960 V/m이고, 전계강도 DB는 약 960 V/m ~ 1,050 V/m이다. 이때 TTL IC소자는 오동작이 발생하지 않고 바로 파괴(Destruction)로 나타났다. 그림 6은 전계강도의 변화에 따른 CMOS IC소자의 파괴율(BFR, DFR)을 나타낸 그림이다. 그림에서 본 바와 같이 전계강도 BT는 약 840 V/m이고, 전계강도 BB는 약 840

V/m~880 V/m이다. 그리고 전계강도 DT는 약 950 V/m이고, 전계강도의 BB는 약 950~1050 V/m로 TTL 소자의 DFR과 유사한 결과를 보여주었다. 이러한 TTL, CMOS IC 소자의 피해영향은 다른 연구결과와 유사하였다[3].

그림 5, 6의 TTL 소자와 CMOS 소자를 비교 결과에 따르면, CMOS 소자는 전원 스위치 Off 후 On 동작했을 때 원상태로 되돌아오는 오동작(Breakdown)이 발생하였다. 그리고 그 점에서 더욱 높은 전계강도에서는 원상태로 되돌아 올 수 없는 파괴(destruction)가 발생되었다. 이러한 효과는 CMOS 소자에서의 n과 p채널 트랜지스터 부근에서 기생 사이리스터에 의한 것으로 사료된다[3]. 또한 실험 결과의 바탕으로 반도체 소자의 피해효과를 다음과 같이 생각 할 수 있다. 파괴율(BFR, DFR)이 1보다 작다면 반도체 소자의 오동작 및 파괴값들은 반도체 각각에 대해서 불규칙하게 일어나서 일정한 오동작 및 파괴값을 예측할 수 없다. 반도체 소자의 오동작 및 파괴는 어떤 임계 전계강도를 초과 했을 때 발생한다. 이 임계 전계강도는 많은 요소들에 의존하는데, 이를테면 반도체 소자의 칩 제조기술 또는 칩 layout등과 같은 일정한 영향의 요소들에 있다. 또한 트랜지스터의 스위칭 상태와 같은 가변적인 경우에도 영향을 받을 수 있다[2]. 이들 요소들과 불확실한 결과 때문에 임계 전계강도는 불규칙하게 변화하는 값으로 이루어진다. 그러므로 고출력 과도전자파에 의한 반도체 소자의 피해 전계강도 대역값(BB/DB)을 정의함으로써 이 IC소자의 피해 전계강도를 정확화 할 수 있을 것으로 생각 된다.

2. SEM 분석

그림 7과 8은 고출력 과도전자파를 대기 중에 방사했을 때, TTL과 CMOS 계열의 반도체 IC소자(AND, NAND)의 내부 칩 상태를 SEM으로 관찰한 그림이다. 그림 8에서 보는 바와 같이 TTL IC소자의 칩 상태는 Onchipwire 및 Bondwire가 끊어져 매우 심각한 손상을 보여준다. 이는 칩 위의 Bondwire가 녹아서 칩 주위에 물딩된 재료에 영향을 주어 Bondwire와 재료가 융합된 상태로 칩 위에 부착된 것으로 사료된다. 그림 8은 CMOS 계열의 반도체 소자(AND/NAND)의 내부 칩 상태를 보여준 그림이다. 이 반도체 소자의 칩 상태는 그림 7과 비슷한 결과를 보여주었으며, 이 칩 상태도 Bondwire와 Onchipwire가 녹아 영구적인 파괴로 관찰되었다.



(a) AND

(b) NAND

그림 7. 고출력 과도전자파에 의한 TTL 소자의 파괴영향
Fig. 7. Destruction effects of TTL devices by high power electromagnetic wave

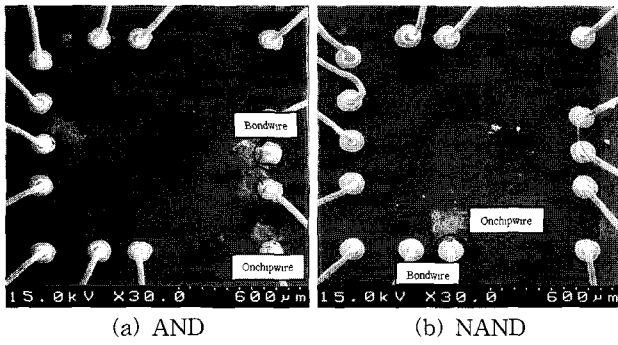


그림 8. 고출력 과도전자파에 의한 CMOS 소자의 파괴영향
 Fig. 8. Destruction effects of CMOS devices by high power electromagnetic wave

일반적으로 전자기 펄스에 의한 반도체 IC소자의 영구적인 파괴는 크게 세 가지의 피해 영향을 보여준다. 전자파에 의해 형성된 전계의 세기가 어떤 임계 전계의 세기에 노출되면, 반도체 소자의 내부 칩에 있는 다이오드, 트랜지스터 또는 저항과 같은 Component에 손상이 일어난다. 그리고 그 전계의 세기가 조금 더 증가하면 접촉에 의한 효과를 제외한 pcb 트랙이 녹는 Onchipwire의 파괴와 다수 Component의 영구적인 파괴가 일어나게 된다. 여기서 더욱 더 이 전계의 세기를 증가하면 Bondwire의 파괴와 더불어 다수 Onchipwire, Component의 영구적인 파괴로 진전된다. 이러한 현상은 반도체 IC소자의 내부 칩으로 높은 에너지가 전도되어 칩 안에 있는 Bondwire와 Onchipwire 그리고 Component가 높은 온도 상승으로 이 지점이 녹는 열적파괴가 일어난다[3~5].

이 연구에서는 고출력 과도전자파에 의한 반도체 IC소자의 Component파괴는 일어나지 않았으며, Bondwire와 Onchipwire가 주로 파괴되었다. 이런 연구결과는 일반적인 전자기 펄스에 의한 반도체 IC소자의 파괴와 다소 비슷한 결과를 보여주었으나, 다른 점은 고출력 과도전자파에 의한 반도체 IC소자의 Component파괴는 일어나지 않았다. 그러므로 전자파의 파형이 단 펄스 또는 연속에 따라서 반도체 IC소자의 피해 영향이 다른 것으로 생각된다.

3. Onchipwire와 Bondwire의 파괴

영구적인 반도체 파괴효과는 과학기술뿐만 아니라 제조사의 제조기술에도 의존한다[3].

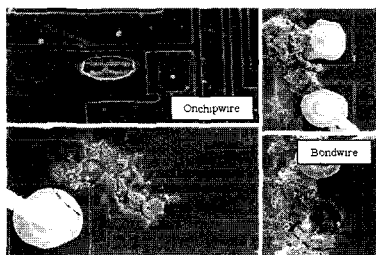


그림 9. 고출력 과도전자파에 의한 Onchipwire와 Bondwire의 파괴
 Fig. 9. Destruction of Onchipwire and Bondwire by high power electromagnetic wave

그림 9는 약 960 V/m의 전계강도를 갖는 고출력 과도전자파를 충격했을 때, 반도체 IC소자의 영구적인 파괴를 보여준 그림이다. 그림에서 알 수 있듯이 반도체 IC소자의 칩 표면 위에 Onchipwire와 Bondwire가 녹아 있는 형태를 확인할 수 있다. 이때 파괴된 반도체 IC소자에 어느 정도의 에너지가 유리 된 것을 다음과 같이 유추해 낼 수 있다.

Onchipwire와 Bondwire를 파괴되는 에너지는 평형상태의 식 1을 통해 계산할 수 있다[6]. 여기서 A는 횡단면, l은 와이어의 길이, ρ는 재료의 밀도, c는 특정한 열용량, Hf는 융해열, Tmelt는 녹는 온도, Tsur는 주위 온도를 나타낸다.

$$Q = \rho A l c \frac{dT}{dt} + \pi d l h (T_{melt} - T_{sur})$$

$$\frac{I_f^2 l}{\sigma A} t_f = \rho A l [c(T_{melt} - T_{sur}) + H_f] + t_f h \pi d l (T_{melt} - T_{sur}) \quad (식-1)$$

식 1의 평형상태에서 단일 재료에 강제로 열전달을 받아 Bondwire와 Onchipwire에 이용한다면, Bondwire와 Onchipwire가 녹는 에너지는 횡단면에 의존한다. 식 1을 이용한 에너지 밸런스(balance)를 나타내면, 평형상태의 식 2에 Onchipwire나 Bondwire의 영구적인 파괴를 이끄는 대략적인 전류를 추정할 수 있다[6].

$$I_f = \sqrt{\frac{A^2 \sigma \rho [c(T_{melt} - T_{sur}) + H_f]}{t_f} + \frac{8k}{l^2} A^2 \sigma (T_{melt} - T_{sur})} \quad (식-2)$$

σ는 전기 전도율, k는 열 전도율, d는 Bondwire의 지름, 그리고 전류의 지속시간은 전자파 방사시간과 동등하게 하였다. 평형상태 식 2를 통해서 대략적인 전류 I는 850 mA를 계산할 수 있었다.

3. 결 론

본 논문에서는 전자장치에 구성하는 요소 중 반도체 IC소자를 대상으로 마그네트론으로부터 발생된 고출력 전자파에 의한 반도체 IC소자의 피해영향을 조사하였다. 전자파의 세기는 거리로 조절하여 전계강도를 측정하였다. 반도체 IC소자의 피해분석 결과 약 880 V/m이하의 전계강도에서는 파괴(Destruction)현상이 일어나지 않았다. 그러나 그 이상의 전계강도인 경우에는 반도체 IC소자가 파괴되는 것을 확인할 수 있었다. 따라서 고출력 과도전자파에 의한 반도체 소자의 피해 전계강도 대역값(BB, DB)을 정의함으로써 이 IC소자의 피해 전계강도를 정량화 할 수 있었다. 그리고 파괴된 반도체 IC소자의 칩 상태를 확인한 결과 Bondwire와 Onchipwire가 녹아 영구적인 파괴로 확인할 수 있었다. 이는 반도체 IC소자의 내부 칩 있는 bondwire와 onchipwire가 높은 온도 상승으로 이 지점에서 녹는 열적 파괴현상으로 사료된다.

따라서 본 연구결과와 바탕으로 의도적으로 큰 전자파에 노출된 반도체 IC소자를 보호하기 위한 방안이 제시되어야 할 것이다. 또한 고출력 과도전자파 simulator 개발을 위한 기초 자료로 활용될 것으로 기대된다.

감사의 글

본 연구는 방위사업청과 국방과학연구소 지원에 의한 연구결과입니다.

참 고 문 헌

- [1] D. Taylor, D. V. Giri, "High-power microwave systems and effects", Washington, D. C., Taylor & Francis, 1994
- [2] M. Camp, H. Garbe, H. Gerth, "Predicting the Breakdown Behavior of Microcontrollers Under EMP/UWB Impact Using a Statistical Analysis" IEEE Trans. on Electromagnetic Compatibility Vol. 46, p. 369, 2004
- [3] M. Camp, H. Garbe, D. Nitsch, "Influence of the technology on the destruction effects of semiconductors by impact of EMP and UWB pulses", IEEE Trans. on EMC Vol. 1, pp. 87-92, 2002
- [4] D. Nitsch, M. Camp, F. Sabath, J. L. Haseborg, H. Garbe, "Susceptibility of some electronic equipment to HPEM threats", IEEE Trans. on EMC, Vol. 46, No. 3, pp.380-389, 2004
- [5] S. Korte, M. Camp, H. Garbe, "Hardware and software simulation of transient pulse impact on integrated circuits", IEEE EMC 2005 International Symposium, Vol. 2, pp. 489-494, 2005
- [6] A. Mertol " Estimation of aluminum and gold bond wire fusing current and fusing time" Components, Packaging and manufacturing technology Vol. 18 NO. 1 pp. 210-214, 1995

저 자 소 개



황 선 목(黃先默)

1976년 5월 2일생. 2003년 원광대학교 전기공학과 학사 졸업, 2005년 인하대학교 전기공학과 석사 졸업, 2005년~현재 인하대학교 전기공학과 박사과정



홍 주 일(洪 胄 晷)

1975년 10월 21일생. 2003년 세명대학교 전기공학과 학사 졸업, 2005년 인하대학교 전기공학과 석사 졸업, 2005년~현재 인하대학교 전기공학과 박사과정



허 창 수(許 昌 洙)

1955년 1월 27일생. 1981년 인하대학교 전기공학과 학사 졸업, 1983년 인하대학교 전기공학과 석사 졸업, 1987년 인하대학교 전기공학과 박사 졸업, 1993년~현재 인하대학교 전자전기공학부 교수