

# Thema | 능동형 CNT-FED 기술

송윤호 책임연구원  
(한국전자통신연구원 IT융합·부품연구소)

## 1. 서론

카본 나노 튜브(Carbon Nano Tube : CNT)는 나노 크기의 직경과 100:1 이상의 높은 종횡비, 그리고 물리·화학적 안정성 등으로 인해 이상적인 전계 방출원 재료로 여겨져 많은 업체들이 CNT-전계방출 디스플레이(Field Emission Display : FED) 개발을 추진하였다. CNT는 그림 1의 구조에서 알 수 있듯이 특별한 후-가공 없이 그 자체로 전계 방출이 쉽게 일어날 수 있으며, 주로 아크-방전(Arc-discharge)과 화학적 증착법(CVD)으로 합성되고 있다.

단일벽(Single Wall), 2중(Double) 또는 다중벽(Multi Wall) 구조로 합성된 CNT 파우더를 유기 바인더, 필러, 용매 등을 섞어 페이스트(Paste)로 만든 후 스크린 인쇄(Screen Printing) 공정으로 캐소드(Cathode)를 만드는 방법과, 유리 기판 위에 CNT를 선택적으로 성장시켜 캐소드를 제작하는 방법으로 나눌 수 있는데, 유리 기판 위에 직접 성장시키는 방법은 아직까지 성장 온도가 높아 소다라임(Sodalime) 유리 기판에서 직접 성장시킬 수 있는 단계는 아니다. 그림 2는 CVD 방법으로 합성된 다중벽 CNT의 전자현미경 사진으로, CNT가 한 방향으로 잘 정렬되어 있음을 보여준다.

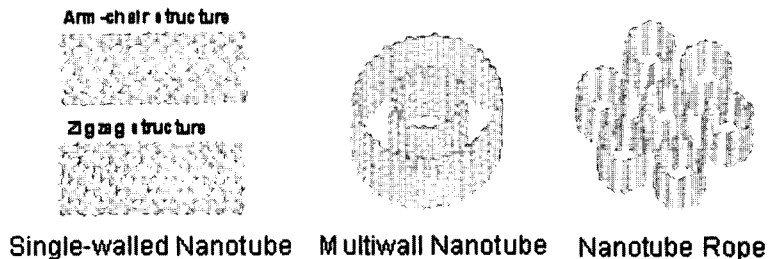
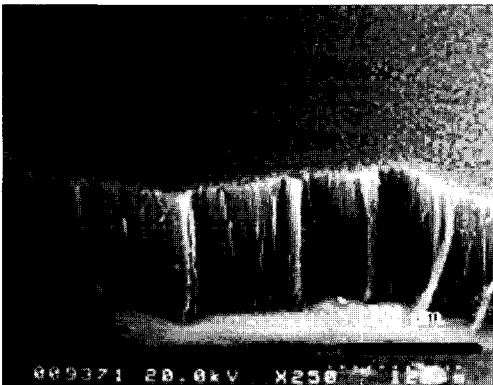


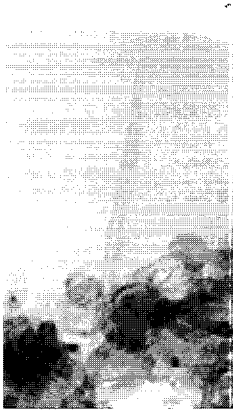
그림 1. CNT 구조.

FED의 응용에서 전계 에미터 캐소드는 게이트를 가진 삼극형(Triode) 구조로 만들어야만 낮은 전압으로 방출 전류를 쉽게 제어할 수 있게 되고, 이에 따라 FED의 계조(Gray Scale)을 쉽게 구현할 수 있다. 그러나, CNT 에미터의 경우 현재까지 이상적인 삼극형 구조는 개발되지 못하였으며, 그림 3~5에서 보는 바와 같이 일반적인 수직형을 비롯하여 가능성이 높은 여러 가지 구조들이 제안·개발되고 있는 상황이다.

전계 에미터를 전자원으로 사용하고 있는 FED는 전계 방출의 비선형(Non-linearity) 특성으로 인해 수동형 FED만으로도 대면적, 고해상도의 디스플레이



(a)



(b)

그림 2. Multi-walled CNT의 SEM 및 TEM 사진.

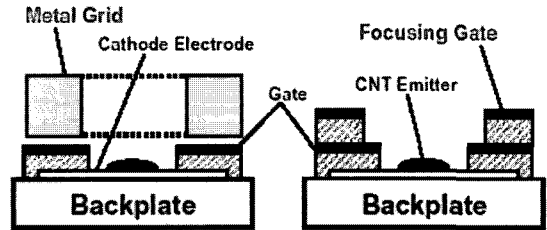


그림 3. 페이스트 방법으로 제작되는 Spindt형 CNT 에미터 구조.

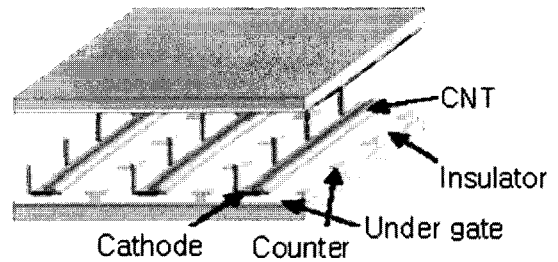


그림 4. 페이스트 방법으로 제작되는 Under-gate형 CNT 에미터 구조.

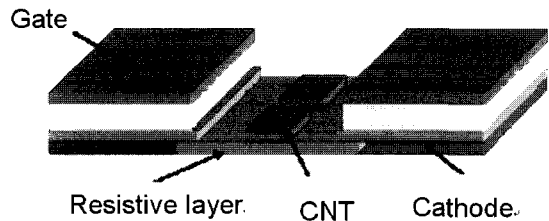


그림 5. 직접 성장 방법으로 제작되는 Spindt형 CNT 에미터 구조.

이를 구현할 수 있을 것으로 판단했다. 그러나, Spindt형 마이크로-팁 및 CNT 에미터를 기반으로 한 FED 개발 과정에서 볼 수 있듯이 캐소드의 균일성과 안정성/신뢰성 문제는 수동형 FED의 개발 한계를 보여주고 있다. 더욱이, 아직까지 고효율의 저전압 형광체 물질이 없기 때문에 대부분의 FED 개발은 고전압의 CRT 형광체를 사용하여야만 한다. 고전압 FED의 경우, 아노드에 대략 7 kV 이상의 가속 전압을 인가하여야 하는데, 이에 따른 양이온에 의한 전계 에미터의 파괴와 전기적 아킹(Arcing), 전자빔에 의한 스페이스의 대전(Charging)과 2차 전자 발생이 FED의 상용화를 가로막고 있는 문제점이다. 본 고에서는 수동형 CNT-FED의 문제점을 살펴보고, 이에 대한 극복 방안으로 시도되고 있는 능동형(Active-matrix) CNT-FED 기술을 소개하고자 한다.

## 2. 수동형 CNT-FED의 문제점

CNT는 그 자체가 매우 뾰족하여 전계 방출이 우수하고 대면적화가 쉬운 장점을 지녔지만, Spindt형 마이크로-팁과는 다른 다음과 같은 새로운 문제점을 가지고 있다.

첫째, CNT로 이상적인 삼극형 에미터 구조를 구현하기 어렵다는 것이다. Spindt형 마이크로-팁은 1  $\mu\text{m}$  이하의 게이트 구멍에 금속 팁이 자기-정렬(Self-align)로 형성되지만, CNT 에미터는 5  $\mu\text{m}$  이상의 게이트 구멍에 CNT가 무작위로 형성되어 있으며, 더욱이 게이트 절연막 높이에 비해 게이트 구멍이 상당히 크다. 이로 인해 게이트 전압이 아노드 전기장을 완전히 차폐하지 못하게 되어 게이트 구멍내의 CNT 에미터는 아노드 전압에 영향을 받게 되며, 이에 따라 아노드 가속 전압을 충분히 올리지 못하고 있다. CNT-FED의 경우 현재까지 아노드 가속 전압은 거의 5 kV 수준에 머물고 있으며, 상용화에 요구되는 10 kV 정도의 가속 전압에 크게 미달하고 있다.

둘째, CNT 에미터는 디스플레이에 요구되는 균일도를 확보하기 어려운 문제점을 가지고 있다. 통상적으로 FED에 요구되는 캐소드는 저전압 어드레싱이 가능하면서 대면적에 균일하게 제작될 수 있어

야만 한다. 전계 에미터의 균일도는 FED 성능 확보에 필수적인 기본 요소로서, 장-범위(Long-range)보다 픽셀 간의 단-범위 균일도(Short-range Uniformity)가 매우 중요하며 상용화에 필요한 단-범위 균일도는 통상 98% 이상으로 생각한다. FED에서 캐소드 균일도는 저항층(Resistive Layer)에 의한 전류-제한 방법을 사용하더라도 거의 전적으로 전계 에미터의 확률적인 평균치(Stochastic Average)로 달성하여야 하는데, 디스플레이에서 요구되는 98% 이상의 단-범위 균일도를 얻기 위해서는 서브-픽셀(Sub-pixel)당 1,000개 이상의 유효 CNT 에미터를 형성하여야 한다. 그러나, CNT-FED의 경우 게이트 구멍을 5  $\mu\text{m}$  이하로 형성하기 어려울 뿐만 아니라 CNT의 높이 조절도 대단히 어렵기 때문에 충분한 유효 CNT 에미터를 얻기가 대단히 난망하다(실제로 서브-픽셀당 100개 이상의 유효 CNT 에미터를 얻기 어려움).

셋째, CNT 에미터의 수명이 검증되지 않았다. LCD를 비롯한 평판 디스플레이는 기술 발전에 따라 30,000시간 이상의 수명을 보장하고 있기 때문에 CNT-FED도 이에 버금가는 수명을 확보하여야 한다. CNT-FED가 개발되기 시작한 초기에는 CNT가 물리·화학적으로 안정하기 때문에 에미터의 수명을 쉽게 확보할 수 있을 것으로 예측했지만, 전자 방출에 따른 발열과 산소 분위기에 의해 CNT 에미터도 쉽게 열화된다는 것을 알게 되었다.

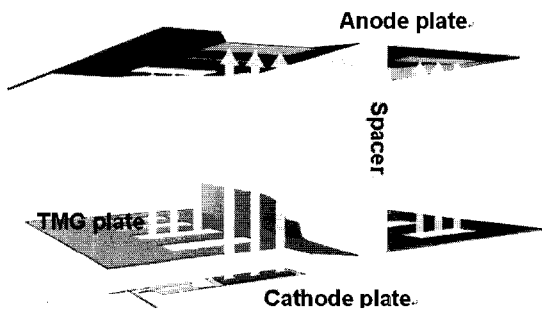
## 3. 능동형 CNT-FED 기술

### 3.1 능동형 CNT-FED의 구조, 동작원리 및 특성

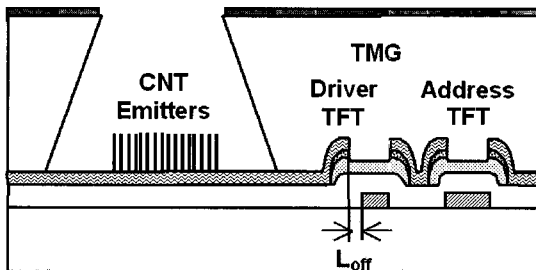
수동형 CNT-FED의 기술적 문제점을 해결하기 위한 방법으로, LCD의 스위칭 소자로 널리 사용되고 있는 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 CNT 에미터의 제어 소자로 채택하여 능동형 CNT-FED로 접근하는 방법이 있다. 그림 6은 한국전자통신연구원(ETRI)에서 개발하고 있는 능동형 CNT-FED 패널의 개략도와 픽셀 단면도를 보여준다. 능동형 CNT-FED 패널은 CNT 에미터와 a-Si TFT가 집적화된 능동형 캐소드 판과, 각 픽셀마다 경사진

구멍이 형성되어 있는 TMG(Tapered Macro-gate) 판과, 빨강(R), 녹색(G), 청색(B)의 형광체를 가진 아노드 판이 스페이서를 지지대로 하여 진공 패키징되어 있다. 능동 캐소드 픽셀은 그림 7에서 보듯이 메모리 소자가 없는 다이내믹 모드(Dynamic Mode)로 설계되어 있으며, 디스플레이 신호를 어드레싱하는 어드레스(Address) TFT와 CNT 에미터를 직접 구동하는 드라이버(Driver) TFT가 서로 직렬-연결되어 있다. 어드레스 TFT는 일반적인 게이트 구조를 가진 반면, 드라이버 TFT는 고전압에 견딜 수 있도록 오프셋(Offset) 게이트로 구성되어 있다.

능동형 캐소드는 TFT의 드레인(Drain)에 CNT 에



(a)



(b)

그림 6. 능동형 CNT-FED 패널 개략도 및 단면도.

미터가 직렬로 연결된 소자로, TFT가 전계방출 전류를 능동적으로 제어하며 그림 8과 같은 등가회로와 그에 따른 동작점을 찾을 수 있다. 즉, 전계방출을 유도하기 위하여 에미터의 게이트에 방출전압  $V_{EG}$  을 인가하면,  $V_{EG}$ 는 TFT의 드레인에 걸리는 전압  $V_D$ 와 에미터에 걸리는 전압 ( $V_{EG} - V_D$ )으로 나뉘며, 동작점은 TFT의 전류와 에미터의 전류가 일치하는 점에서 결정된다. 그림 8에서 방출전압에 대해

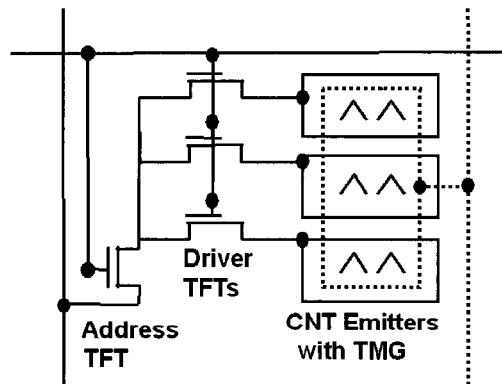


그림 7. 능동형 CNT-FED의 캐소드 서브-픽셀 등가회로.

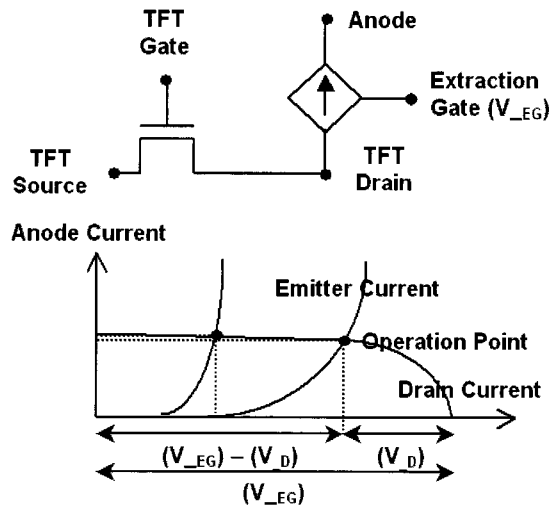


그림 8. 능동형 캐소드의 등가회로 및 그래프 방법에 의한 동작점 결정.

CNT 에미터는 순방향, TFT는 역방향으로 해석되어 있으며, TFT의 포화 영역에 의해 전계방출 전류의 균일성, 안정성/신뢰성이 향상될 수 있음을 알 수 있다.

능동형 CNT-FED의 구성 요소 중에서 TMG는 CNT 에미터로부터 전계 방출을 유도하는 게이트 역할과, 방출된 전자빔을 특정한 아노드 픽셀에 집속시키는 집속 기능과, 아노드 전기장이 전계 에미터에 도달하지 못하게 하는 전기장 차폐 역할을 한다. 이러한 기능을 가지도록 하기 위해서 TMG의 게이트 구멍은 경사진(Tapered) 형태로 설계되어 있으며, 게이트 절연막의 두께도 100 um 이상으로 두껍다. 특히, CNT 에미터의 마이크로 불균일성(Micro Irregularity)을 극복함으로써 전계 방출의 균일도를 향상시킬 수 있는 하나의 접근 방법으로 이러한 매크로 게이트(Macro Gate)가 유효할 수 있으며, 이러한 접근을 위해서는 CNT 에미터 크기에 비해서 매우 크고 높은 게이트 형성이 필요하다.

능동형 CNT-FED 패널에서는 아노드 가속 전압 뿐만 아니라 전계 방출을 위하여 게이트(TMG)에 인가되는 전압이 모두 직류(DC)이며, 디스플레이 스캔 및 데이터 신호가 각 픽셀에 있는 TFT의 게이트 및 소스로 입력되기 때문에 디스플레이 구동 전압은 오직 TFT의 특성에만 의존하게 된다. 이에 따라, 능동형 CNT-FED의 구동 전압을 전계 방출 전압에 무관하게 낮출 수 있으며, 궁극적으로는 LCD와 경쟁

할 수 있을 정도로 값싼 구동 IC를 사용할 수 있을 것이다. 그림 9는 능동형 CNT-FED 패널의 구동방법을 보여준다. TMG에 직류 전압을 인가하여 캐소드 판의 CNT 에미터로부터 전자 방출을 유도함과 동시에 아노드 전극에 고 직류전압을 인가하여 방출된 전자를 고 에너지로 가속시킬 수 있도록 한 후, 디스플레이의 스캔 및 데이터 신호를 캐소드 판의 각 픽셀에 있는 CNT 에미터의 제어 소자인 TFT에 어드레싱하며, TFT는 CNT 에미터의 전자 방출을 제어하여 화상을 표현한다. 이때, 디스플레이의 스캔 및 데이터 신호는 각각 TFT의 게이트와 소스로 입력되며, 디스플레이의 계조 표현은 데이터 신호의 펄스

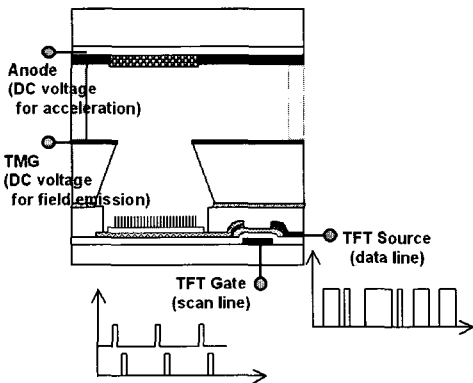
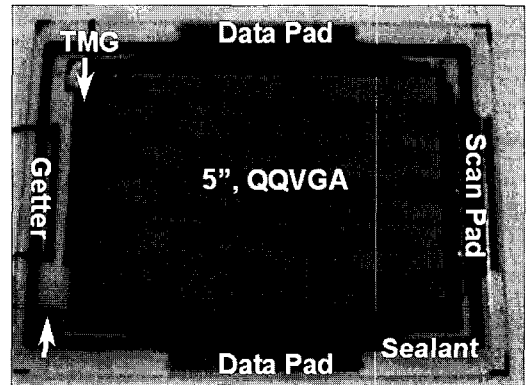
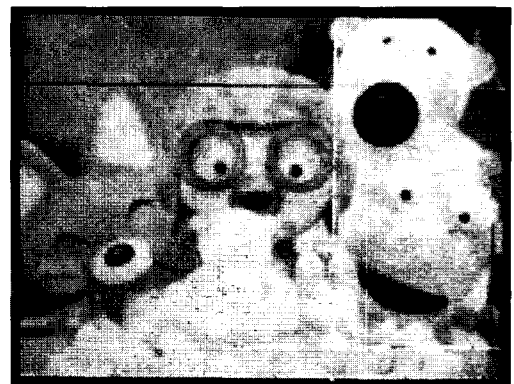


그림 9. 능동형 CNT-FED의 구동방법.



(a)



(b)

그림 10. 진공 패키징된 5인치, QQVGA, 컬러 능동형 CNT-FED 패널과 구동 스틸 이미지.

폭을 변화시켜 얻는다(Pulse Width Modulation : PWM).

그림 10은 ETRI에서 제작된 5인치, QQVGA(160x120) 컬러 능동형 CNT-FED 패널과, 제작된 패널로부터 얻은 구동 스틸 이미지이다. 측정 시, 아노드 및 TMG 전압은 각각 7000 V와 250 V(DC)이며, 스캔 및 데이터 어드레싱 전압은 각각 15 V와 7.5 V로 매우 낮았다. TFT의 단락 파괴(Short Breakdown)에 의해 몇개의 행과 열이 어드레싱되지 않지만, 능동형 CNT-FED의 가능성을 확인할 수 있었다. 향후, TFT의 단락 파괴만 제거한다면 고품위의 능동형 CNT-FED를 제작할 수 있을 것으로 판단된다.

### 3.2 능동형 CNT-FED의 가능성

고효율의 저전압 형광체 물질이 없는 현재 FED 개발은 고전압의 CRT 형광체를 사용하여야 하며, 상용화에 필요한 휘도, 수명, 효율을 달성하기 위해서는 아노드에 최소 7 kV 이상의 가속 전압을 인가하여야 하는데, 아직까지 이에 도달한 CNT-FED는 발표되지 않고 있다.

능동형 CNT-FED의 게이트 구조로 제한된 TMG는 그림 11에서 보듯이 상용화에 필요한 아노드 가속 전압을 충분히, 그리고 안정적으로 인가할 수 있는 구조이다. 그림 11의 TMG-CNT 에미터는 TMG

와 아노드의 간격 5 mm에 대해서 12 kV 이상의 아노드 전압을 안정적으로 인가할 수 있음을 보여주고 있으며, 6 V/um 이상의 아노드 전기장도 CNT 에미터에 영향을 미치지 않을 만큼 거의 완벽한 전기장 차폐 효과를 가지고 있는 것으로 평가된다. 더욱이, 경사진 게이트 홀은 방출된 전자빔을 아노드 형광체에 집속시키는 역할을 함으로써, 별도의 집속 전극 없이도 색 크로스-토크(Cross-talk)를 방지할 수 있다.

앞서 언급하였듯이, CNT-FED의 상용화에서 가장 큰 걸림돌은 픽셀간의 균일도이며, 현재 수동형 CNT-FED에서는 저항층 기술을 이용하여 개발하고 있다. 그러나, 저항층을 이용한 방법은 전계 방출 전류를 수동적으로 제어하기 때문에 균일도를 어느 정도 수준까지는 향상시킬 수 있지만, 상용화에 필요한 98 % 이상의 균일도를 확보하기에는 매우 어렵다. 또한, CNT 에미터와 직렬-연결된 저항치를 증가시키면 픽셀간 균일도가 향상되지만 구동 전압이 크게 올라가는 문제점이 있을 수 있다(실제, 98 % 이상의 균일도를 확보하는데 필요한 저항을 CNT 에미터에 연결하면 구동 전압은 수십 V 이상 상승하게 된다).

CNT의 형상을 완벽하게 제어하는 기술이 없는 상황에서 CNT 에미터의 균일도 한계를 궁극적으로 극복할 수 있는 방법은 전계 방출 전류를 능동적으로 제어하는 능동형 캐소드일 것이며, 이를 위해서는 능동형 캐소드의 제어 트랜지스터 특성을 보다 향상시켜야만 한다. 앞의 그림 7은 능동형 CNT-FED의 픽셀간 및 픽셀내 균일도를 향상시키기 위하여 제안된 것으로, 하나의 어드레스 TFT에 다수의 드라이버 TFT가 직렬-연결되어 있으며, 각 드라이버 TFT의 드레인에는 별도의 CNT 에미터가 형성되어 있다. 그림 12는 제작된 직렬-연결된 a-Si TFT의 전이(Transfer) 및 출력(Output) 특성으로, 높은 드레인 전압하에서도 소스-드레인간 누설 전류가 낮을 뿐만 아니라 출력 특성에서 포화 영역(Saturation Region)이 150 V 이상으로 매우 넓게 나타났다. 능동 캐소드 기술에서 제어 트랜지스터의 포화 영역은 포화 영역 만큼 에미터의 구동(또는 전류) 편차를 줄일 수 있는 것을 의미하므로, 개발된 픽셀 구조는 능동형 CNT-

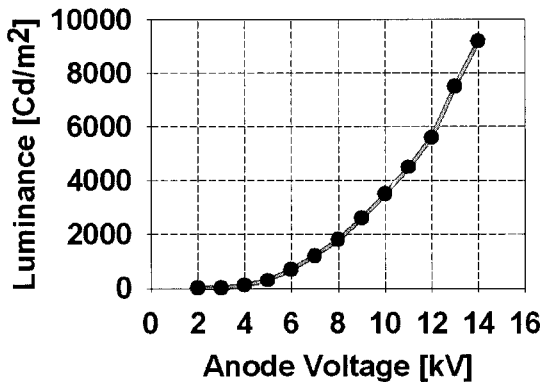


그림 11. TMG-CNT 에미터에서 아노드 전압에 따른 휘도.

FED의 균일도 향상에 크게 기여할 수 있을 것으로 생각된다.

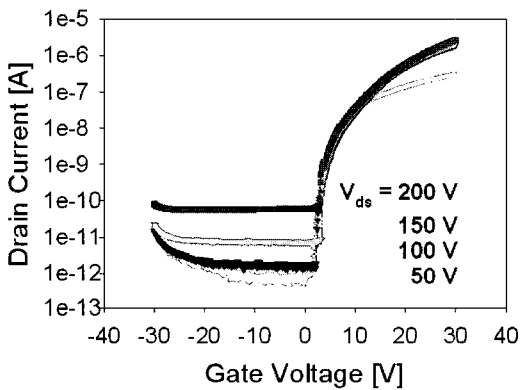
디스플레이 패널의 안정성과 신뢰성은 상용화로 향하는 마지막 기술적 관문으로 인식되고 있으며, FED 기술은 아직까지 상용화 수준에 도달하지 못하고 있다. FED에서 안정성 문제는 주로 짧은 시간 (Short Term)내에서 전계 방출 전류의 요동 (Fluctuation)에 기인하며, 능동 캐소드는 전계 방출 전류를 넓은 전압 범위에서 능동적으로 제어하기 때문에 쉽게 전류 요동을 안정화시킬 수 있다.

CNT-FED에서 신뢰성 문제는 주로 CNT 에미터의 탈착과 전계 방출의 열화에 기인한다. 특히, CNT

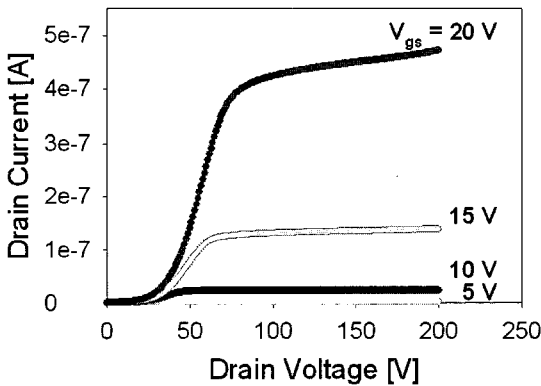
는 기판 또는 캐소드 전극과의 접착력이 대단히 미약하기 때문에 전계 방출에 필요한 전기장을 인가하면 정전기력에 의해 캐소드 전극으로부터 불규칙적으로 탈착되며, 전계 방출 전류도 시간에 따라 크게 감소하여 아직까지 상용화에 필요한 수명을 달성하지 못하고 있다.

CNT 에미터의 신뢰성 문제를 해결하기 위해 ETRI에서는 나노 금속 입자 (Nano Metal Particle)을 이용한 CNT 페이스트 및 에미터 기술을 개발하고 있으며, 그림 13은 나노 금속 입자를 이용하여 접착력이 매우 향상된 CNT 에미터의 SEM 사진을 보여 준다. 그림 14는 개발된 CNT 에미터로부터 DC 전압 인가 시간에 따른 전계 방출 전류 밀도를 측정 한 것이다. 그림 14에서 볼 수 있듯이 최적화된 CNT 에미터 (Paste 4)의 경우, 30 mA/cm<sup>2</sup>의 매우 높은 전류 밀도에서도 CNT 에미터는 2시간 후 5% 이하의 열화만을 보여주고 있는데, 이것은 실제 FED 적용 시에도 상용화할 수 있는 정도의 수명을 보장한다. 더욱이, 개발된 CNT 에미터를 능동 캐소드 기술에 적용한다면 제어 트랜지스터의 포화 특성에 의해 CNT 에미터의 신뢰성은 더욱 더 향상될 것이다.

현재 평판 디스플레이 시장에서 경쟁력은 단순히 성능 뿐만 아니라 가격이 대단히 중요한 요소로 자리잡고 있으며, LCD는 최근 성능 향상과 더불어 패널 단가를 급격히 떨어뜨려 평판 디스플레이 시장에서 시장 지배력을 더욱 더 공고히 다지고 있다. 이에



(a)



(b)

그림 12. 직렬-연결된 a-Si TFT의 전이 및 출력 특성.

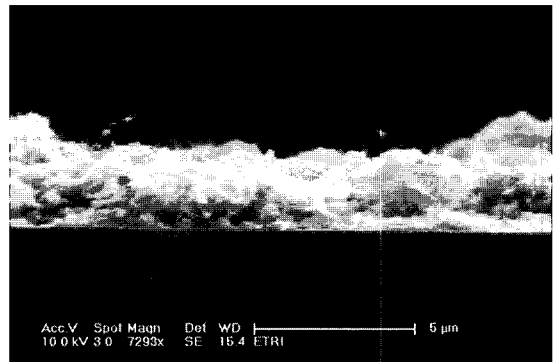


그림 13. 접착력이 향상된 CNT 에미터의 SEM 사진.

따라 현재 개발되고 있는 FED도 성능과 가격면에서 LCD, PDP와 경쟁할 수 있는 기술을 개발하여야만 한다. 능동형 CNT-FED는 기본적으로 저전압 구동 IC를 사용하기 때문에 구동 회로면에서 PDP와 경쟁할 수 있으며, 패널 제조에 소요되는 공정 및 부품면에서 LCD와 경쟁할 수 있는 여지가 있다.

능동형 CNT-FED의 모듈 제조 중에서 a-Si TFT, TMG, 스페이서가 비교적 많은 비용을 차지할 것으로 보인다. 하지만, 능동형 CNT-FED에 필요한 a-Si TFT는 4개의 포토 마스크 공정으로 제조될 수 있을 뿐만 아니라 ITO 공정이 불필요하기 때문에 TFT-LCD에 비해 경쟁력을 가질 수 있을 것으로 보이며, TMG는 현재까지 유리 기판을 사용하여 제작하였지만 향후 금속 기판이나 후막 공정을 이용한다면 저가로 제작될 수 있을 것이다. FED에서 스페이서는 기술적으로 대단히 어려운 요구 조건을 만족시켜야 할 뿐만 아니라, 비용 또한 높게 차지하고 있다. 그러나, 능동형 CNT-FED에서 스페이서의 열적, 전기적 요구 조건은 수동형 CNT-FED보다 크게 완화될 수 있으며 (예를 들면, 능동형 CNT-FED의 구동 소비전력은 수동형에 비해 매우 낮기 때문에 패널 동작 중에 발생하는 캐소드 및 스페이서의 열적 부담을 크게 줄일 수 있음), 이에 따라 스페이서 비용에 대한 부담도 줄일 수 있을 것으로 보인다.

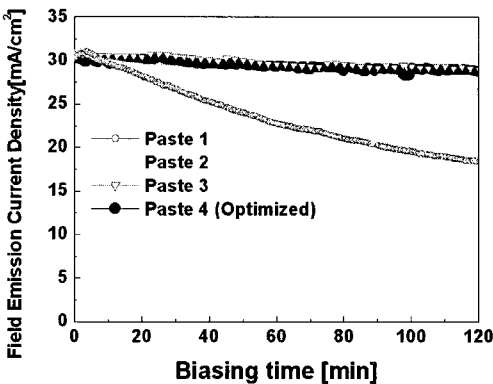


그림 14. DC 전압 인가 시간에 따른 CNT 에미터의 전계 방출 전류 밀도.

#### 4. 결론

수동형 CNT-FED의 기술적 문제점을 알아 보았으며, 또한 그 한계를 극복하기 위한 대안으로 능동형 CNT-FED 기술을 소개하였다. CNT 에미터와 a-Si TFT를 기반으로 한 능동형 CNT-FED는 가속 전압, 균일도, 안정성/신뢰성, 가격 측면에서 상당한 가능성을 지니고 있다고 판단된다. 향후 FED 개발에 얼마나 많은 자원이 투입되느냐가 경쟁력을 결정할 것이지만, 능동형 CNT-FED는 CNT 에미터의 기술적 단점을 극복할 수 있을 뿐만 아니라, 성능 및 가격 측면에서도 기타 디스플레이와 비교하여 유리한 고지를 점할 수 있을 것이다.

#### 감사의 글

한국전자통신연구원의 능동형 CNT-FED 개발을 위해 함께 노력하고 있는 FED 팀원 여러분께 감사를 드리며, a-Si TFT 공정을 제공해 주신 경희대학교 장진 교수님, 형광체 코팅을 도와 주신 LG.Philips Displays의 이태근님과 배동성님, 진공 패키징 공정을 수행해 주신 에피온의 박재홍 사장님과 최인수님에게 심심한 감사를 표합니다.

#### 참고 문헌

- [1] Brodie and P. Schwoebel, Proc. IEEE, vol.82, July (1994).
- [2] K. Derbyshire, Solid State Technology, 55, Nov. (1994).
- [3] B. R. Chalamala, Y. Wei and B. Gnade, IEEE Spectrum, p. 42, April (1998).
- [4] 이종덕, "전계방출 이론 및 응용, 청범출판사, 1998.
- [5] Y.-H. Song, D. H. Kim, S. W. Kim, S. K. Lee, M. Y. Jung, S. Y. Kang, Y. R. Cho, J. H. Lee and K. I. Cho, p.1252, SID 2000.
- [6] K. Konuma, Y. Okada, A. Okamoto, Y. Tomihari, S. Miyano and Y. Yan, p. 1150, SID 1999.
- [7] C.J.Curtin, Y.Iguchi, p. 1263, SID 2000.



- [8] W. B. Choi, D. S. Chung, S. H. Park and J. M. Kim, p.1134, SID 1999.
- [9] C. J. Lee, J. Park, S. Y. Kang and J. H. Lee, p. 554 Chem. Phys. Lett. 323 (2000).
- [10] C. G. Lee, J. E. Jung, et al., p.1125, SID 2002.
- [11] Y.-H. Song, C.-S. Hwang and K.-B. Kim, p.194, IMID 2003.
- [12] C.-S. Hwang, Y.-H. Song, K.-B. Kim, C.-H. Chung, B.-C. Kim, p.810, SID 2003.
- [13] Y.-H. Song, K. -B Kim, C.-S. Hwang, S.- H. Lee, J.-H. Lee, I.-S. Choi, J.-H. Park, p. 360, SID 2004.
- [14] Y.-H. Song, K. -B. Kim, C.-S. Hwang, D.-J. Park, J. H. Lee and K.-Y. Kang, J. SID, 13, p. 241, 2005.
- [15] M. Nagao, C. Yasumuro, Y. Sakamura, H. Tanoue, S. Kanemaru, J. Itoh, p.1701, IDW 2005.
- [16] Y.-H. Song, J. -W. Jeong, D.-J.Kim, J. H. Lee, K.-Y. Kang, p. 1849, SID 2006.
- [17] J.-W. Jeong, Y.-H. Song, D.-J. Kim, S.-H. Lee, J. H. Lee, and K.-Y. Kang, p.1683, IDW 2005.
- [18] J. Dijon, A. Fournier, T.G. De Monsabert, M. Levis, R. Meyer, C. Bridoux, B. Montmayeul, D. Sarrasin, p. 1744, SID 2006.
- [19] D.-J. Kim, Y.-H. Song, J. -W. Jeong, J. H. Lee, K.-Y. Kang, p. 663, SID 2006.

저|자|약|력



성 명 : 송운호

◆ 학 력

- 1986년  
경북대 자연과학대학 물리학과  
이학사
- 1988년  
한국과학기술원 물리학과 이학  
석사
- 1991년  
한국과학기술원 물리학과 이학  
박사

◆ 경 력

- 1991년 - 현재  
한국전자통신연구원 IT융합· 부품연구소 책임연구원/  
팀장

