

차동 양자화를 사용한 병렬 방식의 직접 디지털 주파수 합성기

The Direct Digital Frequency Synthesizer of Parallel Type Using the Differential Quantization

김종일* 이윤식** 이의권***

(Chong-Il Kim) (Yun-Sik Lee) (Eui-Kwon Lee)

요 약

본 논문에서는 새로운 ROM 압축방식을 사용한 저전력 직접 디지털 주파수 합성기를 제안하고 낮은 클럭에서 동작하는 위상 누적기를 병렬로 연결하여 높은 주파수를 생성하는 위상-사인 변환기를 설계한다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM(Differential ROM : D-ROM)을 사용하는 QD-ROM 압축방식을 제안한다. 이를 사용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있고 ROM의 크기를 줄여 전력 소모를 줄일 수 있다.

Abstract

In this paper, a new method to reduce the size of ROM in the direct digital frequency synthesizer(DDFS) is proposed. And we design the phase-to-sine converter using the phase accumulator of parallel type for generating the high frequency. The new ROM compression method can reduce the ROM size by using the two ROM. The quantized value of sine is saved by the quantized-ROM(Q-ROM) and the differential ROM(D-ROM). So the total size of the ROM in the proposed DDFS is significantly reduced compared to the original ROM. The ROM compression ratio of 67.5% is achieved by this method. Also, the power consumption is decreased according to the ROM size reduction.

Key Words : Direct Digital Frequency Synthesizer, DDFS, phase-to-sine converter, phase accumulator, ROM reduction

I. 서 론

주파수 합성기란 기준 주파수로부터 다양한 주파수 신호를 발생시키는 장치를 말한다. 최근 무선 통

신의 발달로 주파수 합성기의 역할이 크게 증대되고 있으며 또한 보다 높은 주파수와 넓은 주파수 대역폭, 보안성을 위한 여러 가지 기법들을 수용하기 위해서 이러한 주파수 합성기도 점차 고성능의 회로로

* 주저자 : 관동대학교 전자정보통신공학부 교수(교신저자)
** 공저자 : 관동대학교 전자공학과 박사과정
*** 공저자 : 관동대학교 전자공학과 석사과정
논문접수일 : 2007년 6월 7일

설계되어야 할 필요성이 대두되고 있다. 주파수 합성기는 PLL(Phase Lock Loop)을 이용한 간접 주파수 합성 방식과 직접 디지털 주파수 합성기(DDFS, Direct Digital Frequency Synthesizer) 방식이 있다. 기존의 대표적인 주파수 합성기로 사용되어온 PLL은 주파수 변환 속도가 느리고, 정밀한 주파수 조정이 어렵기 때문에 최근 이러한 단점들을 극복하는 직접 디지털 주파수 합성 방식이라는 새로운 방식이 주목을 받고 있으나 직접 디지털 주파수 합성 방식은 하드웨어 부담이 매우 크고 전력 소모가 커서 발전에 많은 장애를 받아 오고 있다. 직접 디지털 주파수 합성기는 기준 신호에 동기하여 동작하는 디지털 회로로 변화하는 위상값에 해당하는 사인파의 샘플을 직접 생성하거나 미리 계산된 샘플이 저장되어 있는 ROM으로부터 만들어 낸다. 더 높은 주파수 선택성을 위해서는 더 많은 데이터가 ROM에 저장되어야 한다. 또한, 더 넓은 대역의 주파수를 만들어 내기 위해서는 더 높은 클럭(clock) 주파수에서 동작해야 한다. 그러나 더 많은 데이터를 저장하기 위하여 사용되는 큰 ROM은 DDFS의 크기와 소모 전력을 증가시키고 최고 동작 클럭 주파수를 낮춘다. 따라서 DDFS의 성능을 높이고 크기와 소모 전력을 낮추기 위해서는 ROM의 크기를 줄이고 동작 속도를 낮추는 것이 매우 중요하다. 이를 위하여 ROM의 크기를 줄이는 많은 기술들과 동작속도를 낮추기 위한 많은 기법들이 제안되었다[1-5].

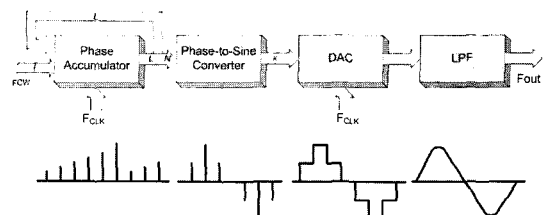
본 논문에서는 낮은 클럭에서 동작하는 병렬방식의 위상 누적기(phase accumulator)를 사용한 위상-사인 변환기(phase-to-sine converter)와 새로운 ROM 압축 방식을 사용한 저전력의 광대역 DDFS가 제안되었다. 제안된 ROM 압축 방식은 기존의 DDFS에서 사용되는 각 ROM들을 양자화 ROM과 차동 ROM으로 나누어 저장함으로써 그 크기를 줄이는 방식이다.

II. DDFS의 기본 구조

디지털 통신 시스템에서 주파수 합성기를 구현하

는 방법으로는 PLL을 이용한 주파수 합성기가 주로 사용되어 왔다. 그러나 PLL을 이용한 주파수 합성기는 본질적으로 피드백(feedback) 루프를 가지고 있어서 빠른 주파수 변환을 하기 어렵다. 이러한 배경에서 새로이 등장한 개념이 직접 디지털 주파수 합성기이다. 직접 디지털 주파수 합성기는 피드백 루프가 없기 때문에 고속으로 주파수 변환을 하는데 적합한 구조이다. DDFS는 PLL에 비해 빠른 주파수 천이 속도와 높은 주파수 해상도(frequency resolution)를 가지는 이점이 있다.

DDFS의 기본 구조와 각각의 구성요소에서의 출력 파형은 <그림 1>과 같다[6,7]. DDFS는 크게 디지털 회로 부분과 아날로그 회로 부분으로 나뉜다. 실제로 정현파를 생성하게 되는 것은 디지털 회로 부분이고, 이를 아날로그 응용 분야에 쓰일 수 있도록 DAC를 거쳐 아날로그 출력으로 만드는 것이 아날로그 회로 부분이다. 디지털 회로 부분은 크게 세 부분으로 구성되는데, 위상값의 증가분(FCW : frequency control word)을 저장하는 레지스터, 위상값을 증가시키는 위상 누적기, 그리고 이 위상 값으로부터 정현파를 실제로 계산해내거나 위상 값에 해당하는 정현파의 샘플을 저장한 ROM 테이블로부터 값을 읽어 들이게 되는 위상-사인 변환기로 구성되게 된다. 매 클럭마다 L비트의 FCW가 위상 누적기에 저장되어 있는 값에 더해진다. 위상 누적기에서는 FCW가 더해지므로 overflow하게 되고, 위상 누적기에 저장되어 있는 L비트의 값중에서 MSB쪽에 있는 상위 N비트가 위상-사인 변환기로 입력된다. 위상-사인 변환기에서는 N비트의 위상에 해당하는 사인값을 출력한다[8,9]. 위상-사인 변환기에서



<그림 1> DDFS의 기본 블록 다이어그램
<Fig. 1> Block diagram of DDFS

행해지는 연산은 위상에 따른 사인파 코사인 값을 계산하는 것이며 이를 구현하는 방법은 ROM을 이용하는 방법, CORDIC(COordinated Rotation DIgital Computer)를 이용하는 방법[10-12], 선형 interpolation 기법을 이용하는 방법 등이 있다. 위상-사인 변환기의 디지털 출력값이 DAC를 통과하고 나면 아날로그 값으로 변환되고, 끝으로 LPF에 통과시켜서 최종적으로 부드러운 파형을 얻는다.

ROM 테이블 방식은 출력에 필요한 정현파의 모든 샘플을 ROM에 저장하고 있어야 하기 때문에 출력 품질에 비례하여 ROM 테이블의 크기가 커지게 된다. ROM 테이블 크기가 커질 경우 ROM 테이블을 참조하는 속도가 매우 느려지게 되는데, 이러한 단점을 보완하고자 ROM의 크기를 줄이려는 연구가 많이 수행되어져 왔다.

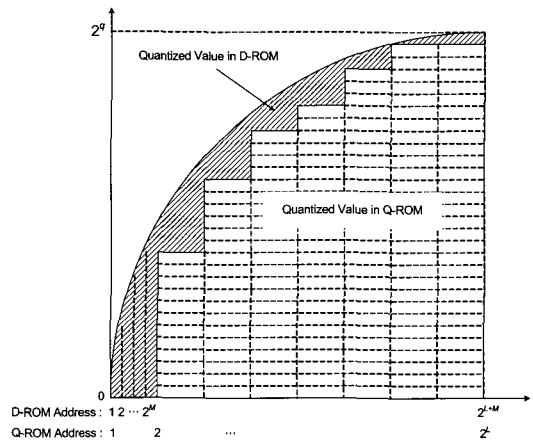
대략적으로 ROM 크기를 줄이기 위해 Phase truncation, $\pi/2$ Sine ROM Lookup Table, Sine-phase difference, Sunderland Architecture[1], Modified Sunderland Architecture, Nicholas Architecture[2,3], Coarse-fine segmentation, Taylor series Approximation 방법들이 사용되고 있다.

III. 저전력 광대역 직접 디지털 주파수 합성기 설계

저전력의 광대역 직접 디지털 주파수 합성기(DDFS)는 높은 주파수의 출력주파수와 광대역의 특성을 갖는 것이 요구되고 있고, 또한 저전력 및 고주파수를 위해 칩의 작은 면적이 요구 된다. DDFS에서 동작 주파수 및 전력 소모의 관건이 되는 부분은 FPGA의 동작 속도 및 ROM인데, FPGA의 동작 속도를 낮추고 ROM의 크기를 줄임으로써, 전력소모 및 동작주파수의 개선을 도모할 수 있다. 동작 속도와 전력 소모를 줄이기 위해 본 논문에서는 ROM의 크기를 줄이기 위해 두 개의 ROM을 사용하는 새로운 방법을 제안하였다. 또한 DDFS의 속도를 높이기 위한 한가지 방식은 병렬 누적기를 사용한다.

1. ROM 사이즈를 축소하기 위한 기법

새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 사인파를 형성하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM(Differential ROM : D-ROM)에 저장된다. <그림 2>처럼 사인파의 원래 ROM의 어드레스가 2^{L+M} 에 데이터 길이 q비트로 양자화 되었을 때 2^{L+M} 의 어드레스를 2^L 블록으로 나누어 양자화하여 Q-ROM에 저장한다. D-ROM에는 Q-ROM의 표본화 간격을 2^M 으로 나누어 표본화하고 양자화된 값은 그 블록의 표본화된 Q-ROM과의 차이만을 양자화하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 값의 최대 크기는 Q-ROM에 저장되는 양자화 값보다 작은 양이기 때문에 q비트보다 적은 데이터 길이로도 저장이 가능하다. 전통적인 방법으로 사인파를 ROM에 저장했을 때 필요한 ROM의 사이즈는 $2^{L+M} \times q$ 이다. ROM 축소 방법으로 사인파를 저장했을 때 Q-ROM에 저장되는 ROM 사이즈는 $2^L \times q$ 이며 D-ROM에 저장되는 ROM 사이즈는 $2^{L+M} \times d$ (단, $d < q$)가 된다. 여기서 D-ROM의 데이터 길이 d비트는 Q-ROM과 D-ROM의 표본화



<그림 2> ROM 축소 기법을 적용한 사인파의 양자화 <Fig. 2> Quantization of sine using ROM reduction method

값 차이의 최대값을 양자화 할수 있는 길이만큼 충분히 길어야 한다. 만일 <그림 3>처럼 Q-ROM의 데이터 비트 길이가 q 이고 Q-ROM의 어드레스 비트 길이가 L 이라 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^L} \quad (1)$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^q} \quad (2)$$

이 된다.

임의의 위상 어드레스 α 인 경우 양자화 값은

$$\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) \quad \text{단, } \alpha = 0, 1, \dots, 2^{L-1} \quad (3)$$

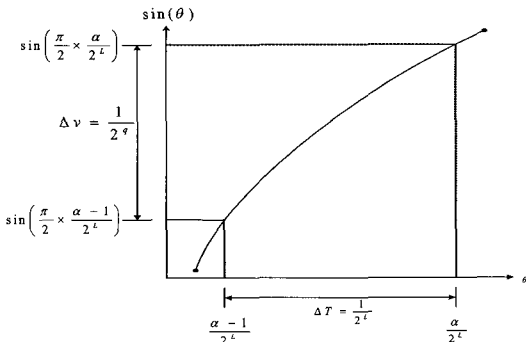
이다. D-ROM에 저장되는 양자화 값의 최대값은

$$\Delta m = \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^L}\right)}{\Delta v} \right] \quad (4)$$

가 된다. 여기서 $[\cdot]$ 는 \cdot 를 넘지 않은 최대 정수이다.

따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$d = \lceil \log_2 \Delta m + 1 \rceil \quad (5)$$



<그림 3> D-ROM에 저장되는 데이터 비트 길이 계산
<Fig. 3> Data bit length of D-ROM

이 된다.

예를 들면 Q-ROM의 데이터 비트 길이가 10비트 Q-ROM의 어드레스 비트 길이가 9라고 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^9} = \frac{1}{2^9} \quad (6)$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^q} = \frac{1}{2^{10}} \quad (7)$$

이 된다.

D-ROM에 저장되는 양자화 값의 최대값은 보통 $\alpha=1$ 일 때 성립하며

$$\begin{aligned} \Delta m &= \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^L}\right)}{\Delta v} \right] \quad (8) \\ &= \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{1}{2^L}\right)}{1/2^{10}} \right] \\ &= 3 \end{aligned}$$

가 된다.

따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$\begin{aligned} d &= \lceil \log_2 \Delta m + 1 \rceil \quad (9) \\ &= \lceil \log_2 3 + 1 \rceil \\ &= 2 \text{ [bit]} \end{aligned}$$

Original ROM		Quantized ROM		Differential ROM	
Address	Data	Address	Data	Address	Data
0000000000	0000000000	0000000000	0000000000	0000000000	00
0000000001	0000000000			0000000001	00
0000000010	0000000000			0000000010	00
0000000011	0000000001			0000000011	01
0000000100	0000000001			0000000100	00
0000000101	0000000001			0000000101	00
0000000110	0000000010			0000000110	01
0000000111	0000000010			0000000111	01
0000001000	0000000011	0000000110	0000000011	0000001000	00

<그림 4> Q-ROM과 D-ROM에 저장된 데이터
<Fig. 4> Data of Q-ROM and D-ROM

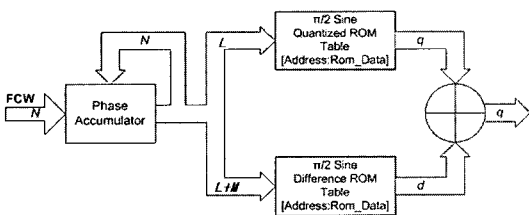
가 된다. 따라서 원래 $2^{12} \times 10$ 의 용량이 필요한 ROM을 <그림 4>처럼 Q-ROM과 2-비트 길이의 D-ROM으로 나누어 저장할 때 Q-ROM은 10비트의 어드레스 비트만 필요하며 D-ROM은 2비트의 데이터 길이만 필요하게 된다. 즉 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM이 필요하게 된다. 여기서 Q-ROM의 10비트의 어드레스 비트와 D-ROM의 12비트 어드레스는 상호 공유하여 사용하게 된다. 즉, D-ROM의 어드레스 비트 12비트중 상위 10비트를 Q-ROM의 어드레스로 사용함으로써 데이터를 생성할 수 있다. 이렇게 2개의 ROM에 저장된 데이터는 최종적으로 <그림 5>처럼 Q-ROM의 데이터와 D-ROM의 데이터를 더해 최종적인 데이터를 생성하게 된다. FCW N비트중 상위 L+M+2비트가 ROM의 어드레스 비트로 사용되어지며 이중 MSB 2비트는 phase truncation 기법을 위해 사용되어지고 2개의 최상위 MSB비트를 제외한 상위 L+M 비트가 D-ROM의 어드레스 비트로 상위 L비트가 Q-ROM의 어드레스 비트로 사용되어진다. Q-ROM의 출력 비트 q비트와 D-ROM의 출력 d비트가 <그림 5>와 같이 더해져 양자화된 사인파형을 출력하게 된다.

이러한 QD-ROM 기법을 이용함으로써 얻어지는 ROM 축소 비율은 컴퓨터 시뮬레이션을 통해 <표 1>처럼 요약할 수 있다. 전통적인 ROM 기법으로 $2^{12} \times 10$ 의 Q-ROM만을 사용했을 때 필요한 총 비트 수는 40,960비트가 된다. 11비트의 어드레스를 사용하는 Q-ROM을 이용할 때 D-ROM에 저장되는 데이터 비트는 1비트만 필요하다. 따라서 $2^{11} \times 10$ 의

Q-ROM과 $2^{12} \times 1$ 의 D-ROM을 사용했을 때 필요한 비트는 24,576비트로 약 40%의 ROM 용량을 축소

<표 1> QD-ROM 사용시 축소된 ROM 크기의 비율
<Table 1> Ratio of reduced ROM size

	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	12	10	40,960	11	10	20,480
D-ROM 데이터비트수	0	0	0	12	1	4,096
총 데이터 비트수	12	10	40,960	12	11	24,576
감소율			100.0			40.0
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	10	10	10,240	9	10	5,120
D-ROM 데이터비트수	12	2	8,192	12	2	8,192
총 데이터 비트수	12	12	18,432	12	12	13,312
감소율			55.0			67.5
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	8	10	2,560	7	10	1,280
D-ROM 데이터비트수	12	3	12,288	12	4	16,384
총 데이터 비트수	12	13	14,848	12	14	17,664
감소율			63.8			56.9
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	6	10	640	5	10	320
D-ROM 데이터비트수	12	5	20,480	12	6	24,576
총 데이터 비트수	12	15	21,120	12	16	24,896
감소율			48.4			39.2



<그림 5> 제안된 QD-ROM의 위상-사인 변환기블록도
<Fig. 5> Block diagram of phase-to-sine converter of proposed QD-ROM

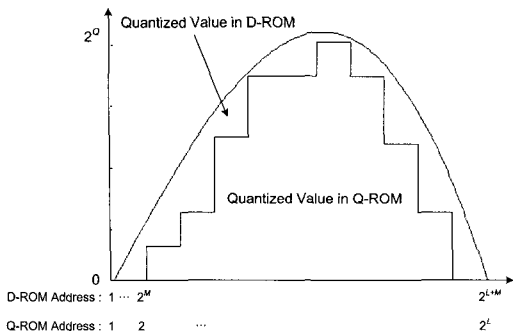
할 수 있다. 마찬가지로 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때 필요한 비트는 18,432비트로 약 55%의 ROM 용량을 축소할 수 있다.

표에서 보는 바와 같이 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때 67.5%의 가장 많은 ROM을 축소할 수 있다. 따라서 본 논문에서는 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용하여 위상-사인 변환기를 설계하고자 한다.

2. Sine-phase difference방식을 이용한 ROM 크기 축소 기법

앞 절에서 사용한 ROM 축소기법을 sine-phase difference방식에도 적용하여 ROM 크기를 감소할 수 있다.

Sine-Phase difference방식을 QD-ROM에 적용하기 위해 <그림 6>처럼 사인파의 원래 ROM의 어드레스가 2^{L+M} 에 데이터 길이 q비트로 양자화 되었을 때 2^{L+M} 의 어드레스를 2^L 블록으로 나누어 양자화하여 Q-ROM에 저장한다. D-ROM에는 Q-ROM의 표본화 간격을 2^M 으로 나누어 표본화하고 양자화된 값은 바로 전에 표본화된 Q-ROM과의 차이만을 양자화하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 데이터의 최대 크기는 Q-ROM에 저장되는 양자화 데이터보다 작은 양이기 때문에 q



<그림 6> Sine-phase difference방식의 ROM 축소 기법
<Fig. 6> ROM reduction method of sine-phase difference

비트보다 적은 데이터 길이로도 저장이 가능하다. 이를 이용함으로써 얻어지는 ROM 축소 비율은 <표 2>처럼 요약할 수 있다. 전통적인 ROM 기법으로 $2^{12} \times 10$ 의 Q-ROM만을 사용했을 때 sine-phase

<표 2> Sine-phase difference방식 사용시 축소된 ROM 크기의 비율

<Table 2> Ratio of reduced ROM size of sine-phase difference

	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	12	8	32,768	11	8	16,384
D-ROM 데이터비트수	0	0	0	12	1	4,096
총 데이터 비트수	12	8	32,768	12		20,480
감소율			100.0			37.5
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	10	8	8,192	9	8	4,096
D-ROM 데이터비트수	12	1	4,096	12	2	8,192
총 데이터 비트수	12		12,288	12		12,288
감소율			62.5			62.5
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	8	8	2,048	7	8	1,024
D-ROM 데이터비트수	12	3	12,288	12	4	16,384
총 데이터 비트수	12		14,336	12		17,408
감소율			56.3			46.9
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	6	8	512	5	8	256
D-ROM 데이터비트수	12	4	16,384	12	5	20,480
총 데이터 비트수	12		16,896	12		20,736
감소율			48.4			36.7

difference기법을 이용하면 2비트의 데이터 비트를 감소시킬 수 있다. 따라서 $2^{12} \times 8$ 의 Q-ROM만을 사용했을 때 필요한 총 비트 수는 32,768비트가 된다. 11비트의 어드레스를 사용하는 Q-ROM을 이용할 때 D-ROM에 저장되는 데이터 비트는 1비트만 필요하다.

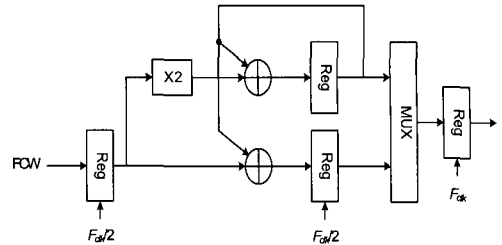
따라서 $2^{11} \times 8$ 의 Q-ROM과 $2^{12} \times 1$ 의 D-ROM을 사용했을 때 필요한 비트는 20,480비트로 약 37.5%의 ROM 용량을 축소할 수 있다. 마찬가지로 $2^{10} \times 8$ 의 Q-ROM과 $2^{12} \times 1$ 의 D-ROM을 사용했을 때 필요한 비트는 12,288비트로 약 62.5%의 ROM 용량을 축소하여 가장 많은 ROM 용량을 감소시킬 수 있다. 또한 표에서 보는 바와 같이 $2^9 \times 8$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때도 62.5%의 ROM 용량을 감소시킬 수 있다.

따라서 본 연구에서는 $2^9 \times 8$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용하여 위상-사인 변환기를 설계하고자 한다.

3. 고속 DDFS를 구현하기 위한 병렬 위상 누적기

DDFS의 출력 주파수는 클럭 주파수에 의하여 제한된다. 이론적으로, 최고 출력주파수는 클럭 주파수의 절반까지 이를 수 있지만, 실제 응용에서는 클럭 주파수의 3분의 1의 주파수를 최고 출력 주파수라고 생각한다. 기존의 DDFS의 동작 클럭 주파수가 높지 않기 때문에, DDFS의 응용 분야는 최고 출력 주파수에 의하여 제한된다. DDFS의 속도를 높이기 위한 한가지 방식은 파이프라인 수를 증가시키고 높은 클럭 주파수를 사용하는 것이다. 그러나, 파이프라인의 수의 증가에 비례하여 칩의 크기와 소모 전력이 선형적으로 증가한다.

또한, 동작 클럭 주파수의 증가에 비례하여 소모 전력이 선형적으로 증가한다. 따라서, 파이프라인의 수를 증가시키고 클럭 주파수를 높이는 방식을 사용할 경우, DDFS의 동작 속도에 비례하여 칩의 크기는 선형적으로 증가하고 소모 전력은 제곱으로 증가한다. 따라서, 동작 속도를 높이면서도 면적과 소모



<그림 7> 2-병렬 기법을 사용한 누적기
<Fig. 7> Accumulator of 2-parallel type

전력을 줄일 수 있는 새로운 방식의 DDFS가 요구된다. 고속 DDFS를 구현하기 위하여 누적기의 위상 출력을 사인 값으로 바꾸는 위상 사인 변환기를 병렬로 여러개 사용하여 구현 하였다.

누적기의 출력 속도를 높이고 누적기의 입력에서 출력까지의 시간 지연을 감소시키기 위하여, <그림 7>에서와 같이 2개의 N비트 덧셈기를 사용한 누적기가 제안되었다. 2번의 클럭 사이클 동안 입력 주파수 데이터가 변하지 않는다고 가정할때, 누적기의 출력은 수식 (10)-(11)과 같다.

$$\phi(n+1) = \phi(n) + \Delta\phi(n) = \phi(n) + \Delta\phi(n) \quad (10)$$

$$\phi(n+2) = \phi(n+1) + \Delta\phi(n) = \phi(n) + 2\Delta\phi(n) \quad (11)$$

2 클럭 사이클 동안 주파수 입력 데이터를 고정하는 것은 주파수 변환 속도를 조금 낮추지만 DDFS의 동작에는 거의 영향을 주지 않는다. $\Delta\phi(n)$ 이 n 번째 클럭에서의 입력 주파수 데이터이고 $\phi(n)$ 이 n 번째 클럭에서의 누적기의 출력일 때, 연속된 2개의 누적기 출력은 $\phi(n+1)$, $\phi(n+2)$ 이다.

출력 속도를 높이기 위하여 여러 개의 칩을 병렬로 사용하는 기술은 고속의 직접 디지털 주파수 합성기(DDFS)의 응용 제품들에서 많이 이용되어 왔다. 2개 또는 4개의 칩을 병렬로 사용함으로써, 출력의 속도를 하나의 칩을 사용했을 때의 2배와 4배로 증가시킬 수 있다. L개의 위상 사인변환기를 사용함으로써, 위상 사인 변환기의 속도를 L배 향상시킬 수 있다.

IV. 위상-사인 변환기의 FPGA 설계 및 시뮬레이션

1. 2-병렬 QD-ROM 크기 축소 기법을 이용한 위상-사인 변환기 설계

본 연구에서는 VHF 광대역 직접 디지털 주파수 합성기를 구현하기 위해 FPGA를 이용하여 위상-사인 변환기를 구현하고자 한다. 또한 고속의 저전력 DDS를 구현하기 위해 앞 절에서 설명한 ROM 축소 기법을 FPGA로 구현하고자 한다.

Xilinx의 FPGA를 이용하여 위상-사인 변환기(PA 및 ROM 부분)를 설계한다. FPGA가 최대 400MHz에서 동작 가능하는 Virtex-4 계열에 ROM이 내장되어 있는 XC4VLX25 계열을 사용한다. 여기서 최대 주파수 300MHz를 얻기 위해 클럭은 800MHz를 사용하고 1Hz의 해상도를 구현하기 위해 다음 식에 의하여 30비트의 FCW가 사용되어진다.

$$\Delta F = \frac{F_{CLK}}{2^L} : \Delta F = 1[Hz], F_{CLK} = 800[MHz] \quad (12)$$

$$\therefore L = 30[bit]$$

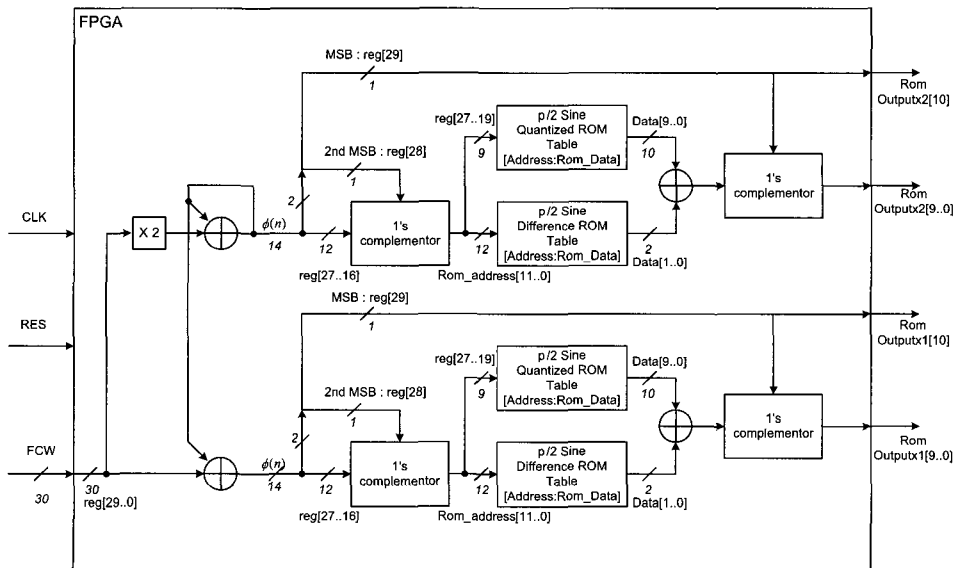
또한 phase truncation 기법을 사용하여 실제로 사용되어지는 ROM의 데이터 비트를 10비트를 사용할 때 어드레스 비트는 다음 식에 의하여 12비트를 사용한다.

$$\sin\left(\frac{2\pi}{2^N}\right) \leq \frac{1}{2^{k-1}} : k = 10[bit], \therefore N = 12[bit] \quad (13)$$

앞절에서 설명한 2-병렬 QD-ROM을 이용한 DDS의 FPGA 설계 블록도가 <그림 8>에 나와 있다. QD-ROM을 이용하기 위해서는 두 개의 ROM이 필요하며 <표 1>의 결과에 의하여 $2^9 \times 10$ 의 Q-ROM을 사용하고 $2^{12} \times 2$ 의 D-ROM을 사용한다.

<표 3> 출력주파수에 따른 FCW
<Table 3> FCW according to output frequency

출력주파수	FCW
100MHz	107,374,183
200MHz	214,748,364
300MHz	322,122,547

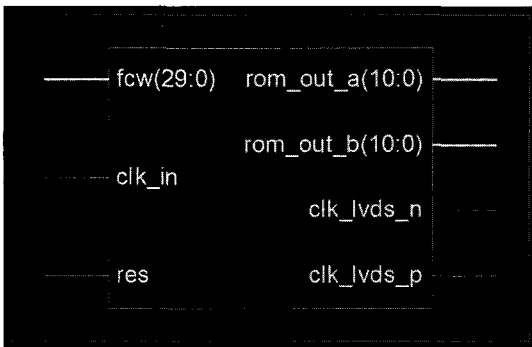


<그림 8> 2-병렬 QD-ROM 크기 축소 기법을 이용한 DDS의 FPGA 블록도
<Fig. 8> FPGA block diagram of 2-parallel QD-ROM reduction method

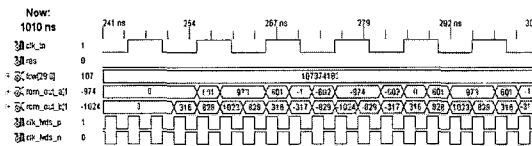
전통적인 ROM 기법을 사용한 것보다 67.5%의 ROM 크기를 축소할 수 있다. FCW는 30비트로 이루어져 있으며 출력 주파수에 따라 <표 3>과 같이 입력되어진다. 입력되어진 30비트의 FCW는 위상 누적기에 의해서 누적되고 사인파의 위상을 출력하게 된다. 30비트의 위상 중 상위 14비트만 ROM의 어드레스로 사용하기 위해 다음 단계로 전달된다. 이중 최상위 MSB 2비트는 $\pi/2$ 사인 ROM 알고리즘을 위해 사용되어진다. 14비트의 어드레스 비트 중 2nd MSB가 "0"의 데이터 값을 가질 때는 입력되어지는 12비트의 어드레스가 점차적으로 증가하여 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 출력하게 된다. 그러나 2nd MSB가 "1"의 데이터 값을 가질 때 입력되어지는 12비트의 어드레스가 1의 보수가 되어 실제로 어드레스는 감소하게 되고 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 반대로 출력하게 되어 $\pi/2$ 부터 π 까지의 사인 파형을

출력한다. 또한 최상위 MSB가 "1"이 되면 ROM에서 출력되는 데이터가 1의 보수가 되어 실제로 음수의 값을 갖는 π 에서부터 2π 까지의 사인파형을 출력하게 된다. 14비트의 어드레스 비트 중 하위 12비트는 D-ROM의 어드레스로 사용하고 그 중 상위 9비트는 또한 Q-ROM의 어드레스로 사용한다.

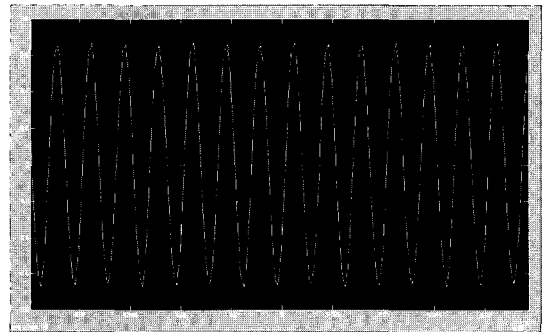
QD-ROM 알고리즘을 사용하기 위해 ROM의 출력 데이터를 비트끼리 더해져 최종적인 사인 파형을 형성하게 된다. 본 연구에서는 최대 400MHz에서 동작하는 FPGA 2개를 <그림 8>처럼 병렬로 연결하여 최종적인 출력 주파수를 얻고자 한다. 각각의 위상-사인 변환기는 앞에서 설명한 QD-ROM 기법을 적용하여 구현하였다. 앞서서와 마찬가지로 FCW



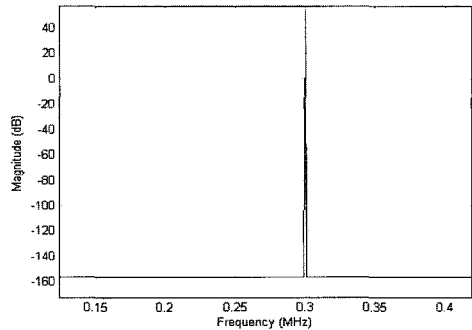
<그림 9> 설계된 FPGA의 레이아웃
<Fig. 9> Layout of FPGA



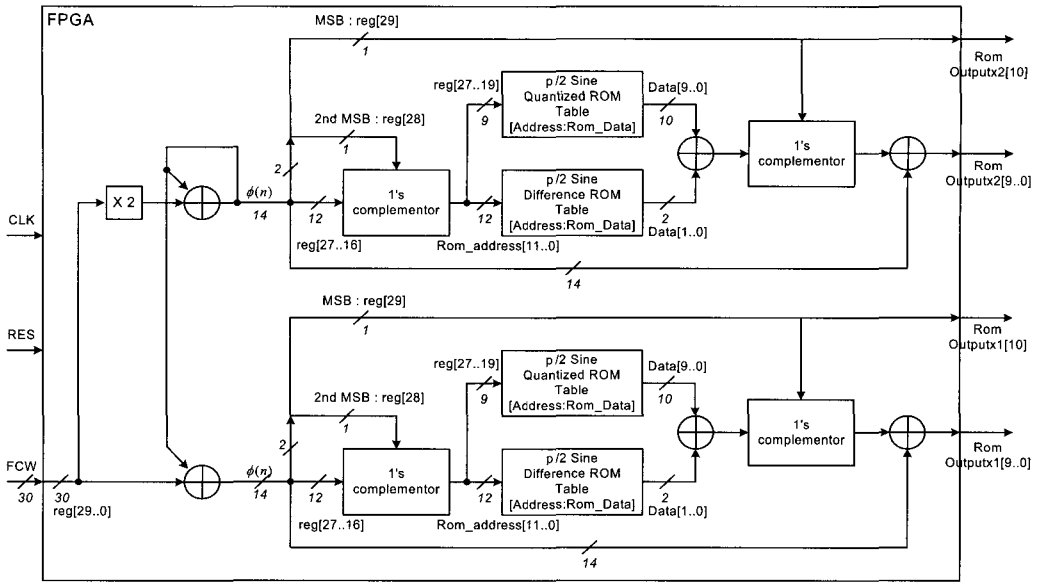
<그림 10> 2-병렬 QD-ROM 크기 축소 기법을 이용한 FPGA 시뮬레이션 결과
<Fig. 10> Result of FPGA simulation of 2-parallel QD-ROM reduction method



<그림 11> Matlab DDFS 시뮬레이션 결과 : 300MHz
<Fig. 11> Matlab DDFS simulation result : 300MHz



<그림 12> Matlab DDFS 시뮬레이션 결과 : 300MHz 스펙트럼
<Fig. 12> Matlab DDFS simulation result : 300MHz spectrum



<그림 13> Sine-phase difference 방식의 2-병렬 QD-ROM를 이용한 FPGA의 블록도
 <Fig. 13> FPGA block diagram of 2-parallel QD-ROM reduction method using sine-phase difference

는 30비트로 이루어져 있으며 입력되어진 30비트의 FCW는 하단부의 위상 누적기에 의해서 누적되어 $\Delta\theta, 3\Delta\theta, 5\Delta\theta, \dots$ 등의 어드레스를 생성하고 상단부의 위상 누적기에 의해 $2\Delta\theta, 4\Delta\theta, 6\Delta\theta, \dots$ 의 어드레스를 생성한다. 이렇게 설계된 FPGA의 레이아웃이 <그림 9>에 나와 있다.

이러한 DDFS의 FPGA 시뮬레이션 결과와 Matlab 시뮬레이션 출력 파형과 스펙트럼이 <그림 10~12>에 나와 있다. <그림 11>는 출력 주파수 300MHz의 파형이며 <그림 12>는 이때의 주파수 스펙트럼이다. 스펙트럼에서 보는 바와 같이 FCW의 원하는 주파수를 얻을 수 있었다.

2. Sine-phase difference 방식의 2-병렬 QD-ROM를 이용한 위상-사인 변환기 설계

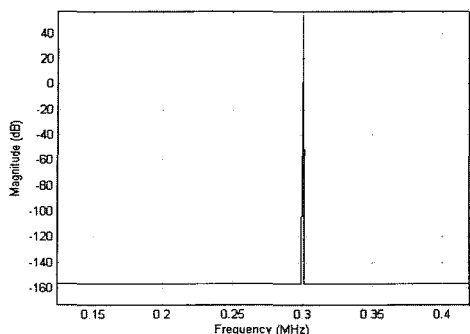
Sine-phase difference 방식의 2-병렬 QD-ROM를 이용한 FPGA의 블록도가 <그림 13>에 나와 있다.

QD-ROM을 이용하기 위해서는 두 개의 ROM이 필요하며 <표 2>의 결과에 의하여 Q-ROM은 $2^9 \times 8$ 의 ROM을 사용하고 D-ROM은 $2^{12} \times 2$ 의

ROM을 사용한다. 전통적인 ROM 기법을 사용한 것보다 62.5%의 ROM 크기를 축소할 수 있다. 각각의 위상-사인 변환기는 앞에서 설명한 2-병렬 QD-ROM 기법을 적용하여 구현하였다. 앞에서와 마찬가지로 FCW는 30비트로 이루어져 있으며 입력되어진 30비트의 FCW는 하단부의 위상 누적기에 의해서 누적된다. QD-ROM 알고리즘을 사용하기 위해 ROM의 출력 데이터를 비트끼리 더해져 sine-phase difference 신호를 만들고 최종적인 사인 파형을 형성하기 위해 어드레스가 더해진다. 이러한



<그림 14> Matlab DDFS 시뮬레이션 결과 : 300MHz
 <Fig. 14> Matlab DDFS simulation result : 300MHz



<그림 15> Matlab DDFS 시뮬레이션 결과 : 300MHz 스펙트럼

<Fig. 15> Matlab DDFS simulation result : 300MHz spectrum

DDFS의 Matlab 시뮬레이션 출력 파형과 스펙트럼이 <그림 14~15>에 나와 있다.

<그림 14>는 출력주파수 300MHz의 파형이며 <그림 15>는 이때의 주파수 스펙트럼이다. 스펙트럼에서 보는 바와 같이 FCW의 원하는 주파수를 얻을 수 있었다.

V. 결 론

본 논문에서는 높은 주파수를 얻기 위하여 낮은 클럭에서 동작하는 병렬방식의 위상 누적기(phase accumulator)를 사용한 위상-사인 변환기(phase-to-sine converter)와 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM (Differential ROM : D-ROM)에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 ROM을 사용한 QD-ROM 압축방식을 이용하고자 한다. 이를 사용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있다. 이를 FPGA로 설계하고 Matlab으로 시뮬레이션을 수행하였다.

참고문헌

- [1] D. A. Sunderland, R. A. Strauch, S. S. Wharfield, H. T. Peterson, and C. R. Cole, "CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communications," *Proc. IEEE JSSC*, pp. 497~05, Aug. 1984.
- [2] H. T. Nicholas, H. Samuelli, and B. Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects," *Proc. Frequency Control Symp*, pp. 356~63, 1988.
- [3] H. T. Nicholas III and H. Samuelli, "A 150-MHz direct digital frequency synthesizer in 1.25-m CMOS with -90 dBc spurious performance," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp. 1959-1969, Dec. 1991.
- [4] V.F. Kroupa, *Direct Digital Frequency Synthesizers*, New York: IEEE Press, 1999.
- [5] B. D. Yang, J. H. Choi, S. H. Han, L. S. Kim, and H. K. Yu, "An 800-MHz low-power direct digital frequency synthesizer with an on-chip D/A converter," *IEEE J. of Solid-State Circuits*, vol. 39, no. 5, pp. 761-774, May 2004.
- [6] J. Tierney, C. M. Radre, and B. Gold, "A digital frequency synthesizer," *IEEE Trans. Audio and Electroacoustics*, vol. 19, pp. 48-57, March 1971.
- [7] F. G. Stremmler, *Introduction to Communication Systems*, 3rd Edition, Addison- Wesley Pub. Co., 1990.
- [8] A. Madisetti, A. Y. Kwentus, and A. N. Wilson, "A 100 MHz, 16-b direct digital frequency synthesizer with a 100 dBc spurious free dynamic range," *IEEE J. of Solid State Circuits*, vol. 34, no. 8, pp. 1034-1043, Aug. 1999.
- [9] L. A. Weaver, *High resolution phase to sine amplitude conversion*, U.S. Patent 4 905 177,

- Feb. 1990.
- [10] S. Morteza pour and E. K. F. Lee, "Design of low-power ROM-less direct digital frequency synthesizer using nonlinear digital-to-analog converter," *IEEE J. Solid- State Circuits*, vol. 34, no. 10, pp.1350-1359, Oct. 1999.
- [11] J. Volder, "The CORDIC trigonometric computing technique," *IEEE Trans. Computers*, vol. 8, pp. 330-334, Sept. 1959.
- [12] Y. H. Hu, "The quantization effects of the CORDIC algorithm," *IEEE Trans. Signal Processing*, vol. 40, no. 4, pp. 834-844, Apr. 1992.

저자소개



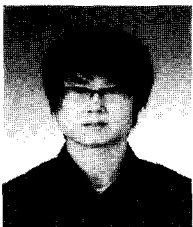
김 종 일 (Kim, Chong-II)

1987 서강대학교 전자공학과 공학사
1989 연세대학교 전자공학과 공학석사
1993 연세대학교 전자공학과 공학박사
1993~현재 관동대학교 정보기술공학부 교수.
[주 관심분야] 이동통신, STC, TCM, OFDM, 주파수 합성기 등



이 윤 식 (Lee, Yun-Sik)

2005년 관동대학교 전자공학과 공학사
2005년 3월~2006년 9월 (주)엘앤에프 기술연구소
2006년 9월~2007년 5월 (주)지산하이텍 기술연구소
2007년 관동대학교 전자공학과 공학석사
2007년~현재 관동대학교 전자공학과 박사과정



이 의 권 (Lee, Eui-Kwon)

2007년 관동대학교 전자공학과 공학사
2007년~현재 관동대학교 전자공학과 석사과정