

FPGA를 이용한 고속 전류 제어기의 구현

鄭銀洙[†], 李學俊^{*}, 薛承基^{**}

Implementation of a Fast Current Controller using FPGA

Eun-Soo Jung, Hak-Jun Lee and Seung-Ki Sul

요 약

본 논문에서는 FPGA(Field Programmable Gate Array) 기반의 전류 제어기를 설계하고 구현하였다. 기존의 DSP(Digital Signal Processor) 기반의 전류 제어기는 알고리즘 연산으로 인해 일반적으로 한 샘플링의 디지털 시지연이 발생한다. 반면에, FPGA 기반의 전류제어기는 FPGA의 높은 연산 능력을 이용하여, 알고리즘 연산에 필요한 시지연을 감소시킬 수 있다. 이로 인해 시지연이 물리적으로 줄기 때문에, 어떠한 시지연 보상 알고리즘 없이 전류 제어기의 대역폭을 향상시킬 수 있다. 구현된 FPGA 기반 전류 제어기의 성능은 실험을 통해 검증되었다.

ABSTRACT

This paper presents a design of an FPGA (Field Programmable Gate Array) -based current controller. Using the nature of the high computational capability of FPGA, the digital delay due to the algorithm execution can be reduced. The control performance can be better than the conventional DSP (Digital Signal Processor)-based current controller. Moreover, this method does not need any delay compensation algorithm because the digital delay is physically diminished. Therefore, the bandwidth of the current controller can be extended by this method. The feasibility of this method is verified by several experimental results under the various conditions.

Key Words : FPGA, Current controller, FPGA-based controller, Digital delay, Fast current control

1. 서 론

반도체 기술의 발전에 따라, 많은 전력전자 분야, 특히 전동기 제어 분야에서 DSP에 기반한 제어기가 주류를 이루어 왔다. 최근 들어, 생산성 향상을 위한 전동기 제어 및 자동화 기기의 고성능화가 요구되고 있으며, 이를 위해 점점 더 높은 성능의 제어기가 요구되고 있다. 이러한 고성능의 제어를 위해 멀티 프로세

서나 고사양의 DSP가 사용될 수 있지만, 비용에 비해 그 효과가 크지 않다. 다른 대안으로써 하드웨어 기반인 ASIC 기술을 사용하려고 시도가 있으나, 긴 개발 기간과 초기 투자 비용은 ASIC 기술의 활용에 걸림돌이 되고 있다. 반면, FPGA는 상대적으로 짧은 개발 기간과 설계의 유연성, 강력한 연산 능력으로 인해 또 하나의 대안으로 W여겨지고 있다^[1].

초기에는 PWM (Pulse Width Modulation) 발생기와 같이 마이크로프로세서 내의 일부 기능을 대체하기 위한 목적으로 FPGA 기술이 적용되었으나, 그 이후에는 다양한 PWM 기능과 함께 단일 칩 솔루션으로써 프로세서를 대체하려는 논문들이 발표되었다^[2]. 하지만 이러한 논문들은 주로 재활용 가능한 HDL (Hardware Description Language) 함수 라이브러리의 작성에 집

[†]교신저자 : 학생회원, 서울대 전기컴퓨터공학부 석박사과정

E-mail : eunsoo@eepel.snu.ac.kr

^{*}학생회원, 서울대 대학원 전기컴퓨터공학부 석사과정

^{**}정회원, 서울대 전기공학부 교수

접수일자 : 2007. 5. 2 1차 심사 : 2007. 6. 28

심사완료 : 2007. 7. 18

중하였다. 이는 FPGA의 특성 중 유연성(Flexibility)에 초점을 맞춘 것으로, FPGA의 뛰어난 연산 능력을 보여주기에는 부족한 점이 있다.

본 논문에서는 FPGA의 뛰어난 연산 성능을 이용하는 전류 제어기를 구현하였으며, 기존 DSP 기반의 전류 제어기에 존재하는 알고리즘 연산에 의한 디지털 지연을 감소시켰다. 이로 인해 ADC (Analog-to-Digital Converter)의 변환 시간을 포함한 알고리즘 연산 시간이 1us이하로 감소하였다. 이러한 짧은 연산 시간을 이용해 기존의 전류 제어기보다 향상된 제어 성능을 가지는 제어기의 설계가 가능하다. 설계된 FPGA 기반 전류 제어기의 성능을 실험을 통해 검증하였다.

2. 전류 제어기의 설계

표면 부착형 영구자석 동기 전동기의 수학적 모델을 이용하여 일반적인 형태의 동기좌표계 비례적분 제어기를 설계하면 다음과 같다.

2.1 영구자석 동기기의 수학적 모델^[3]

동기 좌표계 상의 표면 부착형 영구자석 동기기의 d-q축 전압방정식은 다음과 같다.

$$V_{dq}^r = R_s i_{dq}^r + \frac{d\lambda_{dq}^r}{dt} + j\omega_r \lambda_{dq}^r \quad (1)$$

여기서 V_{dq}^r 는 고정자 전압, i_{dq}^r 는 고정자 전류, R_s 는 고정자 저항, ω_r 는 전기각으로 표시한 회전자의 회전속도이다. 위첨자 'r'은 기준 좌표계가 회전자에 동기된 좌표계를 의미한다.

영구 자석과 고정자 전류에 의한 쇄교 자속, λ_{dq}^r 에 대한 식은 다음과 같이 표현된다.

$$\lambda_{dq}^r = L_s i_{dq}^r + \lambda_{PM} \quad (2)$$

여기서 L_s 는 고정자의 자기 인덕턴스(Self Inductance), λ_{PM} 은 영구 자석에 의한 쇄교 자속(Flux Linkage)을 나타낸다. 다음 절에서는 위의 수학적 모델을 기반으로 전류 제어기를 설계한다.

2.2 동기 좌표계 전류 제어기의 구조^[3]

동기 좌표계 전류 제어기는 비례적분 제어기와 동기

좌표계 변환식으로 구성되어 있다. 동기 좌표계 변환을 통해, 동기적으로 회전하는 모든 요소는 정상 상태에서 직류 값처럼 보이게 되며, 이로 인해 동기 좌표계 전류 제어기는 정상 상태에서 우수한 성능을 나타낸다. 이러한 이유로 인해 전동기 제어 분야에서 동기 좌표계 전류 제어기가 널리 사용되고 있다.

제어기의 동특성을 향상시키기 위해 그림 1과 같이 전항 보상을 추가할 수 있다. 이러한 제어기의 출력 전압은 (3)과 같이 나타낼 수 있다.

$$V_{dq}^{r*} = \left(\frac{K_i}{s} + K_p \right) (i_{dq}^{r*} - i_{dq}^r) + j\omega_r L_s i_{dq}^r + V_{dq}^{r_{dff}} \quad (3)$$

여기서 K_p 와 K_i 는 각각 비례적분 제어기의 비례, 적분 이득이다. $j\omega_r L_s i_{dq}^r$ 은 교차 간섭 효과(Cross Coupling effect)를 소거하기 위한 항이다. $V_{dq}^{r_{dff}}$ 는 영구 자석의 회전에 의한 역기전력을 보상하는 전항 보상 항이며, $V_{dq}^{r_{dff}} = \omega_r \lambda_{PM}$ 으로 나타낼 수 있다. 이 두 전항 보상 항이 정상적으로 동작한다면, (1)의 마지막 항이 사라지고, 전동기는 R-L 직렬 부하로 생각할 수 있다. 따라서 제어기 폐루프(Closed Loop)의 전달 함수는 전류 측정과 제어에 있어 시지연(Time Delay)을 무시하면 다음과 같이 표시할 수 있다.

$$\frac{i_{dq}^r}{i_{dq}^{r*}} = \frac{K_p s + K_i}{L_s s^2 + (R_s + K_p) s + K_i} \quad (4)$$

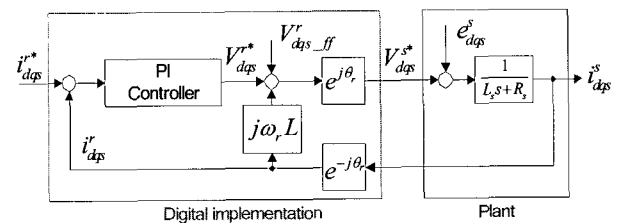


그림 1 일반적인 동기 좌표계 전류 제어기의 구조
Fig. 1 Conventional scheme of the synchronous rotating frame current controller

이 전달 함수에는 하나의 영점과 두 개의 극점이 존재하므로, 계단형 전류 지령에 대한 응답(Step Response)에서 진동이 일어날 수 있다. 이를 피하기 위해 일반적으로 비례 적분 이득은 다음과 같은 영점-극점 소거(pole-zero cancellation) 방식으로 정해진다.

$$K_p = L_s \omega_{cc} \quad (5)$$

$$K_i = R_s \omega_{cc} \quad (6)$$

여기서 ω_{cc} 는 제어기 대역폭이며, 일반적으로 DSP 기반 제어기에서 스위칭 주파수의 1/10 이하로 제한된다. 만약 비례적분 제어기 이득 설정에 이용한 전동기 정수가 실제 값과 같다면, 시스템의 전달 함수 식 (4)를 (5), (6)을 이용하여 정리하면 (7)과 같이 표현된다.

$$\frac{i_{dqs}^r}{i_{dqs}^{r*}} = \frac{\omega_{cc}}{s + \omega_{cc}} \quad (7)$$

위 식에서 보이는 바와 같이 이러한 이득 선정으로 전류 제어기는 지령에 대해 1차 저역 통과 필터로 동작하게 된다.

2.3 전압형 인버터에서의 PWM 기법

일반적인 서보 드라이브 시스템에서는 PWM 방식의 인버터가 사용된다. PWM에 의한 구동 시, 상전류에는 기본파(Fundamental Wave) 성분과 맥동(Ripple) 성분이 함께 존재하게 되며, 정상적인 전류 제어기의 구동을 위해서는 전류의 기본파 성분만이 필요하게 된다. 이를 얻기 위해 전류의 순시값을 측정하는 방법이 널리 사용되고 있다. 대칭적인 PWM 게이팅 조건에서 샘플 주기, T_s 동안의 전류 평균값은 PWM 반송파(Carrier Wave)의 최대점과 최소점에서 얻을 수 있다. 따라서 그림 2와 같이 PWM 갱신 시점과 전류 측정 시점을 동기화시킴으로써 쉽게 순시값 측정 방법을 구현할 수 있다^[3,6]. 또한, 이 전류 측정 방식은 피드백 전류의 스위칭 잡음에 대한 강인함을 증대시킨다^[6].

앞서 설명한 바와 같이, 고정자 전류를 PWM 반송파의 최대점과 최소점에서 측정한다면, 그림 2와 같이 두 종류의 디지털 지연이 존재하게 된다. 첫 번째는 제어기 내부의 알고리즘 계산을 위한 연산 지연이다. 즉, n 번째 샘플링이 nT_s 시점에서 수행되고, 이 측정값으로부터 출력 전압을 구하기 위해 연산이 수행된다. 일반적으로 이 때 필요한 연산 시간이 샘플링 주기의 상당 부분을 차지하게 된다. 따라서 계산 결과인 PWM 출력은 다음 샘플링 시점인 $(n+1)T_s$ 에서 갱신(Update)되어야 한다. 두 번째 지연 요소로는 PWM 출력에 의한 시간 지연이 있다. PWM은 0 전압과 DC 링크의 전압을 시간적으로 평균하여 출력 전압을 합성

하기 때문에, 합성 전압이 한 샘플링 주기 동안 일정하게 작용한 것으로 근사화할 수 있다. 이는 ZOH(Zero Order Holder)에 의한 반 샘플의 시지연과 동일하게 볼 수 있다. 이 두 지연 요소에 의해 전체 디지털 지연은 샘플링 주기의 1.5배가 된다.

디지털 시지연은 전류 제어기의 대역폭을 제한하는 요소 중 하나이다. 따라서 이러한 시지연 요소를 제거하거나 감소시킬 수 있다면, 더욱 빠른 동특성을 가지는 전류 제어기를 설계할 수 있다. PWM에 의한 시지연은 전압 합성 방법이 바뀌지 않는 한 제거할 수 없으므로, 연산에 의한 시지연을 감소시킴으로써 제어기의 성능을 향상시킬 수 있다. 그림 3과 같이, 충분히 빠른 시간 내에 알고리즘 연산이 끝난다면, 알고리즘 연산과 PWM 갱신을 같은 주기에 실행시킬 수 있다. 이 경우, PWM에 의한 반 샘플 지연 효과만이 남게 되므로, 기존의 방법에 비해 쉽게 높은 대역폭을 가지는 전류 제어기를 설계할 수 있게 된다^[7].

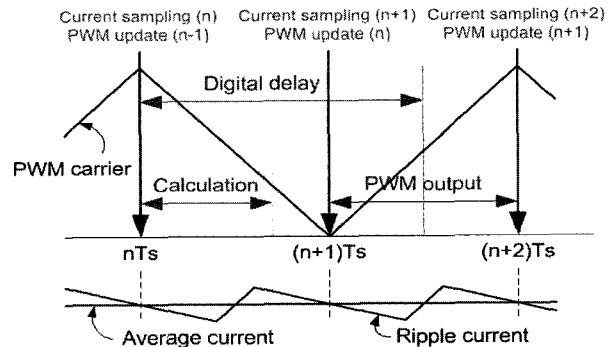


그림 2 연산에 의한 시지연이 존재하는 시스템의 PWM과 전류 파형
Fig. 2 The PWM and the current ripple of the system having the digital delay due to the algorithm calculation

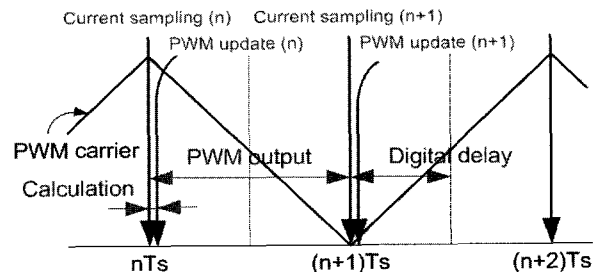


그림 3 연산에 의한 시지연이 없는 시스템의 PWM
Fig. 3 The PWM of the system with no time delay due to the algorithm calculation

3. FPGA 기반의 전류 제어기의 구현

DSP에서는 모든 수치 및 논리 연산이 순차적으로 행해진다. 반면, FPGA에서는 동시에 많은 연산을 할 수 있다. 즉, 여러 연산을 동시에 수행함에 따라 높은 연산 성능을 얻을 수 있고, 이는 FPGA의 중요한 장점 중 하나이다. FPGA를 이용한 고속 전류 제어기를 구현하기 위해 많은 연산이 병렬로 수행되어야 한다. 대부분의 응용 분야에서 FPGA는 VHDL (Very High speed integrated circuit HDL), Verilog HDL과 같은 HDL로 기술되고 구현되었다. 하지만 최근 Altera, Xilinx와 같은 대형 FPGA 제조사들이 Matlab Simulink 환경에서 동작하는 FPGA 개발 툴을 제공하고 있다. 이런 종류의 개발 툴이 FPGA를 최적화하거나 장치의 모든 성능을 이끌어내는 데에는 적합하지 않을 수 있지만, 짧은 개발 시간과 사용의 편의성으로 인해 여전히 하나의 대안으로 고려될 수 있다. 본 논문에서는 제어기의 대부분을 Altera에서 제공하는 DSP builder로 구현하였다.

3.1 각 기능 블록의 구현

FPGA를 이용하여 전류제어기를 구현하기 위해 먼저 다음과 같은 기능 블록들을 구현하였다.

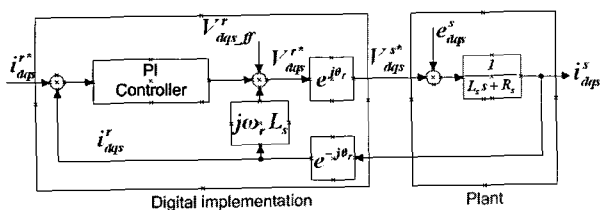


그림 4 FPGA를 이용해 구현된 함수들의 블록 다이어그램
Fig. 4 The block diagram of the implemented functions using FPGA

- 12bit ADC 인터페이스
- 엔코더 인터페이스
- 메모리의 참조표(LUT) 이용한 Sin/Cos 함수
- 동기 좌표계 변환과 그 역변환
- 비례 적분 제어기
- 오펙트 전압을 이용한 공간 벡터 PWM
- 상전류 방향에 따른 데드타임(Dead Time) 보상 기법
- DAC (Digital-to-Analog Converter) 인터페이스

그림 4에서 보는 바와 같이, ADC와 엔코더는 각각 피드백 전류와 회전자의 위치를 측정하기 위해 사용하

였다. 다른 각 기능 블록들은 DSP 내에서 소프트웨어적인 연산을 하드웨어적으로 치환하였다. PWM 반송파의 최대점과 최소점에서 동기화 신호가 발생하면, 엔코더 인터페이스 블록으로부터 회전자 위치 정보가 갱신되고, 이를 이용하여 Sin/Cos LUT로부터 sine값과 cosine값이 출력된다. 전류 정보는 ADC의 변환 시간이 지난 후, 새로운 전류값이 갱신된다. Sin/Cos LUT와 ADC의 출력값을 사용하여, 좌표계 변환 함수가 동작하고, 그 출력으로 동기 좌표계 상의 전류값이 얻어진다. 비례 적분 제어기에서는 동기 좌표계 상의 전류 지령과 전류 피드백으로부터 전압 출력을 만들어 내며, 이 출력값은 다시 좌표계 역변환 함수에 의해 상전압으로 변환된다. 공간 벡터 PWM에서는 각 상전압으로부터 풀전압 지령이 생성되고 이를 이용하여 적절한 시간에 게이팅 신호가 출력되게 된다.

앞서 설명한 바와 같이 ADC와 엔코더 인터페이스에서 부터 SVPWM까지는 순차적으로 처리된다. 하지만 이는 모든 연산이 순차적으로 실행되는 것을 의미하지는 않는다. 각 함수들의 내부는 병렬 구조로 구성되어 있기 때문에 블록 내부의 연산은 병렬로 이루어진다.

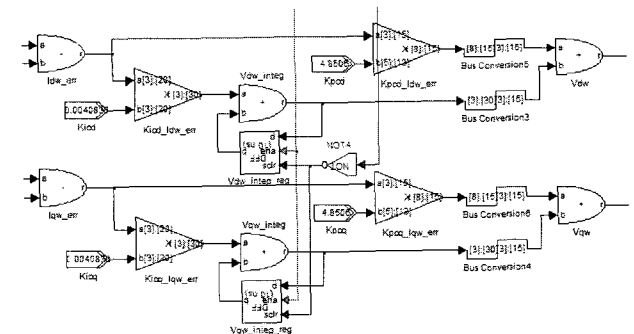


그림 5 DSP builder를 이용한 비례 적분 제어기의 구현
Fig. 5 An implementation of the PI controller using the DSP Builder

그림 5는 이해를 돕기 위한 예로 비례적분 제어기의 내부를 표현한 Simulink 모델이다. 이 블록의 내부에는 d축 비례, 적분 항과 q축 비례, 적분 항이 모두 동시에 연산되기 때문에, 이 블록의 연산 시간은 이 네 항 중 가장 연산 시간이 긴 항에 의해 결정된다. 이 경우는 4 클럭(Clock) 주기만에 비례 적분 제어기가 모든 연산을 수행하게 된다. 같은 이유로 다른 기능 블록들의 동작은 단지 3-5 클럭 주기 내에 블록의 동작을 완료하게 된다.

3.2 구현된 제어기의 성능

본 논문에서 Alter사의 Stratix2 계열의 FPGA EP2S60F1020F를 사용하였으며, 사용된 리소스는 표1과 같다. FPGA의 메인 클럭 주파수는 100MHz로 설계하였고, ADC에서 값을 읽고 공간 벡터 PWM의 카운터 레지스터를 갱신시키는 데까지 20 클럭 주기(200ns)가 소요된다. 그리고 ADC 변환 시간은 Texas Instrument사의 ADS805를 사용하여 600ns가 소요된다. 따라서 ADC 변환 시간을 포함한 총 수행 시간은 800ns이다. 이는 샘플링 주파수를 40kHz로 가정할 때, 샘플링 주기의 3.2%에 해당하는 시간이다.

표 1 사용된 FPGA 리소스(Stratix2, EP2S60F1020F)
Table 1 Used resources of the FPGA (Stratix2, EP2S60F1020F)

Resources	Use/Total	Percent [%]
ALUTs	1,932/48,352	4
Registers	1,489/48,352	3
pins	77/719	11
Memory bits	188,416/2,544,192	7
9bit DSP block	152/288	53
PLL	1/12	8

4. 실험 결과

설계된 FPGA 기반 전류 제어기의 성능을 검증하기 위해 그림 6과 같이 실험 세트를 구성하였다. 220V 삼상 전원을 정류하여 DC 전압을 얻고, PWM 인버터는 IGBT 7팩 모듈을 사용하여 제작하였다. 실험에 사용된 표면부착형 동기 전동기의 제정수는 표2와 같으며, 엔코더는 6000PPR의 증분형을 사용하였다. 인버터의 스위칭 주파수는 20kHz, 샘플링 주파수는 40kHz로 설정하였다. 설계된 제어기의 대역폭 ω_{cc} 는 스위칭 주파수의 약 1/3인 6kHz로 설정하였다.

그림 7은 정격 전류의 20% 윽셋, 7%의 진폭에 해당하는 1kHz 사인파(Sinusoidal Wave) d-축 전류 지령에 대한 응답을 보여준다. 전류 지령과 피드백 전류 사이에는 시간적으로 한 샘플링의 지연이 발생하며, 이는 약 -9°의 위상차에 해당한다.

그림 8은 그림 7과 같은 조건의 2kHz의 전류 지령에 대한 응답을 보여준다. 전류 지령과 피드백 전류 사이에는 시간적으로 한 샘플링의 지연이 발생하며, 이는 약 -27°의 위상차에 해당한다.

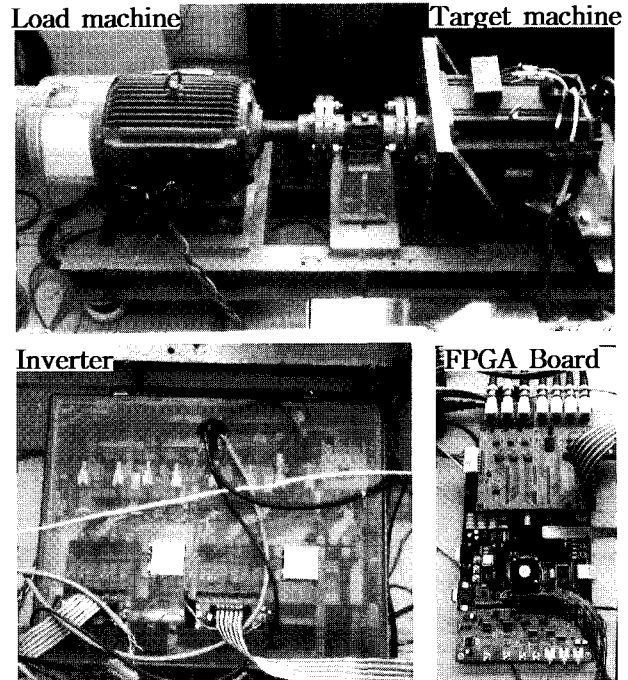


그림 6 실험 세트 구성
Fig. 6 The experimental setup

표 2 동기전동기의 제정수
Table 2 The parameters of the SMPMSM

	크기 [단위]
정격 출력	11 [kW]
정격 토크	52.5 [Nm]
정격 전류	51.4 [A]
정격 속도	2,000 [r/min]
고정자 저항	13 [mΩ]
고정자 인덕턴스	0.386 [mH]

그림 9는 그림 7과 같은 조건의 6kHz의 전류 지령에 대한 응답을 나타낸다. 6kHz 지령의 경우, 7번의 40kHz 샘플링으로 사인파를 형성하므로 정확한 위상차를 나타내기가 쉽지 않다. 따라서 근사적으로 약 한 샘플링에 가까운 시지연으로 가정하면, 이는 약 -54°의 위상차에 해당한다.

그림 10은 전류 제어기의 계단형 전류 지령에 대한 응답을 나타낸다. 계단형 전류 지령은 정격 전류의 10% 윽셋으로부터 20%를 변화시킨 것이다. 정상상태에 도달하기까지 약 2 샘플링이 소요되며, 이는 50us에 해당한다. 앞서 2장에서 전류 제어기를 아날로그 형태의 1차 저역 통과 필터로 가정하였다. 구현된 전

류 제어기의 경우, 아날로그 필터와 동일한 성능을 나타내지는 않지만, 그림 7-10의 실험 결과를 볼 때, 근사적으로 비슷한 성능을 내는 것을 확인할 수 있다. 사인과 지령에 대한 위상 지연, 계단형 지령에 대한 상승 시간 등을 고려할 때, 약 6kHz 정도의 대역폭을 가진 것으로 판단할 수 있다.

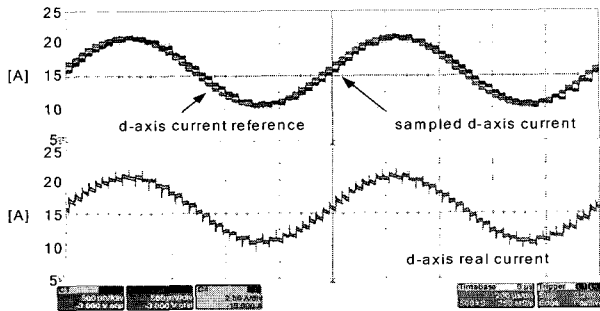


그림 7 1kHz 사인파 d-축 전류 지령에 대한 전류 응답 (200us/div.)
 Fig. 7 The current response against 1kHz sine wave d-axis current reference (200us/div.)

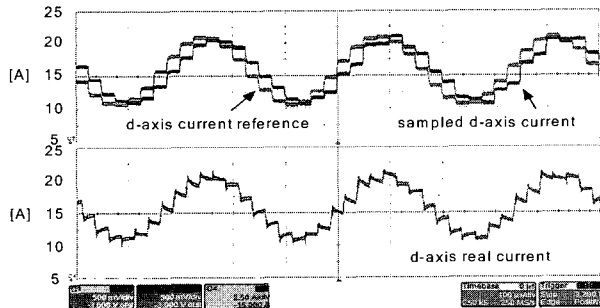


그림 8 3kHz 사인파 d-축 전류 지령에 대한 전류 응답 (100us/div.)
 Fig. 8 The current response against 3kHz sine wave d-axis current reference (100us/div.)

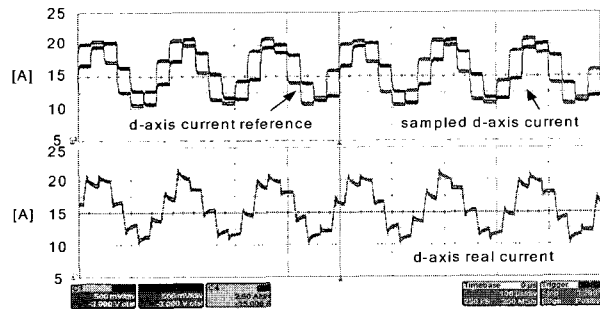


그림 9 6kHz 사인파 d-축 전류 지령에 대한 전류 응답 (100us/div.)
 Fig. 9 The current response against 6kHz sine wave d-axis current reference (100us/div.)

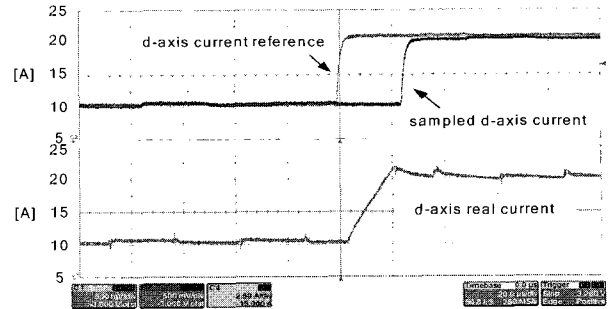


그림 10 계단식 d-축 전류 지령에 대한 전류 응답 (100us/div.)
 Fig. 10 The step current response (100us/div.)

5. 결 론

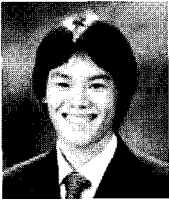
본 논문에서는 디지털 지연을 감소시키기 위한 FPGA 기반 전류 제어기를 구현하였다. AD 변환 시간을 포함한 알고리즘 연산에 의한 전체 시지연은 약 800ns로 감소하였으며, 이로 인해 같은 주기에 알고리즘 연산과 PWM 갱신이 이루어진다. 이를 이용해 기존의 DSP 기반의 전류제어기에 비해 높은 대역폭을 가지는 제어기를 구현하였다. 구현된 제어기의 성능을 실험을 통해 검증하였다.

참 고 문 헌

- [1] J.M.Retif, B.Allard, X.Jorda, and A.Perez, "Use of ASIC's in PWM techniques for power converters," in Proc. IEEE IECON'93, pp.683-688, 1993
- [2] S.Betro, A.Paccagnella, M.Ceschia, S.Bolognani, and M.Zigliotto, "Potentials and pitfalls of FPGA application in inverter drives - a case study," in IEEE Int. Conf.industry technology 2003, vol. 1, pp. 500-505, Dec. 2003
- [3] 설승기, "전기기기제어론", 브레인 코리아, 2002
- [4] V.Blasko, V.Kaura, and W.Niewiadomski, "Sampling of Discontinuous Voltage and Current Signals in Electrical Drives," IEEE Trans. Industry Application, vol. 34, No.5, Sep 1998.
- [5] S.H.Song, J.W.Choi, and S.K.Sul, "Current Measurement of Digital Field Oriented Control," in Conf. Rec. of AS'96, pp. 334-338, 1996.
- [6] Y.C.Son, S.H.Song, and S.K.Sul, "Analysis and Compensation of Current Sampling Error in AC Drive with Discontinuous PWM," IEEE-APEC, vol. 2, No.5, pp.795-799, Mar 1999.

- [7] A.Yoo, Y.D.Yoon, S.K.Sul, M.Hisatune, S.Morimoto, and K. Ide, "Design of a Current Regulator with Extended Bandwidth for Servo Motor Drive," in Conf. Rec. PCC-Nagoya, 2007.

저 자 소 개



정은수(鄭銀洙)

1983년 2월 9일생. 2005년 서울대 기계항공공학부 졸업. 2005년~현재 동 대학원 전기컴퓨터공학부 석박사통합과정.



이학준(李學俊)

1980년 12월 15일생. 2007년 서울대 전기공학부 졸업. 2007년~현재 동 대학원 전기컴퓨터공학부 석사과정.



설승기(薛承基)

1958년 5월 13일생. 1980년 서울대 공대 전기공학과 졸업. 1983년 동 대학원 전기공학부 졸업(석사). 1986년 동 대학원 전기공학부 졸업(공학박). 1986년~1988년 University of Wisconsin, Madison 연구원. 1988년~1990년 LG산전 책임연구원. 2003

년~2004년 일본 Yaskawa Electric Corp. 연구소장. 1991년~현재 서울대 전기컴퓨터공학부 교수. 당 학회 평의원.