

실시간 디지털 신호처리를 위한 TIQ A/D 변환기 설계

Design of a TIQ Based CMOS A/D Converter for Real Time DSP

김종수*

Jong-soo Kim*

요약

본 논문에서는 고속으로 아날로그 신호를 디지털 신호로 변환하기 위한 Flash A/D 변환기를 설계하였다. 해상도는 6-Bit로 설계하였으며, Flash A/D 변환기의 단점인 전력손실과 칩의 면적을 줄이기 위하여 CMOS 트랜지스터의 원리인 Threshold Inverter Quantization(TIQ) 구조를 이용하였다. TIQ로 동작시키기 위한 CMOS 트랜지스터 크기는 HSPICE의 반복적인 시뮬레이션 결과로 결정하였다. Flash A/D 변환기의 변환속도를 낮추는 Encoder 부분은 ROM이나 PLA 구조를 이용하지 않고 속도와 소비전력에서 우수하지만 설계과정이 복잡한 Fat Tree Encoder를 사용하였다. 제조 공정은 Magna 0.18um CMOS에 Full Custom 방식으로 설계하였다. 시뮬레이션 결과 1.8 V 전원전압에 최대소비전력은 38.45 mW이며 동작속도는 2.7 GSPS를 얻을 수 있었다.

Abstract

This paper presents a CMOS TIQ flash A/D converter which operates very fast compared to other types of A/D converters due to its parallel architecture. The output resolution of designed A/D converter is 6-bit. In order to reduce the power consumption and chip area of conventional flash A/D converter, TIQ based flash A/D converter is proposed, which uses the advantage of the structure of CMOS transistors. The length and width of transistors of TIQ were determined with HSPICE simulation. To speed up the ultra-high speed flash A/D converter, the Fat Tree Encoder technique is used. The TIQ A/D converter was designed with full custom method. The chip's maximum power consumption was 38.45mW at 1.8V, and the operating speed of simulation was 2.7 GSPS

Keywords : Flash A/D converter, TIQ, Fat Tree Encoder

I. 서론

근래 휴대용 무선 통신 기기뿐만 아니라 디지털오실로스코프와 같은 계측기의 보급으로 소비전력이 적으면서 동작속도가 빠른 A/D 변환회로가 필요하다. 또한 반도체 제조 기술의 발달로 아날로그회로와 디지털 신호처리를 하나의 반도체에 구현할 수 있는 SoC(System on Chip)로의 설계가 이루어지고 있다. 실시간으로 신호를 처리할 수 있는 SoC에서 고속의 A/D 변환회로는 RF 회로를 간단히 줄일 수 있으므로 효과적인 시스템을 구현할 수 있다[1-3,11].

반도체 회로를 구현하는데 주로 이용되는 공정은 CMOS이다. 초기의 CMOS회로는 다른 공정에 비하여 동작속도가 느렸지만, 지속적인 연구개발로 일반적인 공정이 되었다. 물론 GaAs는 CMOS에 비하여 빠른 속도로 동작하지만 CMOS 회로와 같이 사용할 수 없는 단점이 있고, 대량

생산을 하기 위해서는 보다 많은 연구가 필요하다. Bipolar 기술의 경우 CMOS 회로와 같은 반도체 내에서 동작시킬 수 있는 BiCMOS 기술이 개발되었지만 CMOS에 비하여 제조비용이 고가이다[12,13].

고속 A/D 변환회로에 적합한 구조는 Flash A/D 변환기와 Pipeline A/D 변환기가 있다. Flash A/D 변환기는 입력 신호의 크기를 각각의 기준전압과 비교하는 비교기(Comparator)가 n-bit일 경우에 2^n-1 개의 병렬 구조로, 입력을 Sampling 후에 처리하는 Successive Approximation Register(SAR)나 Sigma Delta($\Sigma\Delta$)보다 고속으로 변환할 수 있다[13]. Pipeline A/D 변환기는 n개의 단으로 구성되지만 Flash A/D 변환기에 비하여 속도는 늦으나 동일한 공정으로 제조할 경우 더욱 정밀한 출력 Bits를 얻을 수 있다[12]. 그러나 Flash 구조는 동일한 길이의 Bits를 제공하는 경우 다른 A/D 변환회로에 비해 많은 비교기가 필요하기 때문에 면적과 소비전력도 커지게 된다. 따라서 빠른 변환속도와 낮은 전력소모를 만족하기 위하여 Flash 구조를 보완할 수 있는 TIQ 기술을 이용한 A/D 변환회로를 설계하였으며, SoC로 회로를 구현할 경우에 사용가능하다[5-7, 11].

*울산대학교 전기전자공학부

논문 번호 : 2007-2-8 접수 일자 : 2007. 5. 4

심사 완료 : 2007. 7. 9

*이 논문은 울산대학교 학술연구비에 의하여 지원되었으며, IDEC 사업에 의하여 칩이 제작되었습니다

본 논문에서는 임의의 크기로 설계 가능하지만, 입력전압의 차이가 mV 정도로 미세하므로 6-bit로 설계하였다. 본 논문의 구성은 다음과 같다. II장의 1절에서는 Flash A/D 변환회로 구조에 대하여 살펴보고, 2절에서는 제안된 Flash A/D 변환회로의 원리와 아날로그 입력신호의 크기를 비교하는 TIQ 기술에 대하여 설명한다. 3절에서는 비교기에서 얻은 출력을 이진수로 변환하는 Encoder에 대하여 설명한다. 4절에서는 Layout한 회로와 HSPICE 시뮬레이션 결과에 대한 내용을 언급하고, 5절에서는 측정결과에 대한 내용을 기술한다. 마지막 III장에서 결론을 맺는다.

II. Flash A/D 변환기와 TIQ

2.1 Flash A/D 변환기 구조

그림 1은 전형적인 Flash A/D 변환회로로 n-bit의 경우 입력에 2^n-1 개의 비교기가 필요하다. 아날로그 입력신호에 연결된 비교기는 각각의 기준 전압인 V_{ref} (Reference Voltage)가 필요하다. 제일 아래쪽에 연결된 V_{ref} 는 가장 작은 기준전압이고, 가장 위쪽 비교기의 V_{ref} 는 가장 큰 전압 값이다. 이들 크기 사이의 전압을 비교기 개수만큼 나누면 디지털 출력의 Bit 수인 Resolution을 얻을 수 있다. 그림 1의 flash A/D 변환회로의 경우 6-bit이므로 63개의 비교기가 필요하다.

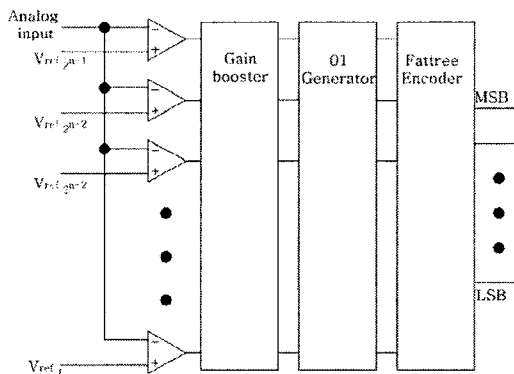


그림 1. Flash A/D 변환기 구조
Fig. 1. Structure of Flash ADC

63개의 비교기 출력은 연속된 값으로 온도계의 눈금과 같으므로 Thermometer Code(TC)라고 부르며 아날로그 입력신호의 크기에 비례한 1들이 출력된다. 즉 6-bit인 경우에 크기가 5인 신호(이진수로 000101)가 입력되면 63개의 비교기의 출력인 000...011111에서 아래의 5-bit만이 1이 되고 나머지는 모두 0이 된다. 이러한 TC 출력을 디지털 회로에서 사용하기 위해서는 Binary Code(BC)로 변환하는데, ROM이나 PLA와 같은 Encoder 회로를 이용하여 변환한다.

처음 단의 비교기 회로와 마지막 출력단의 Encoder 사이에는 Gain Booster 회로와 0-1 Generator 회로들이 있는

데, 비교기 회로의 출력과형 기울기가 각각 다르므로 이들의 이득을 복원하는 Gain Booster 회로가 필요하다. Gain booster의 출력은 TC이므로 이들 출력을 곧바로 Encoder 회로입력에 연결하여서는 원하는 코드를 얻을 수 없다. 따라서 TC의 제일 큰 위쪽의 값만을 검출하여 Encoder에 알려주는 회로가 0-1 Generator이다. 예를 들면, 63개의 TC 비교기들의 출력이 000...011111이라면, 0-1 Generator는 000...010000의 출력을 만들어 Encoder로 제공하면 최종출력은 000101이 된다.

2.2 전압 비교기

저항으로 구성된 Flash A/D 변환기는 전원전압에서 접지로 계속 전류 흐름이 발생하여 전력손실이 발생한다. 따라서 다음에 소개할 CMOS의 임계전압(Threshold)개념을 이용하여 기준전압으로 사용한다면 CMOS의 낮은 전력손실을 효율적으로 활용할 수 있다[10-11].

CMOS 트랜지스터의 선로 폭이 점점 좁아짐에 따라 고려하여야 할 매개변수들이 많아지므로 새로운 전력 모델이 개발되었으나 이론적인 모델은 실제 회로와는 차이가 있다 [3]. 따라서 다음과 같은 간단한 CMOS 회로의 모델을 이용하여 설명한다.

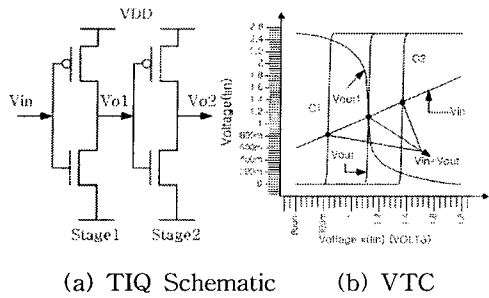
$$V_{th} = \frac{V_{dd} - |V_{tp}| + V_{in} \sqrt{K_n/K_p}}{1 + \sqrt{K_n/K_p}}$$

여기에서 V_{in} 과 V_{tp} 는 NMOS와 PMOS의 임계전압이다. 상수 K_n 과 K_p 는 다음과 같은 값들로 구성된다.

$$K_n = (W/L)_n \cdot \mu_n C_{ox}, \quad K_p = (W/L)_p \cdot \mu_p C_{ox}$$

W 와 L 은 채널 길이(L)와 폭(W)을 나타내며, μ_n 과 μ_p 는 전자와 정공의 이동도이며, C_{ox} 는 단위면적당 Gate Oxide 커패시턴스이다. 위의 식에서 트랜지스터의 크기에 해당되는 W 와 L 을 바꾸면 임계전압을 변경할 수 있다. 이러한 원리는 CMOS Inverter의 임계전압을 사용하는 개념으로 Threshold Inverter Quantization(TIQ)라 부른다.

전압비교기는 입력전압이 각각의 동작전압보다 크면 동작되는 인버터이다. 처음 비교기 출력의 역을 취하면 정의 논리회로가 된다. 그림 2는 TIQ의 회로도 및 Voltage Transfer Curve(VTC)로, (a)는 개념적으로 2개의 Inverter를 연결하면 정의 논리가 되는 것을 나타내고, (b)는 트랜지스터의 크기가 다를 경우에 각각 동작전압에 따른 동작 원리를 나타낸 것이다[7].



(a) TIQ Schematic (b) VTC

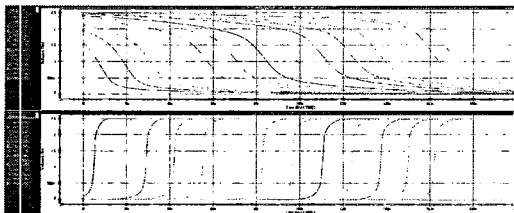
그림 2. TIQ 회로와 전압곡선

Fig. 2. TIQ Schematic and VTC

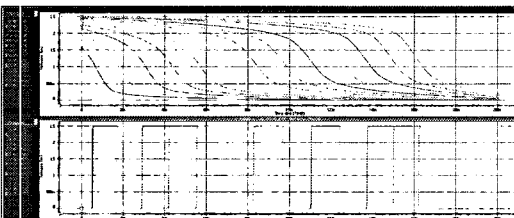
첫 번째 Inverter는 PMOS와 NMOS의 폭과 길이의 W/L 비율에 따라 V_{th} 를 설정한다. PMOS와 NMOS 트랜지스터 선로 길이는 모두 $0.18\mu\text{m}$ 로 고정하였다. 두 번째 Inverter는 비교기의 각기 다른 W/L 때문에 발생하는 파형의 기울기를 가파르고 일정하게 만드는 전압이득 역할을 하는 Gain Booster로 3단으로 구성하였다.

처음 비교기의 출력파형은 그림 3의 파형과 같이 기울기가 각각 다른 모양을 나타내는 HSPICE 결과이다. 그림 3(a)의 위쪽파형은 입력이 그림 3(c)과 같은 직선일 경우에 비교기의 출력파형이며 아래 그림은 1개의 Gain Booster 트랜지스터를 통과한 파형으로 아직 어느 정도의 완만한 기울기를 유지하고 있다. 그러나 3개를 통과한 후에는 그림 3(b)과 같이 보다 급격한 기울기를 얻을 수 있다. 그림 3(c)은 입력과 Gain Booster를 통과한 63개의 출력파형이다[10-11].

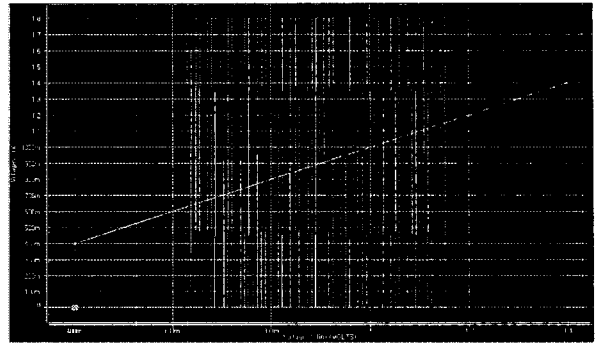
결국 CMOS로 구성된 비교기 회로는 1개의 PMOS와 NMOS Transistor 이루어져 있고, PMOS와 NMOS 트랜지스터의 Length를 제조공정에서 주어지는 상수 값으로 고정시킨 후 트랜지스터의 폭을 변화시키면 Inverter의 임계전압을 조절할 수 있다. 본 논문에서는 선로 길이를 $0.18\mu\text{m}$ 로 고정하고 폭을 정하기 위하여 주어진 공정에서 허용오차 이내의 값으로 HSPICE 시뮬레이션을 반복 적용하여 얻은 값으로 설계하였다.



(a)비교기와 1개의 Gain Booster 출력파형



(b) 비교기와 3개의 Gain Booster 출력파형



(c) 입력과 Gain Booster의 출력파형

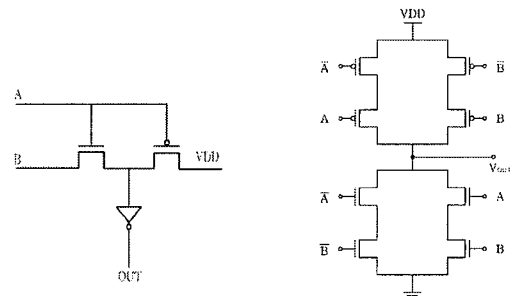
그림 3. 비교기의 전압전달곡선

Fig. 3. Voltage Transfer Curve of Gain Booster

수학적인 모델링 기법 대신 반복적인 시뮬레이션을 적용한 결과 PMOS와 NMOS의 길이에 따른 V_{th} 의 변화는 8 mV의 균일한 이상적인 직선을 얻을 수 있었다. 그러나 선로 폭이 넓어지거나 출력 해상도를 높일 경우에는 균일한 간격을 얻을 수 없어 비선형 특성을 얻게 된다. 이와 같은 경우 트랜지스터의 선로 길이와 폭을 동시에 조절하여 설계하면 이상적인 직선을 얻을 수 있지만, 트랜지스터의 길이가 증가하여 변환속도가 느릴 뿐만 아니라 계산량이 많아져 현실적이지 못하다. 이러한 방법 대신에 CMOS의 모델링 기법을 이용하면 체계적인 방법으로 직선에 가까운 크기를 구할 수 있다.

2.3 01-Generator와 Fat Tree Encoder

Gain Booster를 거친 후 원하는 최종 출력을 얻기 위해서는 코드 변환이 필요하다. 소개한 Gain Booster의 출력은 전압의 크기에 비례하는 TC이므로 곧 바로 코드 변환을 할 수 없으므로 제일 큰 bit만이 1이 되고 나머지는 모두 0이 되도록 하는 01-Generator 회로를 Encoder 전에 이용한다. 그림 4(a)의 01-Generator의 원리는 임의의 위치 $n+1$ 인 B 출력이 0이고 아래 위치인 n 의 출력인 B가 1일 경우에 출력을 1로 만드는 EX-OR Gate회로이다. 주어진 공정으로 (a) 회로의 Dynamic Rule Check(DRC) 오류 때문에 일반적인 EX-OR Gate를 이용하였다.



(a) 기본 EX-OR

(b)구현된 EX-OR

그림 4. 01-Generator 회로

Fig. 4. 01-Generator Circuits

본 논문에서 63개의 Bits 중에 1 bit 만이 1인 01-Generator의 출력을 그 값의 크기에 해당하는 최종 6 bits로 전환하기 위해서 ROM 회로 대신에 전력손실이 적고 속도가 빠른 Fat Tree Encoder를 사용하였다[8, 10-11]. 그림 5는 0을 포함한 8개의 입력신호를 3-Bit으로 변환하는 Fat Tree Encoder의 원리를 나타낸 것이다. 그림 5에서 out_0 은 최종출력의 LSB이고, MSB는 out_2 이다. LSB인 out_0 이 1이 되는 경우는 입력신호 a_1, a_3, a_5, a_7 이 1일 경우이며, 가운데 bit인 out_1 은 그림에서 나타낸 것과 같이 a_2, a_3, a_6, a_7 이 1일 경우에 출력을 얻는다. 따라서 출력은 그림 6과 같이 2개의 OR Gate의 지연시간만 존재한다. 이와 같은 Encoder 회로는 나무구조와 같으므로 Fat Tree Encoder라 부르며, 신호의 지연시간은 $O(\log_2 N)$ 로 ROM 형태의 Encoder보다 빠르다. 그러나 입력의 개수가 커지면 OR Gate의 Fan-In이 많아지고, 규칙적인 구조가 아니므로 설계하기 불편하다[11].

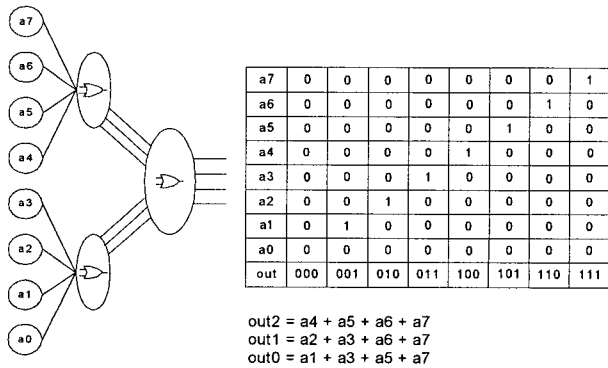


그림 5. 3-bit Fat Tree Encoder 구성
Fig. 5. Structure of Fat Tree Encoder

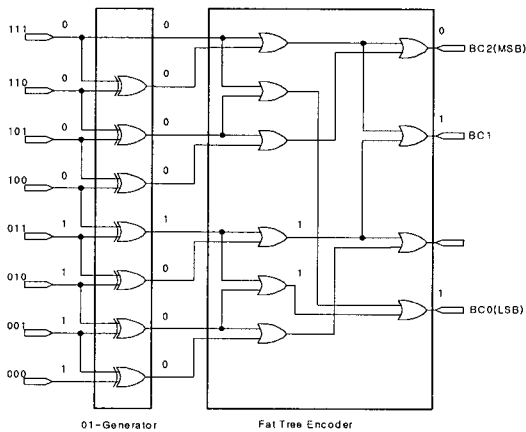


그림 6. Fat Tree Encoder 논리회로
Fig. 6. Logic Circuits of Fat Tree Encoder

2.4 Simulation 및 Layout

본 논문에서는 모든 설계를 기존의 Library를 사용하지 않고 수동으로 설계하였다. 0.18 μ m의 공정으로 시뮬레이션

한 결과, PMOS의 폭은 2.47 μ m에서 19.98 μ m 이고 NMOS의 폭은 1 μ m에서 9.9 μ m까지 변한다. 표 1의 시뮬레이션 결과 값과 최저 동작전압은 642mV이고 최대 동작전압은 1.138V를 얻었다. 1 poly 6 metal로 설계되는 Magna 칩의 코어 크기는 0.44 \times 0.25 mm² 이며 최대 전력소모는 38.45 mW 이었다. 샘플링 주파수는 2.7 GSPS이다. 제조공정에 따라 소비전력과 차지하는 면적이 다르고 이에 따라 변환속도가 다르지만, 참고문헌 [11]에서 제조한 속도는 0.18 μ m 공정으로 팔호 안에 표시한 2.0 GSPS를 얻었다. 0.7 GSPS 정도의 속도차이는 회로의 배치에 따라 발생하는 기생용량에 따른 저하로 최대 2.7 GSPS 이상을 얻을 수 없음을 의미한다. 소비전력은 두 개의 다른 공정이 거의 유사함을 알 수 있다. 그림 7은 Magna 0.18 μ m 공정으로 Layout 한 회로에 선형입력을 공급한 경우 HSPICE 출력파형이며, 그림 8은 최종 Layout한 결과이다[3-5]. PMOS와 NMOS 트랜지스터의 FF(Fast-Fast)와 SS(slow-slow)에 따른 공정오차에 대한 변화는 미소하게 임계전압에 영향을 준다[11].

표 1. 시뮬레이션 결과
Table 1. Summary of Simulation

Resolution	6 Bits
CMOS tech (P/M)	Magna 0.18 μ m (1P/6M)
Power supply	1.8 V
max. speed	2.7 GSPS vs (2.0 GSPS)
Full Scale Range(FSR)	0.642 ~ 1.138 V
Least Significant Bit(LSB)	8 mV
Core Size (without S/L, I/O PAD)	500 * 1000 (um ²)
Core Size (Without S/L)	1374 * 1824 (um ²)
Core Size (include S/L)	1500 * 2000 (um ²)
Maximum Power Dissipation	38.45 mW vs (38.65mW)

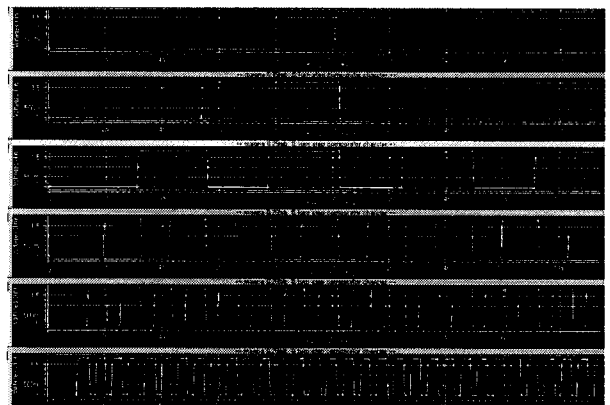


그림 7. 출력파형
Fig. 7. Output Waveform

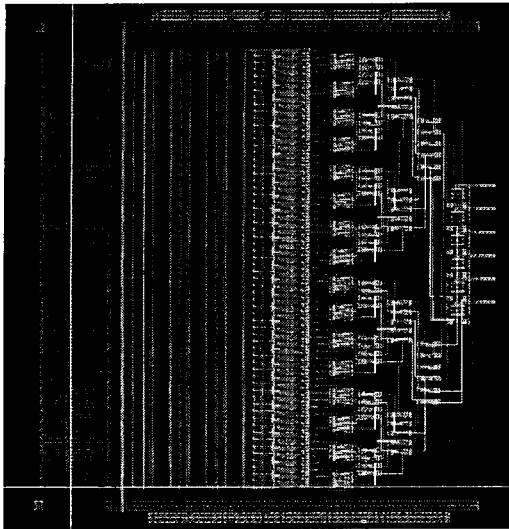


그림 8. 전체 회로의 Layout
Fig. 8. Layouts of All Circuits

2.5 측정결과

회로보호를 위한 부가회인 ESD와 외부 신호를 받는 Sample and Holder(SH) 부분은 포함하지 않았다. 최종 설계된 회로의 실험결과는 그림 9와 같이 동작하였다. 이와 같은 이유는 출력 Buffer 회로가 없으므로 출력파형을 오실로스코프로 측정하기 위하여 연결할 경우에 스위칭 잡음이 전원에 영향을 주고 Feedback으로 인한 지속적인 잡음 때문에 정상적인 파형을 얻기 어려웠다. 그러나 비교기 회로의 출력 파형을 별도로 측정한 결과 그림 10과 같이 낮은 전압과 높은 전압에 따라서 정상적으로 동작하는 것을 볼 수 있다. 그림 10의 (a)는 LSB의 트랜지스터의 출력이고, (b)는 MSB의 출력으로 동일한 입력전압에 다르게 동작하는 것을 알 수 있다. 시뮬레이션의 값들과 정확히 일치하지는 않는 이유는 각 트랜지스터의 전압이 전원전압에 따라 크게 좌우되기 때문이다. 그림 11은 제작된 칩의 사진이다.

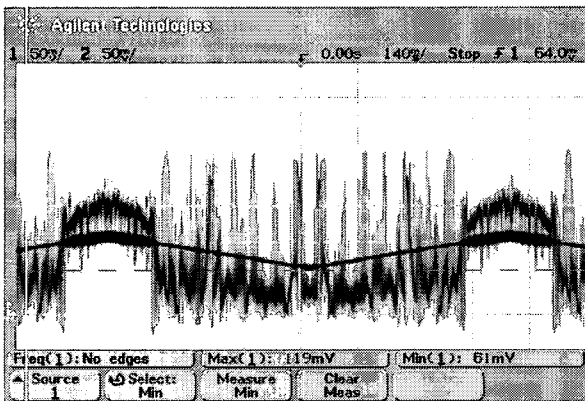
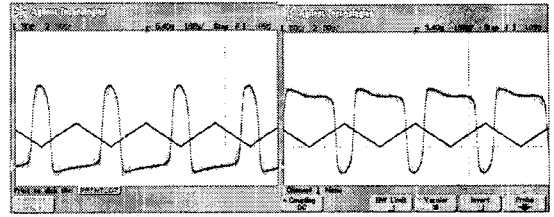


그림 9. LSB 출력파형
Fig.9. Measured LSB's Waveform



(a) LSB 출력파형 (b) MSB 출력파형

그림 10. 측정된 비교기의 파형

Fig. 10. Measured Waveforms of Comparators

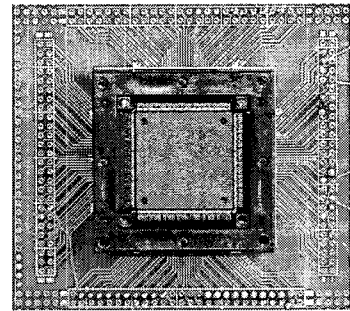


그림 11. 제작된 칩
Fig. 11. Fabricated Chip

III. 결론

본 논문에서는 고속의 6-bit A/D 변환기를 구현하였다. Flash A/D 변환회로는 속도는 빠르지만 다른 A/D 변환회로보다 해상도가 낮고 전력손실이 크다. 이러한 단점을 보완하기 위하여 TIQ 기술을 이용한 회로를 제안하였다. TIQ 기술은 트랜지스터의 W/L 비율을 조절하여 만들 수 있기 때문에 기존의 CMOS 공정으로 제조할 수 있어 속도와 전력소모를 보완할 수 있었다. 또한 Encoder 회로를 기존의 ROM 형태의 회로 대신에 Fat Tree Encoder를 이용하여 속도와 전력손실을 향상시키도록 하였다. 외부 신호를 받는 SH 회로는 포함하지 않았다. 향후에 트랜지스터의 크기를 보다 객관적으로 구할 수 있는 모델링 기법과 잡음에 대한 지속적인 연구뿐만 아니라, 전원전압에 따른 영향을 최소화할 수 있는 지속적인 연구가 필요하다[10]. 끝으로 Pad 크기로는 구동의 한계가 있으므로 계측기의 출력을 구동할 수 있는 Buffer 회로를 추가하여 파형의 왜곡과 잡음의 영향이 없도록 수정하여야 한다.

IV. 참고문헌

[1] Adel S. Sedra, and Kenneth. C. Smith, *Micro-electronic Circuits-4th edition*, Oxford University Press, New York, 1998.
[2] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston,

1987.

- [3] Daniel P. Foty, *MOSFET Modeling with SPICE-Principles and Practice*, Prentice Hall 1997.
- [4] R. Jacob Baker, Harry W. Li, and David E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE Press Marking, 1998.
- [5] Alfi Moscovici, *High Speed A/D Converters-Understanding Data Converters through SPICE*, Kluwer Academic Publishers, 2001.
- [6] Maxim Integrated Products. *Pipeline ADCs Come of Age*, March 2000 http://www.maxim-ic.com/appnotes.cfm/appnote_number/634.
- [7] J. Segura, J. L. Rossell'o, J. Morra, and H. Sigg, "A Variable Threshold Voltage Inverter for CMOS Programmable Logic Circuits", *IEEE J. Solid-State Circuits*, Vol. 33, pp. 1262-1265, Aug. 1998.
- [8] R. Kanan, F. Kaess, and M. Declercq, "A 640mW High Accuracy 8-bit 1GHz Flash ADC Encoder," *IEEE International Symposium on Circuits and Systems*, pp. 420-423, 1999.
- [9] Y.-T. Wang and B. Razavi, "An 8-Bit 150-MHz CMOS A/D Converter," *IEEE Journal of Solid-State Circuits*, vol. 35, pp 308-317, March 2000.
- [10] Daegyul Lee, Jincheol Yoo, and Kyusun Choi. "Design Method and Automation of Comparator Generation for Flash A/D Converters," *IEEE International Symposium on Quality Electronic Design*, pp 138-142, 2002.
- [11] J. Yoo, "A TIQ Based CMOS Flash A/D Converter for System-On-Chip Application", Ph.D. dissertation, The Pennsylvania State University, 2003.
- [12] D. Dalton, G. Spalding, H. Reyhani, T. Murphy, K. Deevy, M. Walsh, and P. Griffin, "A 200-MSPS 6-Bit Flash ADC in 0.6-um CMOS," *IEEE Transactions on Circuit and System*, vol. 45, pp1433-1444. November 1998.
- [13] S. Morteza-pour, and E. K. F. Lee, "A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process," *IEEE Journal of Solid-State Circuits*, vol. 35, pp 642-646, April 2002.



김 중 수 (Jongsoo Kim)

1976년 연세대학교 전자공학과(공학사)
 1978년 연세대학교 전자공학과(공학석사)
 1994년 알라바마대학교 전기공학과
 (공학박사)

1995년-현재 울산대학교 전기전자공학부 교수
 관심분야 : VLSI 회로 및 시스템