

차동 양자화를 사용한 QD-ROM 압축 방식의 직접 디지털 주파수 합성기

The direct digital frequency synthesizer of QD-ROM reduction using the differential quantization

김종일*, 임소영*, 이호진*

Chong-Il Kim*, So-Young Lim*, Ho-Jin Lee*

요약

본 논문에서는 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 원하는 주파수를 합성함으로써 전체적인 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM(Differential ROM : D-ROM)에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 ROM을 사용한 QD-ROM 압축 방식을 제안한다. 1/4주기의 사인파를 2^L 개의 블록으로 나누어 양자화하고 이를 Q-ROM에 저장한다. D-ROM에는 Q-ROM의 표본화 간격을 2^M 으로 나누어 표본화하고 양자화된 값은 그 블록의 표본화된 Q-ROM과의 차이만을 양자화하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 값의 최대 크기는 Q-ROM에 저장되는 양자화 값보다 작은 양이기 때문에 적은 데이터 길이로도 저장이 가능하다. 이를 사용함으로써 최대 67.5%의 ROM 크기를 감소시켜 전력소모를 줄일 수 있다.

Abstract

In this paper, a new method to reduce the size of ROM in the direct digital frequency synthesizer(DDFS) is proposed. The new ROM compression method can reduce the ROM size by using the two ROM. The quantized value of sine is stored by the quantized-ROM(Q-ROM) and the differential ROM(D-ROM). To reduce the ROM size, we use the differential quantization technique with this two ROM. First, we quantize the quarter sine wave with the 2^L address and store the quantized value at the Q-ROM. Second, after the 2^L address are equally divided into 2^M sampling intervals, the sampling value is quantized. And the D-ROM store only the difference between this quantized value and the Q-ROM. So the total size of the ROM in the proposed DDFS is significantly reduced compared to the original ROM. The ROM compression ratio of 67.5% is achieved by this method. Also, the power consumption is affected mostly by this ROM reduction.

Keywords : frequency synthesizer, DDFS, differential quantization, ROM reduction

I. 서론

주파수 합성기는 무선통신 분야에서 원하는 반송파 주파수를 합성하여 발생시키는 반도체 집적회로로서, 민수 분야의 무선휴대통신단말기, 무선 LAN등과 군수분야의 전술 무선휴대통신 단말기, 레이더 등에 활용되고 있다. 주파수 합성기는 PLL(Phase Lock Loop) 방식과 DDFS(Direct Digital Frequency Synthesizer) 방식이 있으며 PLL 방식은 주파수 변환속도가 1ms 정도로 느리고,

DDFS 방식은 수십 ns 정도로 빠른 반면에 소비전력이 큰 것이 단점이다. 최근의 디지털 통신 시스템들은 빠른 주파수 변환, 정밀한 주파수 해상도, 넓은 주파수 대역 그리고 높은 주파수 선택성을 필요로 한다. 이런 요구들을 만족시키기 위하여 새롭게 등장한 개념이 직접 디지털 주파수 합성기이다. DDFS 방식의 주파수 합성기는 주파수 간섭에 의한 페이딩(Fading)에 강하고 보안성이 뛰어나서 군수분야의 주파수 홉핑(Frequency Hopping)에 의한 대역확산(Spread Spectrum) 방식의 통신 분야에 활용되고 있다.

기존의 DDFS는 ROM(read only memory)을 사용하여 사인함수를 저장한다. ROM 테이블 방식은 출력에 필요한 정현파의 모든 샘플을 ROM에 저장하고 있어야 하기 때

*관동대학교 전자정보통신공학부
논문 번호 : 2007-2-6 접수 일자 : 2007. 4. 24
심사 완료 : 2007. 7. 19

문에 출력 품질에 비례하여 ROM 테이블의 크기가 커지게 된다. 더 높은 주파수 선택성을 위해서는 더 많은 데이터가 ROM에 저장되어야 한다. 또한, 더 넓은 대역의 주파수를 만들어 내기 위해서는 더 높은 클럭(clock) 주파수에서 동작해야 한다. DDFS는 동작 클럭 주파수의 증가에 비례하여 소모 전력이 선형적으로 증가한다. 따라서, 파이프라인의 수를 증가시키고 클럭 주파수를 높이는 방식을 사용할 경우, DDFS의 동작 속도에 비례하여 칩의 크기는 선형적으로 증가하고 소모 전력은 제곱으로 증가한다. 따라서, 동작 속도를 높이면서도 면적과 소모 전력을 줄일 수 있는 새로운 방식의 DDFS가 요구된다. 따라서 DDFS의 성능을 높이고 크기와 소모 전력을 낮추기 위해서는 ROM의 크기를 줄이는 것이 매우 중요하다. 이를 위하여 ROM의 크기를 줄이는 많은 기술들이 제안되었다[1~8].

따라서 본 논문에서는 DDFS의 ROM 크기를 줄이기 위해 차동 양자화 기법을 사용하여 사인파를 양자화하고 이를 두 개의 ROM에 저장함으로써 한 개의 ROM을 사용할 때보다 ROM의 크기를 감소시킬 수 있다. 즉 표본화된 사인파의 양자화 값은 양자화 ROM (Quantized ROM : Q-ROM)과 차동 ROM (Differential ROM : D-ROM)에 나누어져 저장시킴으로써 ROM 크기와 소모 전력을 감소시킬 수 있음을 보인다.

II. DDFS의 기본 구조

DDFS의 기본 구조와 각각의 구성요소에서의 출력 파형은 그림 1과 같다[1]. DDFS는 크게 디지털 회로 부분과 아날로그 회로 부분으로 나뉜다. 실제로 정현파를 생성하게 되는 것은 디지털 회로 부분이고, 이를 아날로그 응용 분야에 쓰일 수 있도록 DAC를 거쳐 아날로그 출력으로 만드는 것이 아날로그 회로 부분이다. 디지털 회로 부분은 크게 세 부분으로 구성되는데, 위상값의 증가분(FCW : frequency control word)을 저장하는 레지스터, 위상값을 증가시키는 위상 누적기 (Phase Accumulator), 그리고 이 위상 값으로 부터 정현파를 실제로 계산해내거나 위상 값에 해당하는 정현파의 샘플을 저장한 ROM 테이블로부터 값을 읽어 들이게 되는 위상-사인 변환기(phase-to-sine converter)로 구성되게 된다.

매 클럭마다 L 비트의 FCW가 위상 누적기(phase accumulator)에 저장되어 있는 값에 더해진다. 위상 누적기에서는 FCW가 더해지므로 오버플로우(overflow)하게 되고, 위상 누적기에 저장되어 있는 L 비트의 값중에서 MSB쪽에 있는 상위 N 비트가 위상-사인 변환기로 입력된다. 위상-사인 변환기에서는 N 비트의 위상에 해당되는 사인(sine)값을 출력한다. 위상-사인 변환기에서 행해지는 연산은 위상에 따른 사인파 코사인 값을 계산하는 것이며 이를 구현하는 방법은 ROM을 이용하는 방법[1], CORDIC(COordinated Rotation DIgital Computer)를 이용

하는 방법[9][10], 선형 interpolation 기법을 이용하는 방법 등이 있다. 위상-사인 변환기의 디지털 출력값이 DAC를 통과하고 나면 아날로그 값으로 변환되고, 끝으로 LPF에 통과시켜서 최종적으로 부드러운 파형을 얻는다.

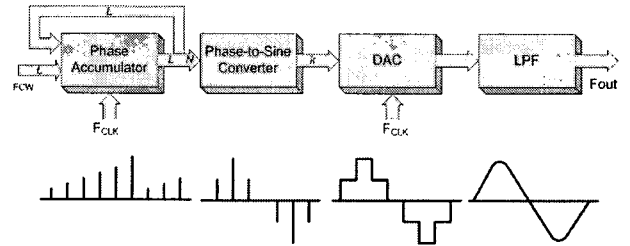


그림 1. DDFS의 기본 블록 다이어그램

Fig. 1. Block diagram of DDFS

III. QD-ROM 압축방식의 직접 디지털 주파수 합성기 설계

새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 사인파를 형성하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM(Differential ROM : D-ROM)에 저장된다. 그림 2처럼 사인파의 원래 ROM의 어드레스가 2^{L+M} 에 데이터 길이 q 비트로 양자화 되었을 때 2^{L+M} 의 어드레스를 2^L 블록으로 나누어 양자화하여 Q-ROM에 저장한다. D-ROM에는 Q-ROM의 표본화 간격을 2^M 으로 나누어 표본화하고 양자화된 값은 그 블록의 표본화된 Q-ROM과의 차이만을 양자화하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 값의 최대 크기는 Q-ROM에 저장되는 양자화 값보다 작은 양이기 때문에 q 비트보다 적은 데이터 길이로도 저장이 가능하다. 전통적인 방법으로 사인파를 ROM에 저장했을 때 필요한 ROM의 사이즈는 $2^{L+M} \times q$ 이다. ROM 축소 방법으로 사인파를 저장했을 때 Q-ROM에 저장되는 ROM 사이즈는 $2^L \times q$ 이며 D-ROM에 저장되는 ROM 사이즈는 $2^{L+M} \times d$ (단, $d < q$)가 된다.

여기서 D-ROM의 데이터 길이 d 비트는 Q-ROM과 D-ROM의 표본화 값 차이의 최대값을 양자화 할 수 있는 길이만큼 충분히 길어야 한다. 만일 그림 3처럼 Q-ROM의 데이터 비트 길이가 q 이고 Q-ROM의 어드레스 비트 길이가 L 이라 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^L} \tag{1}$$

이 되며, 양자화 간격 Δv 는

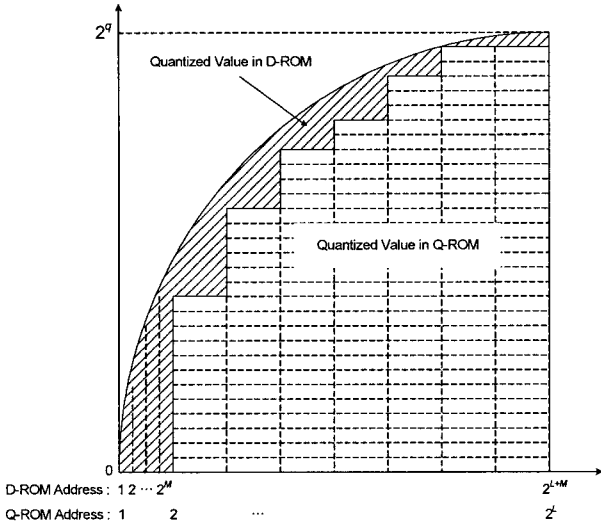


그림 2. ROM 축소 기법을 적용한 사인파의 양자화
Fig. 2. Quantization of sine using ROM reduction method

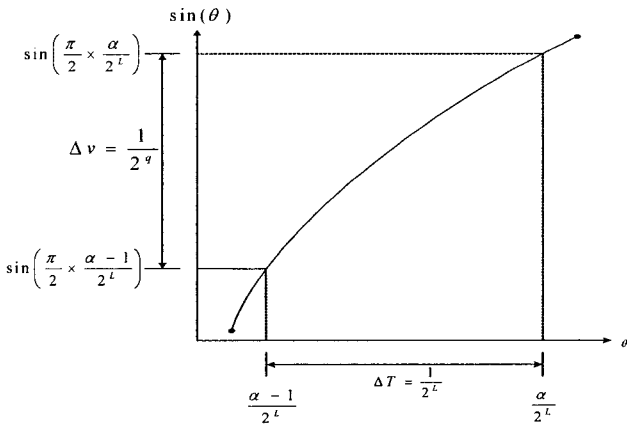


그림 3. D-ROM에 저장되는 데이터 비트 길이 계산
Fig. 3. Data bit length of D-ROM

$$\Delta v = \frac{1}{2^q} \tag{2}$$

이 된다.

임의의 위상 어드레스 α 인 경우 양자화 값은

$$\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) \quad \text{단, } \alpha = 0, 1, \dots, 2^L - 1 \tag{3}$$

이다. D-ROM에 저장되는 양자화 값의 최대값은

$$\Delta m = \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^L}\right)}{\Delta v} \right] \tag{4}$$

가 된다. 여기서 $\lfloor \cdot \rfloor$ 는 \cdot 를 넘지 않은 최대 정수

이다.

따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$d = \lfloor \log_2 \Delta m + 1 \rfloor \tag{5}$$

이 된다.

예를 들면 Q-ROM의 데이터 비트 길이가 10비트 Q-ROM의 어드레스 비트 길이가 9라고 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^L} = \frac{1}{2^9} \tag{6}$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^q} = \frac{1}{2^{10}} \tag{7}$$

이 된다.

D-ROM에 저장되는 양자화 값의 최대값은 보통 $\alpha = 1$ 일 때 성립하며

$$\Delta m = \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^L}\right)}{\Delta v} \right] \tag{8}$$

$$= \max \left[\frac{\sin\left(\frac{\pi}{2} \times \frac{1}{2^L}\right)}{1/2^{10}} \right]$$

$$= 3$$

가 된다.

따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$d = \lfloor \log_2 \Delta m + 1 \rfloor \tag{9}$$

$$= \lfloor \log_2 3 + 1 \rfloor$$

$$= 2 \text{ [bit]}$$

가 된다. 따라서 원래 $2^{12} \times 10$ 의 용량이 필요한 ROM을 그림 4처럼 Q-ROM과 2-비트 길이의 D-ROM으로 나누어 저장할 때 Q-ROM은 10비트의 어드레스 비트만 필요하며 D-ROM은 2비트의 데이터 길이만 필요하게 된다. 즉 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM이 필요하게 된다. 여기서 Q-ROM의 10비트의 어드레스 비트와 D-ROM의 12비트 어드레스는 상호 공유하여 사용하게 된다. 즉, D-ROM의 어드레스 비트 12비트중 상위 10비트를 Q-ROM의 어드레스로 사용함으로써 데이터를 생성할 수 있다.

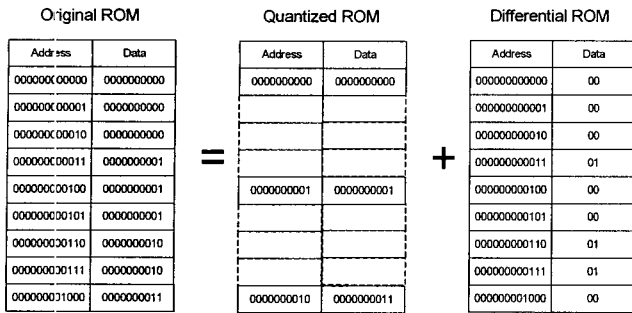


그림 4. Q-ROM과 D-ROM에 저장된 데이터
Fig. 4. Data of Q-ROM and D-ROM

이렇게 2개의 ROM에 저장된 데이터는 최종적으로 그림 5처럼 Q-ROM의 데이터와 D-ROM의 데이터를 더해져 최종적인 데이터를 생성하게 된다.

FCW N 비트중 상위 $L+M+2$ 비트가 ROM의 어드레스 비트로 사용되어지며 이중 MSB 2비트는 phase truncation 기법을 위해 사용되어지고 2개의 최상위 MSB비트를 제외한 상위 $L+M$ 비트가 D-ROM의 어드레스 비트로 상위 L 비트가 Q-ROM의 어드레스 비트로 사용되어진다. Q-ROM의 출력 비트 q 비트와 D-ROM의 출력 d 비트가 그림 5와 같이 더해져 양자화된 사인파형을 출력하게 된다.

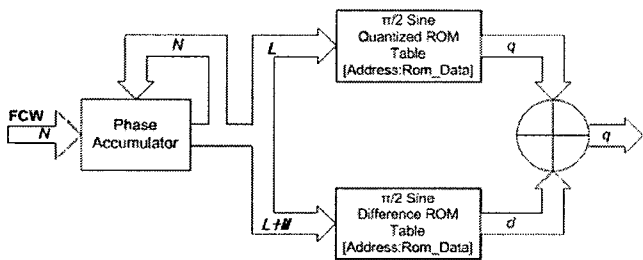


그림 5. 제안된 QD-ROM의 위상-사인 변환기 블록도
Fig. 5. Block diagram of phase-to-sine converter of proposed QD-ROM

IV. 위상-사인 변환기의 FPGA 설계 및 시뮬레이션

본 논문에서는 ROM 축소 기법을 적용한 고속의 저전력 DDFS를 구현하기 위해 FPGA를 이용하여 위상-사인 변환기를 설계하고자 한다.

이러한 QD-ROM 기법을 이용함으로써 얻어지는 ROM 축소 비율은 컴퓨터 시뮬레이션을 통해 표 1처럼 요약할 수 있다. 전통적인 ROM 기법으로 $2^{12} \times 10$ 의 Q-ROM만을 사용했을 때 필요한 총 비트 수는 40,960비트가 된다. 11비트의 어드레스를 사용하는 Q-ROM을 이용할 때 D-ROM에 저장되는 데이터 비트는 1비트만

표 1. 축소된 ROM 크기의 비율
Table 1. Ratio of reduced ROM size

	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	12	10	40,960	11	10	20,480
D-ROM 데이터비트수	0	0	0	12	1	4,096
총 데이터 비트수	12	10	40,960	12	11	24,576
감소율			100.0			40.0
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	10	10	10,240	9	10	5,120
D-ROM 데이터비트수	12	2	8,192	12	2	8,192
총 데이터 비트수	12	12	18,432	12	12	13,312
감소율			55.0			67.5
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	8	10	2,560	7	10	1,280
D-ROM 데이터비트수	12	3	12,288	12	4	16,384
총 데이터 비트수	12	13	14,848	12	14	17,664
감소율			63.8			56.9
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	6	10	640	5	10	320
D-ROM 데이터비트수	12	5	20,480	12	6	24,576
총 데이터 비트수	12	15	21,120	12	16	24,896
감소율			48.4			39.2

필요하다. 따라서 $2^{11} \times 10$ 의 Q-ROM과 $2^{12} \times 1$ 의 D-ROM을 사용했을 때 필요한 비트는 24,576비트로 약 40%의 ROM 용량을 축소할 수 있다.

마찬가지로 $2^{10} \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때 필요한 비트는 18,432비트로 약 55%의 ROM 용량을 축소할 수 있다. 표에서 보는 바와 같이 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용했을 때

67.5%의 가장 많은 ROM을 축소할 수 있다. 따라서 본 논문에서는 $2^9 \times 10$ 의 Q-ROM과 $2^{12} \times 2$ 의 D-ROM을 사용하여 위상-사인 변환기를 설계하고자 한다.

Altera의 FPGA를 이용하여 위상-사인 변환기(PA 및 ROM 부분)를 설계한다. FPGA가 최대 400MHz에서 동작 가능한 Stratix II 계열에 ROM이 내장되어 있는 EP2S15 계열을 사용한다. 여기서 최대 주파수 300MHz를 얻기 위해 클럭은 800MHz를 사용하고 1Hz의 해상도를 구현하기 위해 다음 식에 의하여 30비트의 FCW가 사용되어진다.

$$\Delta F = \frac{F_{CLK}}{2^L} : \Delta F = 1[Hz], F_{CLK} = 800[MHz] \quad (10)$$

$$\therefore L = 30[bit]$$

또한 phase truncation 기법을 사용하여 실제로 사용되는 ROM의 데이터 비트를 10비트를 사용할 때 어드레스 비트는 다음 식에 의하여 12비트를 사용한다.

$$\sin\left(\frac{2\pi}{2^N}\right) \leq \frac{1}{2^{k-1}} : k = 10[bit], \therefore N = 12[bit] \quad (11)$$

30비트의 FCW와 12비트의 ROM 어드레스 비트를 사용할 때의 QD-ROM을 이용한 DDFS의 FPGA 설계 블록도가 그림 6에 나와 있다. Q-ROM의 출력 비트 10비트와 D-ROM의 출력 2비트가 더해져 양자화된 사인파형을 출력하게 된다. QD-ROM을 이용하기 위해서는 두 개의 ROM이 필요하며 표 1의 결과에 의하여 $2^9 \times 10$ 의

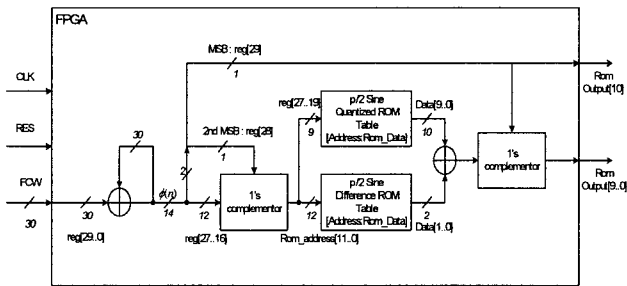


그림 6. QD-ROM을 이용한 DDFS의 FPGA 블록도
Fig. 6. FPGA block diagram of DDFS with QD-ROM

Q-ROM을 사용하고 $2^{12} \times 2$ 의 D-ROM을 사용한다. 전통적인 ROM 기법을 사용한 것보다 67.5%의 ROM 크기를 축소할 수 있다. FCW는 30비트로 이루어져 있으며 출력 주파수에 따라 표 2와 같이 입력되어진다. 입력되어진 30비트의 FCW는 위상 누적기에 의해서 누적되고 사인파의 위상을 출력하게 된다. 그림 7처럼 30비트의 위상 중 상위 14비트만 ROM의 어드레스로 사용하기 위해 다음 단계로 전달된다. 이 중 최상위 MSB 2비트는 $\pi/2$ 사인

ROM 알고리즘을 위해 사용되어진다. 14비트의 어드레스 비트 중 2nd MSB가 "0"의 데이터 값을 가질 때는

표 2. 출력주파수에 따른 FCW
Table 2. FCW according to output frequency

출력주파수	FCW
20MHz	21,474,836
50MHz	53,687,091
100MHz	107,374,183
200MHz	214,748,364

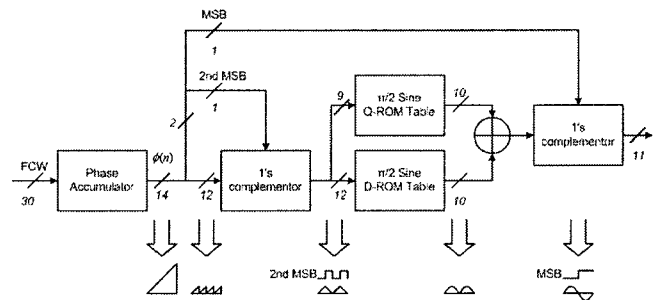


그림 7. $\pi/2$ 사인 ROM Lookup Table 방식의 DDFS 구조
Fig. 7. DDFS block diagram of $\pi/2$ sine ROM lookup table

입력되어지는 12비트의 어드레스가 점차적으로 증가하여 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 출력하게 된다. 그러나 2nd MSB가 "1"의 데이터 값을 가질 때 입력되어지는 12비트의 어드레스가 1의 보수가 되어 실제로 어드레스는 감소하게 되고 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 반대로 출력하게 되어 $\pi/2$ 부터 π 까지의 사인 파형을 출력한다. 또한 최상위 MSB가 "1"이 되면 ROM에서 출력되는 데이터가 1의 보수가 되어 실제로 음수의 값을 갖는 π 에서부터 2π 까지의 사인파형을 출력하게 된다. 14비트의 어드레스 비트 중 하위 12비트는 D-ROM의 어드레스로 사용하고 그 중 상위 9비트는 또한 Q-ROM의 어드레스로 사용한다. QD-ROM 알고리즘을 사용하기 위해 ROM의 출력 데이터를 비트끼리 더해져 최종적인 사인 파형을 형성하게 된다. Altera의 Quartus II를 이용하여 시뮬레이션 한 결과가 그림 8~9와 같이 100MHz, 200MHz에 대하여 나와 있다.

이러한 DDFS의 Matlab 시뮬레이션 출력 파형과 스펙트럼이 그림 10~11에 나와 있다. 그림 10은 출력 주파수 100MHz의 파형이며 그림 11은 이때의 주파수 스펙트럼이다. 또한 200MHz에 대한 파형과 스펙트럼이 그림 12와 13에 나와 있다. 스펙트럼에서 보는 바와 같이 FCW의 원하는 주파수를 얻을 수 있었다.

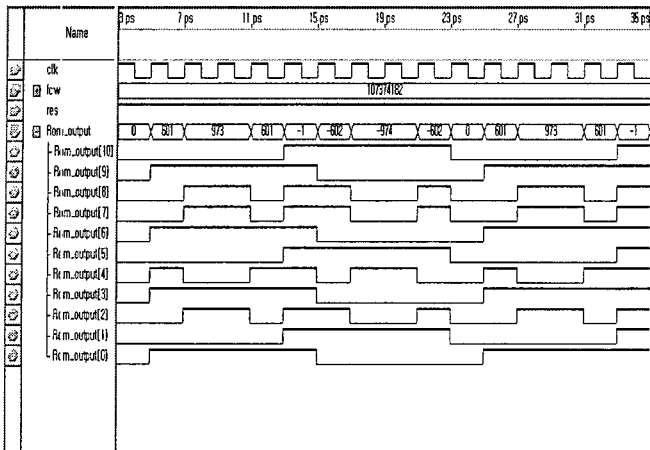


그림 8. FPGA 시뮬레이션 결과 : 100MHz
Fig. 8. FPGA simulation result : 100MHz

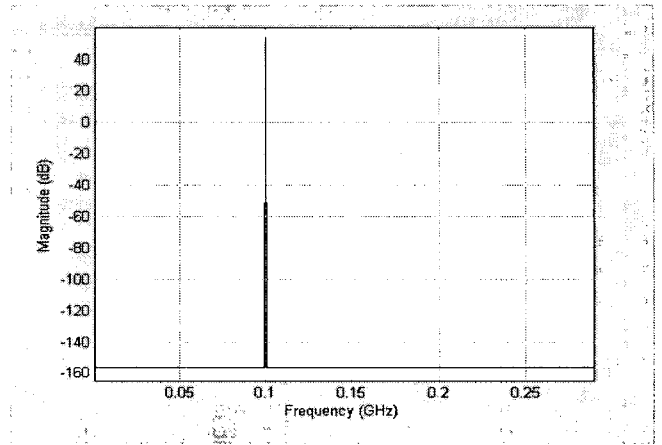


그림 11. Matlab DDFS 시뮬레이션 결과 : 100MHz 스펙트럼
Fig. 11. Matlab DDFS simulation result : 100MHz spectrum

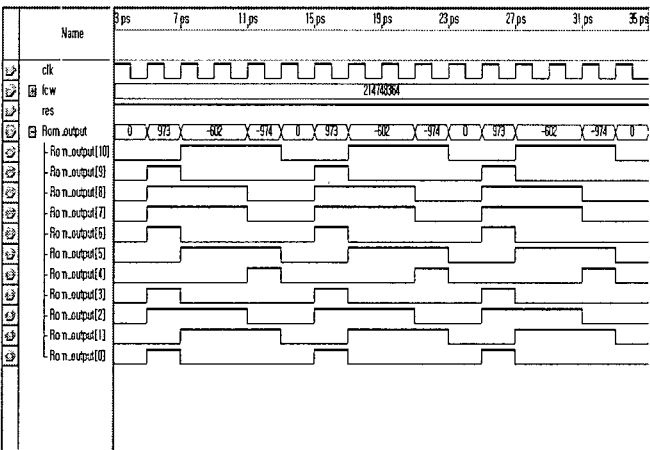


그림 9. FPGA 시뮬레이션 결과 : 200MHz
Fig. 9. FPGA simulation result : 200MHz

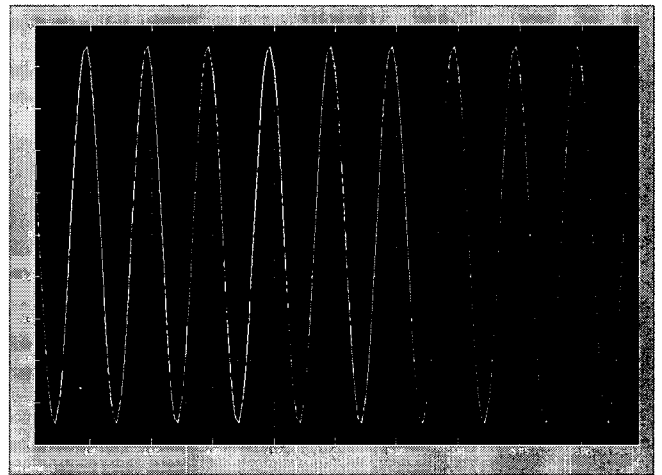


그림 12. Matlab DDFS 시뮬레이션 결과 : 200MHz 파형
Fig. 12. Matlab DDFS simulation result : 200MHz

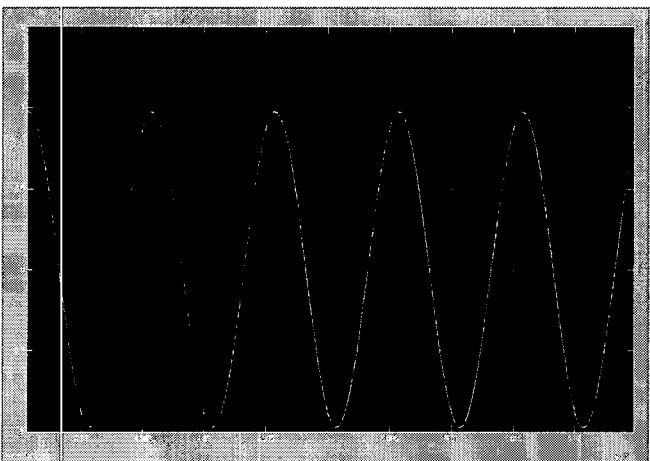


그림 10. Matlab DDFS 시뮬레이션 결과 : 100MHz 파형
Fig. 10. Matlab DDFS simulation result : 100MHz

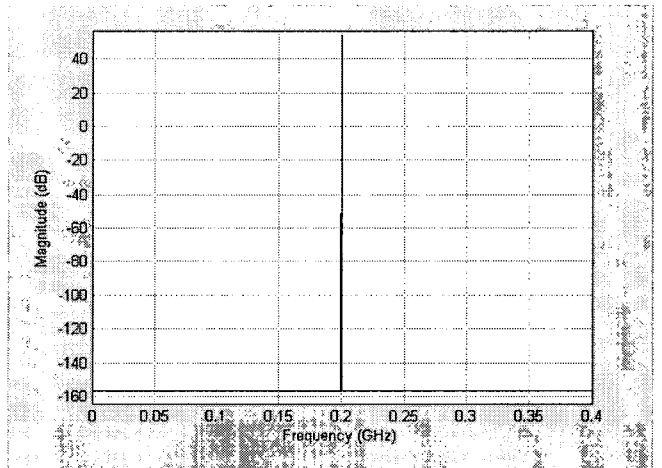


그림 13. Matlab DDFS 시뮬레이션 결과 : 200MHz 스펙트럼
Fig. 13. Matlab DDFS simulation result : 100MHz spectrum

V. 결론

본 논문에서는 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM(Quantized ROM : Q-ROM)과 차동 ROM (Differential ROM : D-ROM)에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 ROM을 사용한 QD-ROM 압축하여 사용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있다. 앞으로 이를 이용하여 저전력의 DDFS를 설계 제작할 수 있으리라 본다.

참고 문헌

[1] V. F. Kroupa, *Direct Digital Frequency Synthesizers*. New York: IEEE Press, 1999.

[2] J. Tierney, C. M. Radre, and B. Gold, "A Digital Frequency Synthesizer," *IEEE Transactions on Audio and Electroacoustics*, vol. AU-19, pp. 48-57. March 1971.

[3] Ferrel G. Stremler, *Introduction to Communication Systems 3rd Edition*, Addison-Wesley Publishing Company, 1990.

[4] Avandira Madisetti, Alan Y Kwentus, and Alan NWilson, "A 100MHz, 16-b Direct Digital Frequency Synthesizer with a 100dBc Spurious Free Dynamic Range," *IEEE J. of Solid State Circuits* , vol. 34, no. 8, pp. 1034-1043, August, 1999.

[5] S. Morteza pour and E. K. F. Lee, "Design of Low-Power ROM-Less Direct Digital Frequency Synthesizer Using Nonlinear Digital-to-Analog Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 10, pp.1350-1359, Oct. 1999.

[6] H. T. Nicholas III and H. Samueli, "A 150-MHz direct digital frequency synthesizer in 1.25- μ m CMOS with -90dBc spurious performance," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp. 1959 - 1969, Dec. 1991.

[7] L. A. Weaver, "High Resolution Phase to Sine Amplitude Conversion", U.S. Patent 4 905 177, February 1990

[8] Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han, Lee-Sup Kim, and Hyun-Kyu Yu, "An 800-MHz Low-Power Direct Digital Frequency Synthesizer With an On-Chip D/A Converter," *IEEE J. of Solid-State Circuits*, vol. 39, no. 5, pp. 761-774, May 2004.

[9] J. Volder, "The CORDIC trigonometric computing technique," *IEEE Trans. Computers*, vol. EC-8, pp. 330-334, Sept. 1959.

[10] Y.H.Hu, "The Quantization Effects of the CORDIC

Algorithm," *IEEE Trans. on Signal Processing*, vol. 40, no. 4, pp. 834-844, Apr. 1992.



김 종 일 (Chong-II Kim)
 1987 서강대학교 전자공학과 공학사
 1989 연세대학교 전자공학과 공학석사
 1993 연세대학교 전자공학과 공학박사
 1993~현재 관동대학교 정보기술공학부 교수
 관심분야 : 이동통신, STC, TCM, OFDM,
 주파수 합성기 등



임 소 영 (So-Young Lim)
 2006 관동대학교 정보통신공학과 졸업
 2006~현재 관동대학교 전자공학과 석사과정
 관심분야 : 이동통신, STC



이 호 진 (Ho-Jin Lee)
 2004 관동대학교 전자정보전공 졸업
 2006 관동대학교 대학원 전자공학과 공학석사
 2006 관동대학교 대학원 전자공학과 박사과정
 관심분야 : 이동통신, STC