

Group Delay를 이용한 모바일 기기용 고성능 해상도 확대기의 하드웨어 구현

Hardware Implementation of an Advanced Image Scaler for Mobile Device Using the Group Delay

김주현*, 박정환**, 최원태*, 강봉순**

Joo-Hyun Kim**, Jung-Hwan Park*, Won-Tae Choi**, Bong-soon Kang*

요약

본 논문에서는 bicubic 방법보다 하드웨어 구조는 간단하면서 확대 이미지는 더욱 선명한 polyphase scaler를 제안하였다. 제안된 시스템은 새로운 픽셀을 얻기 위해서 디지털 필터의 group delay를 이용하여 해상도를 확대하는 방식을 사용하였으며 bicubic 방법과 비교하여 더 좋은 성능을 가지면서 하드웨어 구조를 간단히 하여 모바일 기기 등에 쉽게 적용이 가능하도록 설계하였다. 기존 polyphase 필터는 해상도 확대시 영상을 흐릿하게 하는 blurring 노이즈가 발생하는 문제점을 가지고 있었다. 그래서 입력 신호의 고주파 성분을 증폭 시키도록 polyphase 필터를 boost-up 필터로 수정하여 보다 선명한 결과를 얻을 수 있었다. 본 논문에서 제안하는 polyphase scaler는 Xilinx Virtex2 FPGA를 이용하여 하드웨어 검증이 수행하였다. 제안된 polyphase scaler는 핸드폰 카메라의 디지털 줌으로 사용되어 질 수 있다.

Abstract

In this paper, we propose that the polyphase scaler whose performance to that of the bicubic method, has less complexity in hardware structure. In order to get the new information, proposed system is based on the group delay which is one of the digital filter characteristics. The performance of this system is superior to that of bicubic algorithm which is well known. Because the hardware structure is simpler than other image scalers, we can adopt this system for mobile devices easily. The previous polyphase filters make blurring noise which is generated by up-scaling. We replace polyphase filters by boost-up filter to get vivid image. The proposed scaler is verified by Xilinx Virtex2 FPGA and is used as digital zoom in mobile camera phone.

Keywords : Polyphase scaler, bicubic, group delay

I. 서론

영상을 확대하는 방법으로 많이 알려진 것이 nearest, bilinear, bicubic등의 있다. 이 중, bicubic이 가장 성능이 좋은 것으로 알려져 있으며, 그 외의 알고리즘 적으로는 우수한 방법들이 많이 있지만, 휴대용 기기인 핸드폰 등에서 사용하기에는 너무나 복잡한 수식으로 인하여 하드웨어 구현성이 떨어진다고 알려져 있다. 핸드폰과 같은 모바일 기기에서는 성능뿐만 아니라 중요한 것이 하드웨어 구조인데, 하드웨어 구조가 간단해야만 모바일 기기에 사용하기 적합하다. 모바일 기기에서 중요한 요소인 소비 전력도 하드웨어 구조가 간단해지면 가용 전력도 작아진다. bicubic은 실시간으로 interpolation kernel에 의해서 convolution 계수 값을 만들어 줘야 되고, 이를 구현하기 위해서는 micro

processor 등의 고성능의 복잡한 하드웨어가 필요하다. 그래서 본 논문에서는 bicubic 방법과 비교하여 해상도 변환 성능은 우수하며, 하드웨어 크기는 더욱 간단한 해상도 확대기(polyphase scaler)를 제안하였다. 제안된 해상도 확대기는 디지털 필터의 group delay를 이용한 방법으로서 곱셈기가 없는 5 tap의 64개 필터로만 구성되어 있다. 기존에 발표된 polyphase scaler는 polyphase filter를 low pass filter 형태로 설계하여 고주파 부분이 감쇄되는 특성을 가졌었다. 그러나 본 논문에서 제안하는 polyphase filter는 고주파 부분의 이득을 높이는 형태로 재설계하였다. 이로 인하여 보다 선명한 결과물을 얻을 수 있었다 [1-4].

2장에서는 기존에 알려진 해상도 확대 방법에 대해 설명하고 이러한 방법들의 문제점을 살펴보았다. 그리고 본 논문에서 제안하고자 하는 polyphase scaler의 알고리즘과 설계 방법에 대해 설명하였다. 3장에서는 polyphase scaler를 하드웨어로 구현한 방법에 대해 설명하였고, 4장에서 이를 하드웨어(FPGA)로 구현 및 검증한 것을 제시하였다.

*삼성전기, **동아대학교 전자공학과

논문 번호 : 2007-2-1 접수 일자 : 2007. 4. 3

심사 완료 : 2007. 7. 25

II. 고성능 해상도 확대기

2.1. 기존 해상도 확대 방법

이미지를 확대한다는 것은 입력 이미지의 샘플수를 늘린다는 것을 의미한다. 이미지의 샘플수를 늘리기 위해서 이미 알려진 방법으로는 nearest, bilinear, bicubic 방법이 있다.

그림 1은 원 영상 이미지를 1.25배 확대할 경우에 새롭게 정보를 얻어야 할 픽셀의 위치를 나타낸 것이다. 이미지를 1.25배 확대를 하는 것은 4개의 입력 픽셀이 5개의 출력 픽셀이 되어야 된다는 것을 의미한다. 흰 점은 입력 픽셀을 나타내며, 검은 점은 확대하기 위해서 새롭게 만들어져야 할 픽셀을 나타낸다[2].

Nearest 방법은 새로운 정보가 필요한 위치에서 가장 가까운 픽셀의 정보를 복사하는 것이다[5]. 이 방법은 하드웨어 구성이 아주 간단하지만, 주변 픽셀을 그대로 복사해서 사용하였기 때문에 입력 이미지가 고주파 성분이 많은 복잡한 영상일 경우 계단 현상과 같은 jagging 노이즈가 발생하여 원 영상을 왜곡시킨다. 그림 2는 Nearest 방법에 대한 개념도를 나타낸 것이다.

Bilinear 방법은 새로운 픽셀의 정보를 주위 2픽셀 정보를 사용하여 linear한 가중치를 곱해서 구하는 방법이다. 즉 원하고자 하는 픽셀 위치에서 가까운 원 픽셀의 값을 많이 반영하여 원 영상에 가장 근접한 정보를 만들어 내는 방법이다. Nearest 방법과 비교하여 jagging 노이즈는 많이 줄일 수 있지만 주변의 2 픽셀 정보를 이용하여 만들었기 때문에 확대한 결과 영상이 흐릿해 지는 blurring 노이즈가 발생하게 된다. 그림 3은 bilinear 방법에 대한 개념도를 나타낸 것이다.

앞서 설명한 nearest, bilinear 방법에서 발생하는 jagging 또는 blurring 노이즈를 효과적으로 제거해 주면서, 확대하기 위한 가장 좋은 방법은 interpolation kernel을 사용하는 bicubic 방법이다.

Bicubic 방법은 좀 더 정확한 정보를 만들어 내기 위해 주위 4픽셀의 정보를 사용한다. 수식(1)은 bicubic에서 사용하는 interpolation kernel을 나타낸 것이다[6]. 그림 4(a)는 수식 (1)의 interpolation kernel을 도식화 한 것이고, 그림 4(b)는 interpolation kernel과 original pixel의 convolution 방법을 이용하여 새로운 scaled pixel을 구하는 방법을 도식화 한 것이다. Bilinear 방법과 비교해 bicubic 방법은 주위 4개의 픽셀 정보를 사용해서 새로운 픽셀 정보를 만들어 내기 때문에 좋은 결과물을 얻을 수 있다. 일반적으로 확대 알고리즘 중에 bicubic이 하드웨어 구현 대비 가장 좋은 성능을 낸다고 있지만, 수식(1)에서 확인 할 수 있듯이 새 제곱기와 곱셈기를 사용하기 때문에 모바일용 하드웨어로는 부적절하다. 모바일용 하드웨어는 하드웨어 구조를 최대한 간단하게 하여 제작 단가를 낮추고, 소모 전력을 최소화

화 시키는 것이 가장 중요하기 때문이다.

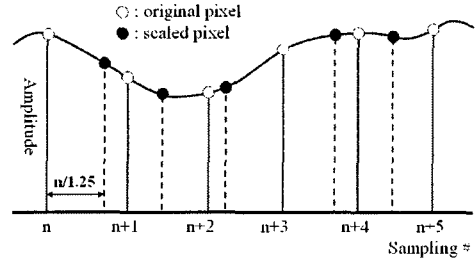


그림 1. 1.25배 확대 시 취해야 할 sample point
Fig. 1. Sample point for 1.25 times upscaling

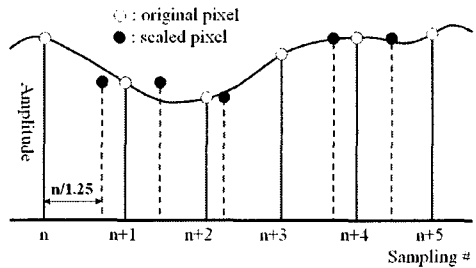


그림 2. Nearest 방법

Fig.2. The method of Nearest

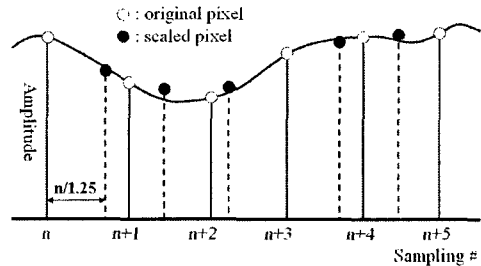
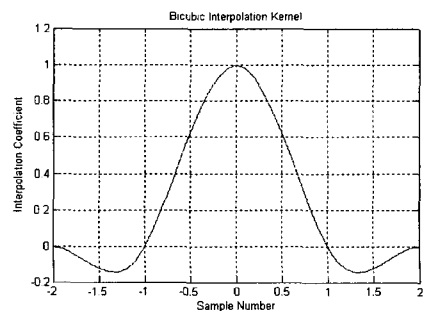


그림 3. Bilinear 방법

Fig. 3. The method of Bilinear

$$f(x) = \begin{cases} (a+2)|x|^3 - (a+3)|x|^2 + 1 & 0 \leq |x| \leq 1 \\ a|x|^3 - 5a|x|^2 + 8a|x| - 4a & 1 \leq |x| \leq 2 \\ 0 & 2 \leq |x| \end{cases} \quad (1)$$

where, $a = -0.5, -0.75$ or -1.0



(a)

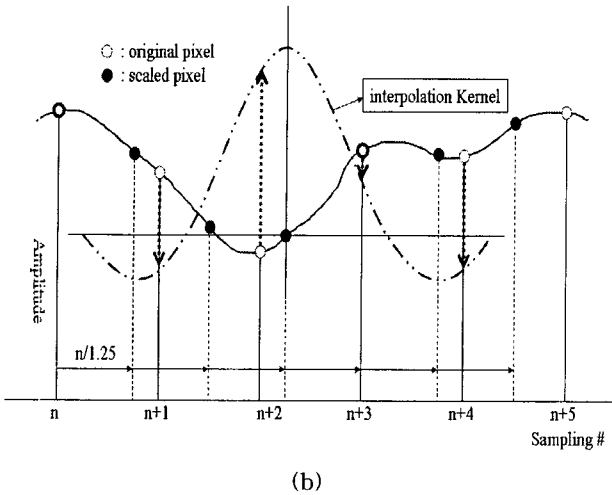


그림 4.(a) Bicubic Interpolation Kernel (a=-1) (b)bicubic 방법
 Fig. 4. (a) Bicubic Interpolation Kernel (a=-1)
 (b) The method of bicubic

2.2.Polyphase Scaler

그림 1에서와 같이 정수 배가 아닌 실수(1.25)배 확장인 경우 새로 얻어야 하는 샘플 지점이 소수 점 지점이 된다. 그래서 본 논문에서 제안 하는 polyphase scaler는 디지털 필터의 group delay 특성을 이용하여 구하고자 하는 지점의 정확한 샘플 포인트 값을 추출하여 고 화질의 확대 이미지를 얻을 수 있다.

Group delay는 디지털 필터에 입력 신호를 넣었을 경우, 필터에 의해서 생기게 되는 신호의 지연 현상이다. Group delay(Gd)는 수식(2)를 사용하여 구할 수 있다.

$$Gd = \frac{tap_n - 1}{2} \tag{2}$$

tap_n은 필터의 총 coefficient의 개수를 의미한다. 예를 들어서 low pass filter (LPF)은 [1 2 1]/4 인 경우 tap_n은 3 이되고 Gd는 수식 (2)에 의해서 1이 된다. 이는 입력 신호가 [1 2 1]/4 LPF를 통과하면 한 개의 위상 지연(한 입력 클럭 지연)이 된다는 것을 의미한다.

일반적인 FIR필터는 홀수개의 필터 계수가 대칭인 구조를 가지게 되며, 이러한 구조로 설계된 필터는 모든 주파수 대역에서 일정한 정수 값을 가지게 된다. 하지만 필터 계수를 대칭이 아닌 비대칭 구조로 설계하게 되면 소수점을 가지는 group delay 값을 만들어 낼 수 있다[1-4].

그림 5는 일반적인 LPF인 [1 2 1]/4 필터의 group delay 특성을 나타낸 것으로 모든 주파수 대역에서 1이라는 값을 가짐을 알 수 있다. 그림 6은 필터 계수가 비대칭인 [0 4 93 130 -15]/512 필터의 group delay 특성을 나타낸 것이다. 그림 5와 비교해 보면 주파수에 따라 다른 group delay 값을 가지며 저주파 대역에서 정수 값이 아닌 소수 값의 group delay 특성을 나타냄을 알 수 있다.

그림 5에서 볼 수 있듯이, 계수가 대칭인 필터는 group delay가 모든 입력 주파수에 걸쳐 일정한 값을 가진다. 하지만 그림 6과 같이 계수가 비대칭인 필터의 group delay는 1.2부터 2.2까지 모든 입력 주파수에 걸쳐서 다르게 분포되어 있는 것을 확인 할 수 있다. 필터계수를 비대칭으로 설계하면 소수점의 group delay를 가지는 필터를 구할 수 있지만, 입력 신호의 주파수에 따라 group delay가 달라지는 비선형 특성을 가지게 된다. 따라서 일반적인 영상 신호의 최대 주파수인 10MHz 까지 group delay가 일정한 필터들을 설계하여 사용한다면 구하고자 하는 지점의 정확한 픽셀 데이터를 추출할 수 있다.

그림 7은 polyphase scaler를 위한 64개의 polyphase 필터들의 group delay 특성을 보여주고 있다. 1.5부터 2.5까지 등간격의 64개 필터로 구성되어 있으며 모든 필터들의 tap 수는 5개로 설계하였다. 필터의 설계는 우선 0Hz에서 group delay값이 2.5를 가지는 필터를 설계한다. 그리고 group delay값이 2를 가지는 필터를 설계한 후 2부터 2.5까지 등 간격으로 32개의 필터를 연속적인 실험을 통해서 설계한다. 이후 32개의 필터 계수를 중심 값을 기준으로 좌우 대칭을 시키면 1.5부터 2까지 등 간격을 가지는 32개의 필터를 설계할 수 있다.

그림 7의 polyphase 필터들을 이용하면 그림 1에서와 같이 얻고자 하는 지점의 검은 점들을 64개의 필터 중에 하나를 선택하여 정확하게 얻을 수 있다. 그리고 그림 7에서 알 수 있듯이 10MHz 이하 영역에서는 거의 일정한 group delay 값을 가짐을 알 수 있다. 이는 일반적인 영상 신호의 대역폭인 10MHz를 가지는 신호는 입력 주파수에 상관없이 0Hz부터 10MHz 까지 일정한 group delay 값을 가져 원하고자 하는 지점의 정확한 delay 값을 추출 할 수 있다.

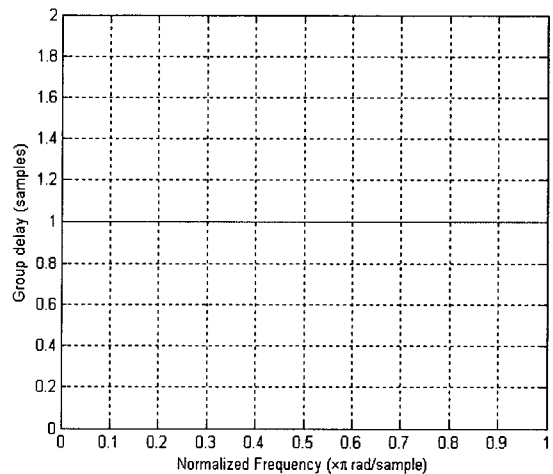


그림 5. 계수가 대칭인 [1 2 1]/4 필터의 Group delay
 Fig. 5. Group delay of [1 2 1]/4 filter with symmetrical coefficient

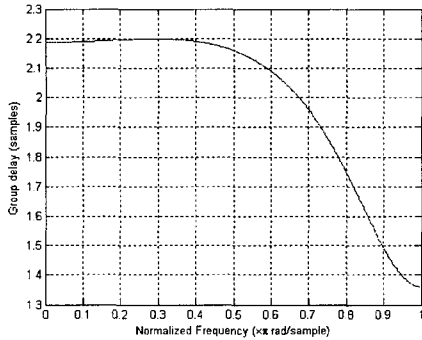


그림 6. 계수가 비대칭인 [0 4 93 130 -15]/512 필터의 Group delay
 Fig. 6. Group delay of [0 4 93 130 -15]/512 filter with asymmetrical coefficient

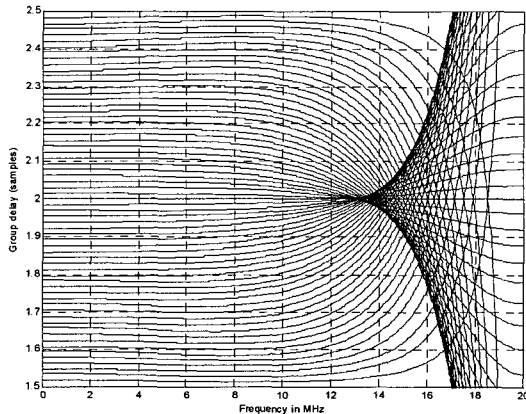
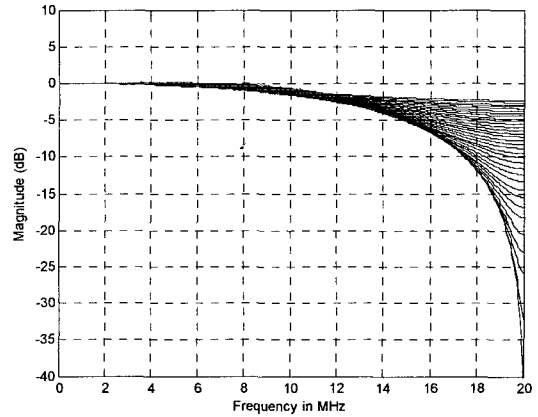


그림 7. polyphase scaler에서 사용된 필터들의 group delay
 Fig. 7. Group delays of filters used in polyphase scaler

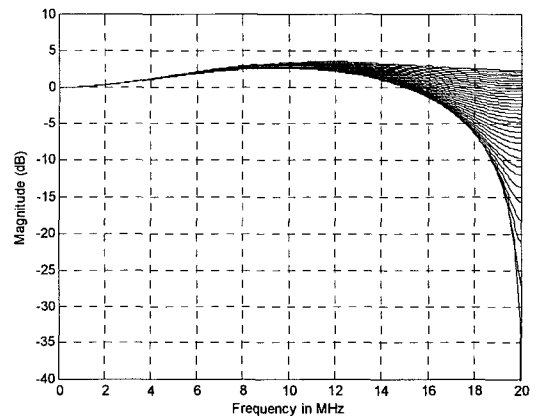
그림 8의 (a)는 그림 7의 polyphase 필터들의 주파수 응답 특성을 나타낸 것이다[1]. 그림 8(a)에서 알 수 있듯이 약 3MHz 이상부터 감쇄 특성이 있음을 알 수 있다. 이는 입력 신호에 고주파 성분이 감쇄 되어 출력 영상이 흐릿해지는 blurring 노이즈가 발생하게 되는 원인이 된다. 그래서 본 논문에서는 blurring 노이즈를 제거하고 원본 이미지 보다 선명한 이미지를 얻을 수 있도록 polyphase 필터들을 수정하였다. 그림 8(b)는 약 2MHz 지점부터 입력 신호를 증폭 시키는 boost-up 필터 형태로 설계된 64개의 polyphase filter들을 보여 주고 있다. Boost-up 필터는 2MHz 이상의 신호의 이득을 높게 하여 고주파 성분을 강조하는 필터이다. 영상신호에서 고주파 성분을 강조하게 되면 edge 성분이 살아나게 되어 전체적으로 선명한 영상을 얻을 수 있다.

Boost-up 필터를 사용하면 고주파 강조로 인해서 edge 성분뿐만 아니라 노이즈 성분까지 강조되어 결과 이미지에 잡음이 끼는 현상일 발생 할 수 있다. 이미지 확대의 특성 상 주변 정보를 이용하여 새로운 정보를 만들어 내는 것이

기 때문에 LPF가 일어나고 이를 boost-up 필터에 의해서 보완하는 것이기 때문에 노이즈 증폭에 의한 영향은 아주 작다.



(a)



(b)

그림 8. (a) 이전의 polyphase 필터들의 주파수 특성 (b) Blur를 제거하기 위한 boost-up filter들의 주파수 특성
 Fig. 8. (a) Frequency responses of previous polyphase filters (b) frequency responses of boost-up filters for removing blur

III. 하드웨어 구현

본 논문에서 제안한 해상도 변환기는 CMOS 센서로부터 받아들인 2M(1600x1200)이미지를 3M(2048x1536)이미지로 확대 하는 것을 주목적으로 설계되었다.

그림 9는 본 논문에서 제안한 해상도 확대기인 polyphase scaler의 블록 도를 나타낸 것이다. Polyphase scaler는 수직 방향의 scaling을 수행하는 부분과, Y채널의 수평방향을 처리하는 부분, CbCr채널의 수평방향을 처리하는 부분으로 크게 3부분으로 나눌 수 있다. 그림 9의 V_Scale은 수직 방향의 scaling을 수행하는 부분이며, Y_H_Scale은 Y채널의 수평 방향의 scaling을 수행하고, C_H_Scale은 CbCr채널의 수평 방향의 scaling을 수행한다 [1-4].

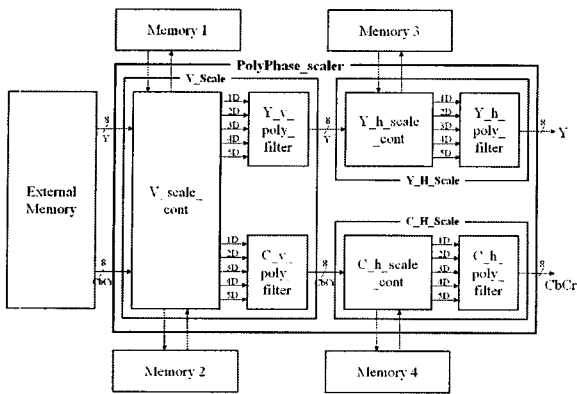


그림 9. Polyphase scaler의 Block Diagram
Fig. 9. Block diagram of Polyphase scaler

내부에서 사용되는 데이터의 포맷은 YCbCr 4:2:2를 사용한다. YCbCr 4:2:2 포맷을 사용하면 수직 방향의 scaling시에 Y채널과 CbCr채널이 동일한 방식으로 처리가 가능하므로 수직 방향의 control 블록을 통합해서 사용할 수 있다. 하지만 수평 방향의 scaling은 Y채널의 경우 원 데이터를 모두 사용하지만, CbCr채널의 경우 4:2:2 포맷으로 인하여 데이터의 양을 2배로 늘려서 처리해야 되기 때문에 Y 채널과 CbCr 채널에 서로 다른 control 블록이 필요하다.

3.1 V_Scale Block

V_Scale은 수직 방향의 scaling을 수행하기 위해 설계된 부분이다. 그림 10은 그림 9의 V_Scale부분을 좀 더 상세히 그린 것이다. V_scale_cont부분은 수직 방향 scaling을 수행함에 있어 필요한 데이터를 입력받거나 선정하는 control Block이다. External Memory로부터 필요한 데이터를 읽어 들여 Memory 1,2에 저장한다. 여기서 Memory 1에는 필요한 데이터로 선정된 Y채널의 데이터가 저장되며, Memory 2에는 CbCr채널의 데이터가 저장된다. 필요한 데이터를 정리 한 뒤, 데이터와 필터 index를 Polyphase 필터로 보내면, Polyphase 필터는 입력받은 데이터에 그에 맞는 Group delay를 가지는 필터를 적용하여 수직방향 scaling이 수행된 Y, CbCr데이터를 출력하게 된다.

그림 11은 본 논문에서 사용된 Polyphase 필터의 블록도이다. 일반적으로 필터는 입력받은 데이터를 지연시켜 재사용 하면서 연산을 수행한다. 하지만 본 논문에서 설계한 Polyphase scaler에 사용되는 polyphase 필터는 앞부분에 데이터를 정렬해주는 V_scale_cont부분이 있으므로, 미리 V_scale_cont에서 지연을 시킨 데이터를 바로 입력받아 해당하는 계수와 곱해지는 형태로 설계되었다[7].

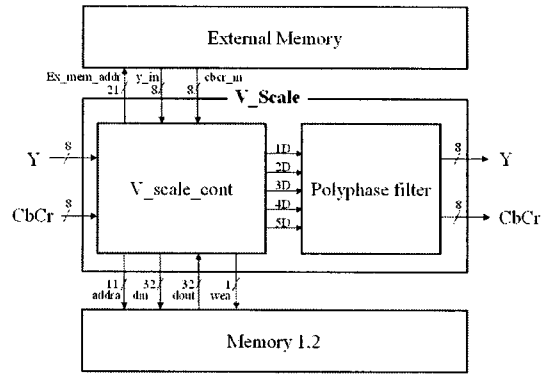


그림 10. V_Scale의 Block Diagram
Fig. 10. Block diagram of V_Scale

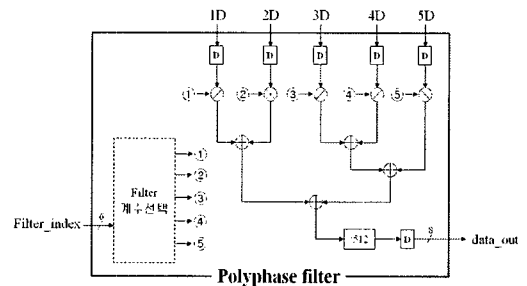


그림 11. Polyphase filter의 Block Diagram
Fig. 11. Block diagram of Polyphase filter

3.2 Y_H_Scale Block

Y_H_Scale은 가로 방향의 Y채널 scaling을 수행하기 위해 설계된 부분이다. 그림 12는 Y_H_Scale부분의 블록도이며, 기본적으로 3.1절에서 언급한 V_Scale과 비슷한 구조를 지닌다. Y_h_scale_cont부분은 수평 방향의 scaling을 수행할 때 필요한 데이터를 선정 저장하는 부분으로, V_Scale로부터 출력된 데이터를 Memory 3에 저장하는 initial과정을 거친 뒤, Memory로부터 필요한 데이터를 읽어 들여 정렬한 뒤 polyphase 필터에 입력한다. Polyphase 필터는 그림 11과 같은 구조를 가지며, 입력받은 데이터와, 필터의 index를 조합하여 Y채널의 최종 출력을 뽑아내게 된다.

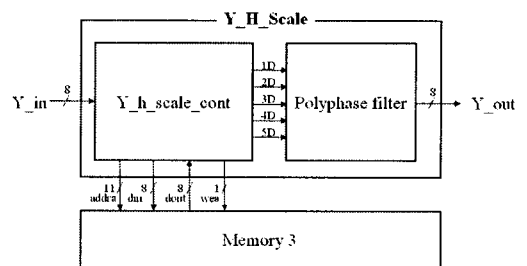


그림 12. Y_H_Scale의 Block Diagram
Fig. 12. Block diagram of Y_H_Scale

여기서 Memory 3은 Y채널의 수평 방향의 scaling을 수행할 시 같은 값의 데이터가 필요할 경우가 발생하므로, scaling시에 필요한 데이터가 저장되는 공간이다.

3.3C_H_Scale Block

C_H_Scale은 수평 방향의 CbCr채널의 scaling을 수행하기 위해 설계된 부분이다. 그림 13은 C_H_Scale부분의 블록도이며, 3.2절에서 언급한 Y_H_Scale과 거의 동일한 구조를 지니지만, YCbCr 4:2:2 포맷에 따라 Y채널에서 출력되는 데이터와의 동기를 맞추어 주는 부분이 추가가 된다. YCbCr 4:2:2 포맷에서의 Y채널에서 데이터는 한 클럭에 하나의 데이터를 출력하지만, CbCr채널에서는 Cb한번, Cr 한번 교대로 출력해야 하기 때문이다. 즉 YCbCr 4:2:2 포맷에선 Cb1, Y1, Cr1, Y2가 하나의 데이터를 형성하게 되는 것이다. 이러한 Cb, Cr이 교대로 출력되게 만드는 회로가 추가된다.

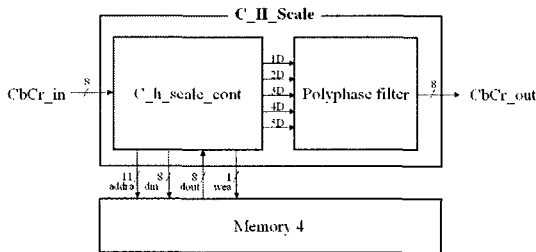


그림 13. C_H_Scale의 Block Diagram
Fig. 13. Block Diagram of C_H_Scale

C_H_Scale내부의 C_h_scale_cont는 출력되는 데이터가 Y채널의 적합한 데이터와 동기를 맞게 해주는 부분과, scaling을 수행하는데 필요한 부분으로 설계되어 있다.

Memory 4는 CbCr채널의 수직방향 scaling이 끝난 데이터로 수평방향 scaling시에 필요한 데이터를 저장해주는 공간이다[8-9].

IV. 합성 결과 및 FPGA 검증

본 논문에서 제안한 해상도 변환기인 Polyphase scaler는 하드웨어 언어인 Verilog-HDL로 설계 및 검증하였다. 표 1은 ASIC library인 TSMC 0.25um를 사용하여 동작 주파수 40MHz 기준으로 합성한 결과이다.

그림 14는 검증용 FPGA board를 보여준 것이다. 아래에 있는 2 mega pixel CMOS image sensor module로부터 이미지를 입력받아 polyphase scaling을 수행한 뒤, USB output to PC를 통해 연결된 컴퓨터로 scaling된 영상을 전송한다. 그림 15는 bicubic 방법과 본 논문에서 제안한 polyphase scaler와의 해상도 확장 결과를 비교한 것이다. (a), (c), (e)는 bicubic을 이용하여 1.28배(2M→3M) 확대한 결과물이고 (b), (d), (f)는 polyphase scaler를 이용하여 확

장한 결과물이다. 두 결과물들을 비교해 보면 건물의 윤곽, 모자의 윤곽선, 모자 장식, 나뭇잎 등이 bicubic과 비교하여 선명하며 또렷함을 알 수 있다. 이는 polyphase scaler가 boost-up 필터를 사용하여 고주파 신호를 증폭 시켰기 때문이다.

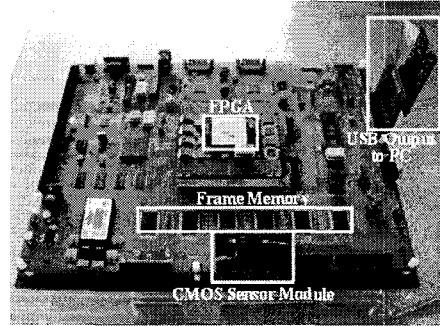


그림 14. 검증용 FPGA Board

Fig. 14. FPGA Board for verification of performance

표 1. Polyphase scaler시스템의 ASIC 합성 결과
Table 1. ASIC synthesis result of Polyphase scaler

Block	Gate Count	Min Timing [MHz]
V_Scale	28,034	43.1
Y_H_Scale	10,796	43.1
C_H_Scale	15,547	43.1
Used Memory	1600 x 4Line x 2ch x 8bit = 12,800 byte 1600 x 1Line x 2ch x 8bit = 3,200byte Total : 16,000 byte	
Total Logic	54,377	43.1

V. 결론

본 논문에서는 해상도 변환을 하기위한 방법으로 디지털 필터의 group delay를 이용한 polyphase scaler를 제안하였다. bicubic 방법과 비교하여 micro processor, 곱셈기 등의 복잡한 하드웨어가 필요 없으며, 확대 비율만큼의 입력 클럭이 주어지면 실시간 동작이 가능하다. 그리고 내부에 사용되는 polyphase 필터들을 고주파 성분을 증폭 시켜주는 boost-up 필터들로 설계하여 선명한 이미지를 얻을 수 있도록 하였다. 본 논문에서 제안하는 해상도 변환기를 사용하면 저해상도의 image sensor를 사용하여 보다 선명하고 화질 image를 얻을 수 있다. 이로서 핸드폰 등의 휴대용 기기에서 저렴한 가격으로 고화질의 이미지를 구현 할 수 있으리라 생각한다.

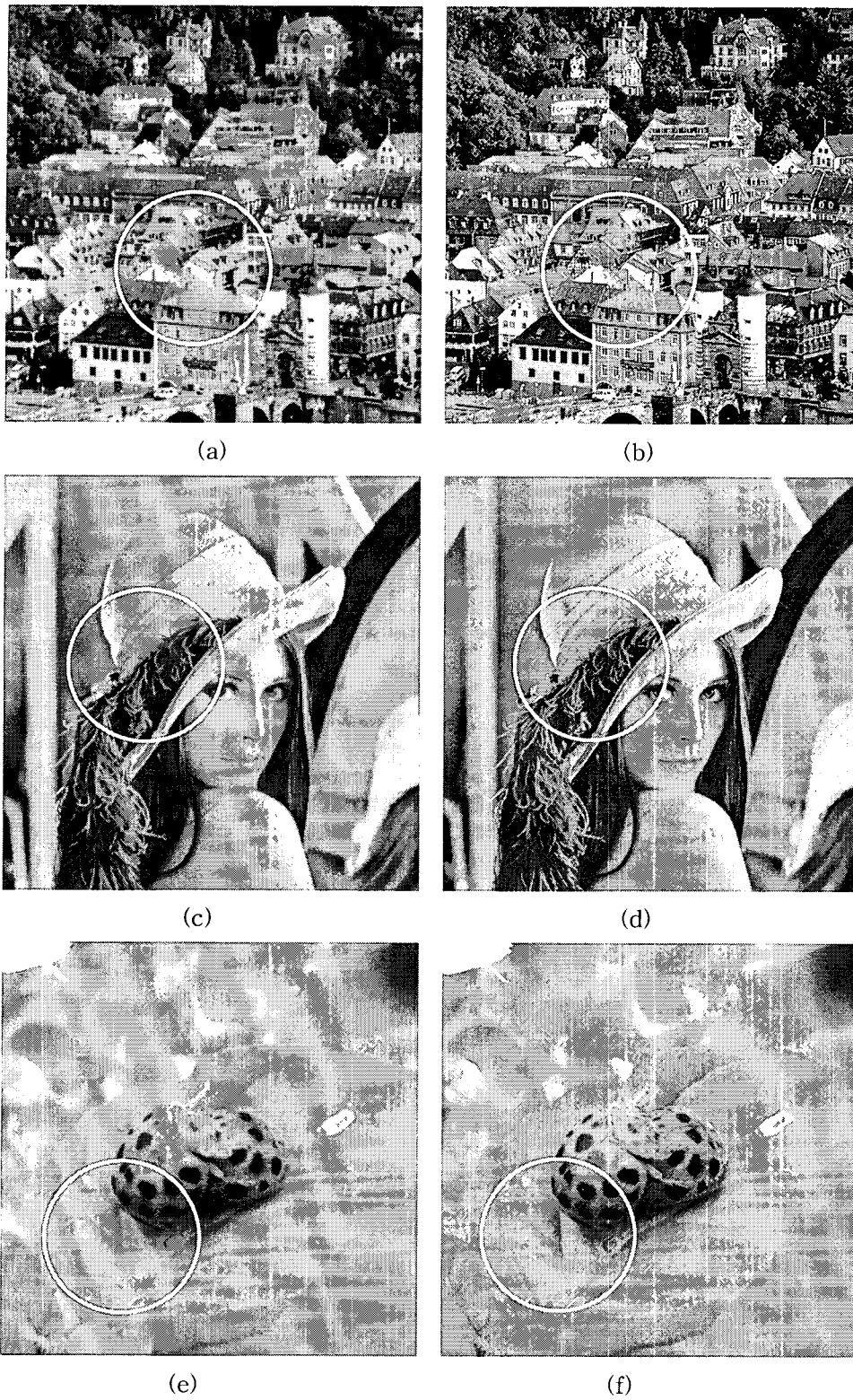


그림 15. bicubic 방법과 제안한 방법과의 해상도 확장 비교. (a), (c), (e)는 bicubic. (b), (d), (f)는 polyphase scaler
Fig. 15. Comparison bicubic and polyphase scaler. (a), (c) and (e) are result by bicubic. (b), (d) and (f) are result by polyphase scaler

참고 문헌

- [1] 김주현, 임정욱, 송진근, 광부동, 강봉순, "폴리페이즈 필터를 이용한 해상도 변환기의 설계," 2006 한국 신호처리 시스템학회 추계 학술대회 논문집, pp. 185-188, 2006. 11.
- [2] 김주현, "Boost-up필터와 ADEN 알고리즘을 이용한 Smart Zoom 시스템 설계," 동아대학교 대학원 박사학위 논문, 2006. 12.
- [3] 박정환, 장원우, 김현식, 박상현, 강봉순, "개선된 구조를 가지는 64 Polyphase filter의 구현," 2006 한국 신호처리 시스템학회 추계 학술대회 논문집, pp. 301-304, 2006. 11.
- [4] 강봉순, 이영호, 이봉근, "2차원 위상 교정 디지털 필터를 이용한 고성능/고화질의 영상 축소기 시스템 개발 및 IC구현," 한국 신호처리시스템학회 논문지, 제2권3호, pp.93-101, 2001. 7.
- [5] I. Hwang, B. Kang and J. Gerard, "High-Resolution Image Scaler Interpolation Filter for Multimedia Video Applications," pp. 813-818. 1997. 6.
- [6] Robert G. Keys, "Cubic Convolution Interpolation for Digital Image Processing," IEEE Transactions on Acoustics, Speech, and Signal processing, Vol. ASSP-29, NO.6, 1981. 12.
- [7] MT9D112, 1/4-Inch System-On-A-Chip (SOC) CMOS Digital Image Sensor, Micron Technology, Inc. 2006.
- [8] Joohyun Kim, "Design of Smart Zoom System with Boost-up Filter and ADEN Algorithm," Dept. of Electronic Engineering, Dong-A University, Busan, Korea, 2006.12
- [9] Joohyun Kim, Wonwoo Jang, Boodong Kwak, Suk Chan Kim, and Bongsoon Kang, "A New Image-scaling Algorithm Eradicating Blurring and Ringing to Apply to Camera Phones, " 2007 International Conference on Consumer Electronics, pp. 5.4-1, 2007.1



김 주 현(Joo-hyun Kim)
 2002년 2월 동아대학교 전기전자컴퓨터공학부 전자공학과(공학사)
 2004년 2월 동아대학교 전자공학과(공학석사)
 2007년 2월 동아대학교 전자공학과(공학박사)
 2007년 3월 ~ 현재 삼성전기 책임연구원
 관심분야 : Image signal processing



박 정 환(Jung-hwan Park)
 2006년 2월 동아대학교 전기전자컴퓨터공학부 전자공학과(공학사)
 2006년 3월 ~ 현재 동아대학교 전자공학과 석사과정
 관심분야 : Image signal processing



최 원 태(Won-tae Choi)
 1986년 8월 경북대학교 전자공학과(공학사)
 1994년 8월 포항공과대학교 전자공학과(공학석사)
 1986년 ~ 1991년 삼성전자 반도체 선임연구원
 1998년 ~ 현재 삼성전기 중앙연구소 수석연구원
 관심분야 : Camera module for mobile phone



강 봉 순(Bong-soon Kang)
 1985년 연세대학교 전자공학과(공학사)
 1987년 미국 University of Pennsylvania 전기공학과(공학석사)
 1990년 미국 Drexel University 전기 및 컴퓨터공학과(공학박사)
 1989년 ~ 1999년 삼성전자 반도체 수석연구원
 1999년 ~ 현재 동아대학교 전자공학과 부교수
 2006년 ~ 현재 2단계 BK21 사업팀장
 관심분야 : VLSI algorithm/architecture design, image/video processing