

# 최적 dechucking 시스템 구현에 관한 연구

(A Study on the Implementation of Optimized Dechucking System)

서종완\* · 서희석 · 신명철

(Jong-wan Seo · Hee-Seok Suh · Myong-Chul Shin)

## 요 약

반도체 공정에서 각 단계별 과정을 거친 후 dechucking시 wafer가 ESC(Electrostatic Chuck)로부터 방전되지 못하고, 잔류되어 있는 극성을 띤 전하(Electric charge)들에 의해 wafer와 ESC사이에 인력이 발생하여 wafer의 sliding, popping 및 wafer broken 등의 문제가 발생한다. 본 논문에서는 wafer와 ESC의 구성을 capacitor를 이용하여 modeling하고, PSpice를 사용하여 chucking system에 의한 wafer의 대전 현상을 모의하고 그 결과를 바탕으로 잔류전하를 방전시키기 위한 여러 가지 방법을 검토하여 최적의 잔류전하 제거 기법을 제시한다. 즉 별도의 전압원을 사용하여 (+)와 (-)를 교변하는 구형파를 인가함과 아울러 일정시간 동안 Plasma내에서 스위칭시킴으로써 ESC나 wafer에 charge되어 있는 극성을 띤 전하들을 중화(Neutralize) 시키도록 하였다. 그리고 이를 실제 하드웨어로 구현하여 실 공정에 적용한 결과를 제시한다.

## Abstract

After the semiconductor processing, wafer is attracted by ESC(Electrostatic Chuck) with remaining electric charge. That causes too many problems for examples, sliding of wafer, popping or broken. This paper presents the model of ESC for silicon wafer, which is modeled by electrical circuit component such as capacitor. The simulations using PSpice result in the phenomenon of silicon wafer was charged by ESC. In this paper we suggest the discharging method for wafer.

Key Words : ESC, Electrostatic Chuck, Dechuck, Wafer, Modeling, Simulation

## 1. 서 론

반도체 공정에서 사용되는 silicon wafer는 chuck에 의해 이송되어 각 단계별 처리 공정을 거친다. 종

\* 주저자 : 성균관대학교 정보통신공학부 박사과정

Tel : 031-290-7161, Fax : 031-290-7168

E-mail : angler@skku.edu

접수일자 : 2007년 1월 26일

1차심사 : 2007년 1월 29일

심사완료 : 2007년 2월 16일

래에는 기계적 시스템에 의해 wafer를 chuck에 고정하여 사용하였으나 chuck에 의해 wafer에 기계적으로 고정되는 부분에서 공정 처리에 많은 문제를 발생시키고 있어 최근의 반도체 공정에서는 ESC(Electrostatic Chuck)를 사용하여 정전기력을 사용하여 wafer를 고정시키는 방법을 사용하고 있다[1].

그러나 ESC를 사용한 wafer의 이송법은 공정 완료 후 wafer를 ESC로부터 분리하기 위한 dechu-

cking 과정에서 wafer와 ESC에 방전되지 않고 남은 잔류 전하로 인한 wafer의 sliding과 popping 현상 및 broken 등의 문제가 발생한다[2].

본 논문에서는 dechucking 과정에서 잔류 전하로 인하여 발생하는 문제를 해결하기 위해 wafer와 ESC 사이에 발생한 대전 현상에 대한 electrical circuit model을 제시하고, PSpice를 사용하여 wafer에 충전된 후 남은 잔류 전하로 인한 전기적 현상을 모의하였으며, wafer와 ESC의 방전을 가속하기 위한 방법을 고안하여 PSpice에서 ESC를 사용한 wafer 이송장치의 방전 가속 현상을 모의하고 고안된 방법에 따라 실제로 구현된 하드웨어 모듈의 개발 사항에 대해 제시한다.

## 2. Electrical Modeling

반도체 공정에서 wafer의 handling에 사용하는 chuck은 종래의 기계적 방식(mechanical type)의 단점으로 인하여 정전기력에 의한 방식(electrostatic type)으로 변하고 있는 추세이나 ESC(Electrostatic Chuck)를 사용하는 경우 wafer와 ESC 사이의 대전 관계에 의해 charging된 전하들이 de-chucking 시 잔류되어 wafer와 ESC 사이에 인력을 발생하고 있으며 이로 인한 wafer의 sliding, popping 및 wafer broken이 발생한다.

ESC와 wafer의 물리적 구성과 ESC의 전극으로부터 공급되는 전하에 의한 대전 현상을 분석하기 위한 electrical model을 제시한다.

### 2.1 Wafer와 ESC model

Wafer와 ESC의 물리적 구성은 그림 1과 같이 전극이 매입된 ESC와 wafer 및 공정 장치 내에 주입된 Plasma 상태의 gas 환경으로 구성된다.

그림 1의 물리적 구성도와 같이 wafer와 ESC는 공극을 유지한 평판으로 이루어지며 capacitor model로 가정할 수 있고 이를 그림 2의 평판 capacitor로 modeling할 수 있다.

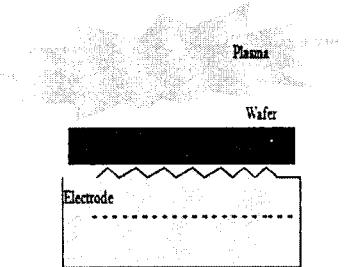


그림 1. Wafer와 ESC의 물리적 구성도  
Fig. 1. Physical description of wafer and ESC

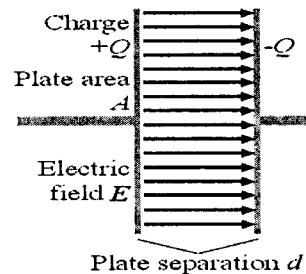


그림 2. Wafer와 ESC의 capacitor model  
Fig. 2. Capacitor model of wafer and ESC

### 2.2 PSpice Simulation

2.1절의 wafer와 ESC간의 electrical model을 PSpice를 사용하여 대전 상태와 공정 완료 후 전극과 plasma의 off로 인한 wafer와 ESC의 floating 상태를 모의하기 위해 그림 3과 같이 capacitor에 의한 회로 모델을 구성하였으며, 일정시간 이후 ESC의 공급 전원 off 후 plasma off에 대한 시스템 모델을 위한 부분을 함께 구성하였다.

그림 1의 wafer와 ESC의 물리적 구성에서 볼 수 있듯이 wafer의 한 단면은 ESC와 공극을 유지한 채 연결되어 있으며 반대쪽 면은 plasma gas 환경에서 chamber의 외부와 연결되어 있다. Wafer와 ESC는 plasma gas 환경에서 handling되며 ESC에 의해 공급되는 전압에 의해 charging되고, 공정 완료 후 ESC에 공급되는 전압이 차단되고 일정 시간 후 plasma 환경이 제거된다. 그림 3의 model circuit에서 wafer와 ESC를 modeling한 capacitor는 초기 충전시에는 positive에 해당하는 ESC 전극과 negative에 해당하는 plasma gas 환경이 존재하지만 공정 완

## 적적 dechucking 시스템 구현에 관한 연구

표시에는 ESC에 공급되는 전압이 off되고, plasma가 off된다. 그림 3의 회로 모델에서는 이 현상을 모의하기 위해 ESC와 plasma가 모두 on 상태에서 순차적으로 ESC off, plasma off로서 충전된 capacitor의 isolation된 상태가 되도록 구성하였다.

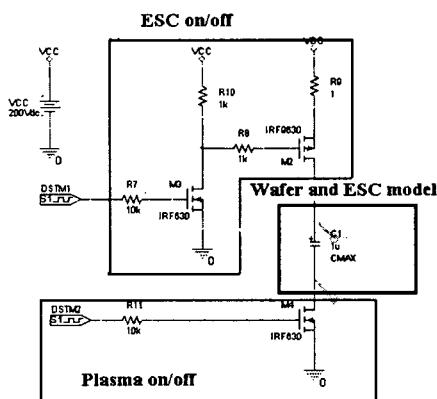


그림 3. Wafer와 ESC의 회로 모델

Fig. 3. Schematic diagram of wafer and ESC with capacitor model

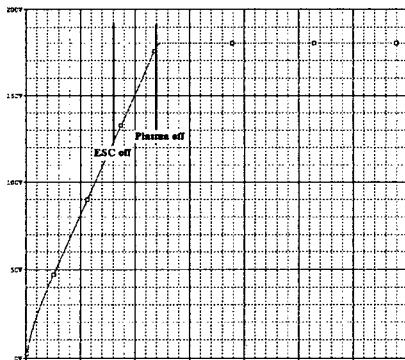


그림 4. Electrical model의 잔류 전하 모의

Fig. 4. Simulation of electrical model with remaining charge

그림 3의 isolation된 capacitor는 외부 전계가 존재하지 않는 경우 capacitor의 잔류 전하는 방전되지 않으며 잔류 전하로 인한 전압이 유지된다.

Capacitor model에서 잔류 전하로 인한 induction voltage를 그림 4에서 확인할 수 있으며, 자연 상태에서는 시간이 지나도 방전되지 않고 잔류 전하로 인한 전압이 유지되는 것을 볼 수 있다.

Wafer와 ESC의 capacitor model은 ESC의 전극과 wafer를 둘러싼 plasma 환경이 제거 된 상태에서 양 단자가 floating된 고립 capacitor로 가정할 수 있으며 capacitor는 ESC에 의해 공급된 전압에 의해 충전된 상태로 가정할 수 있다.

## 3. Wafer와 ESC의 방전 Simulation

본 논문에서는 2절에서 구성한 wafer와 ESC의 모델과 같이 충전된 capacitor의 양단자가 floating된 상태에서 방전을 가속하기 위해 ESC의 전극에 (+)와 (-)를 교번하는 구형과 전압을 인가하여 잔류 전하의 방전을 유도하는 방법을 제안하고, 이에 대해 그림 3의 회로 모델에 방전 장치를 추가하여 PSpice를 이용한 잔류 전하에 의해 유기되는 전압을 모의하여 그 방법의 타당성을 검토한다.

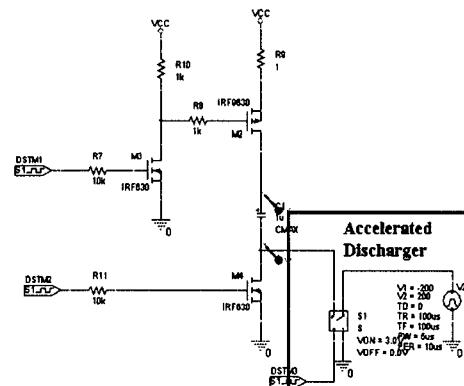


그림 5. 방전 가속기의 회로 모델

Fig. 5. Circuit model for discharging accelerator

그림 5의 방전 가속기는 부착된 wafer와 ESC의 회로 모델은 ESC에 공급되는 전원이 off되고 plasma가 off 되었을 때 wafer와 ESC는 대전된 두 평판과 이들에 연결된 전극은 모두 floating된 상태로써 ESC의 전극 단자에 저항 부하를 연결할 경우 반대쪽 단자는 계속 floating된 상태로 남아 잔류 전하의 방전이 어렵게 된다. 따라서 본 논문에서는 floating된 capacitor에 대해 (+)와 (-)를 교번하는 구형과 전압 발생기를 연결하여 capacitor의 잔류 전하의 방전을 가속시키는 방법

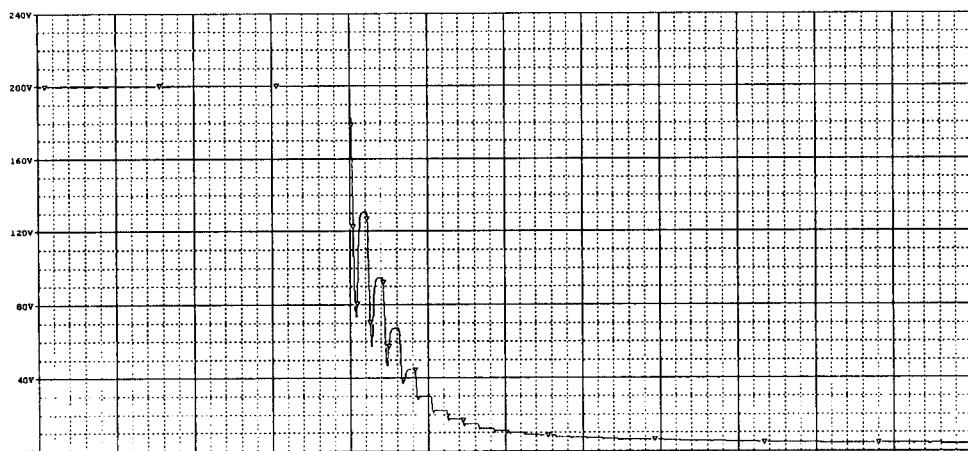


그림 6. 방전 가속기를 추가한 경우 잔류 전하에 의해 유도된 전압  
Fig. 6. Voltage is induced by remaining charge with discharging accelerator

을 제시한다.

그림 6은 제안된 방전 가속 장치의 회로를 wafer와 ESC를 capacitor로 모델링한 회로에 추가하여 총 전된 전압이 방전되는 현상을 PSpice를 사용하여 모의한 결과이다.

#### 4. 방전 가속 장치 구현

2장의 모델을 사용하여 3장에서 제시한 wafer와 ESC의 방전 가속 방법을 하드웨어로 구현하였으며 이러한 시스템을 ODS(Optimized Dechucking System)라는 이름으로 명명하였다.

그림 7은 방전 가속 구간에서의 ODS 출력 전압을 측정한 것으로 20[ms] 주기로 10[ms] 동안은 +100[VDC]의 출력력을 내고 있으며 10[ms] 동안은 -100[VDC]의 출력력을 낸다.

그림 8은 고안된 ODS의 방전 가속 장치의 제어부분과 상태표시창으로써 전압, 주파수 및 출력 지속 시간을 변경할 수 있다.

그림 9는 ODS의 구성 개념도로써 ODS는 ESC의 chucking을 위해 공급되는 HV(High Voltage) 모듈과 연결되어 있으며 dechucking시 스위치 A는 off되며, 이 때 스위치 B와 C가 교번하여 on/off되어 그림 7과 같은 전압을 출력한다.

그림 10은 ESC의 chucking시 공급되는 HV

module의 실물(좌)과 ODS(우)의 구성으로써 그림 9와 같은 동작 블록을 형성한다.

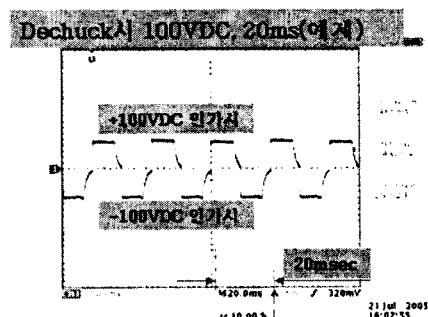


그림 7. ODS의 출력 전압 파형  
Fig. 7. Voltage waveform of ODS output

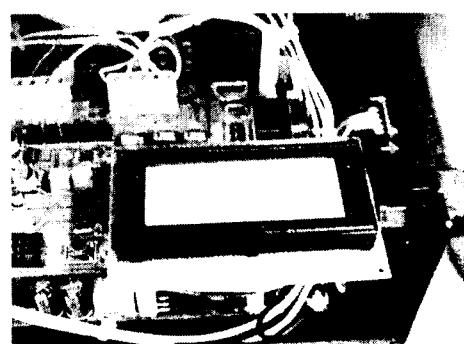


그림 8. ODS 내부 사진과 상태 표시창  
Fig. 8. Picture of inner side that is ODS and display

## 최적 dechucking 시스템 구현에 관한 연구

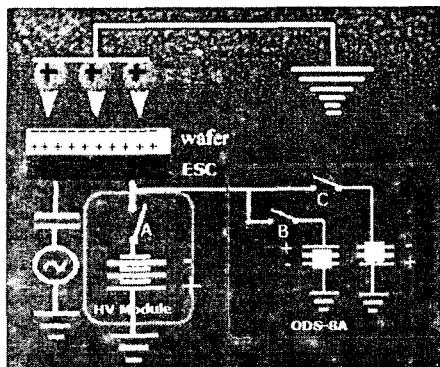


그림 9. ODS 적용시의 구성 개념도  
Fig. 9. Block diagram of chamber with ODS

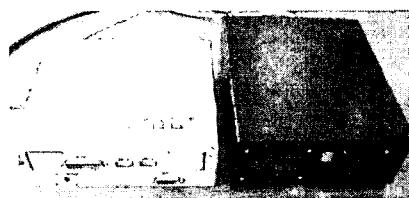


그림 10. HV Module(좌)과 ODS(우)의 외형  
Fig. 10. Picture of HV module(left) and ODS(right)

## 5. 결과 및 고찰

반도체 공정에서 ESC(ElectroStatic Chucking)를 사용할 경우 비접촉으로 wafer를 handling 할 수 있으나 dechucking시 wafer와 ESC의 잔류 전하로 인한 정전기력에 의해 ESC로부터 wafer의 이탈이 어렵게 되어 발생하는 wafer의 sliding, popping 및 broken 등의 문제를 개선할 목적으로 잔류 전하의 방전을 가속화하기 위해 ESC와 wafer의 electrical circuit model을 구성하고 PSpice를 사용한 시뮬레이션을 수행하고 그 결과를 바탕으로 제안된 방법의 타당성을 검증하고 이를 하드웨어 장치로 구현하여 ODS(Optimized Dechucking System)을 고안하였다.

그림 11은 반도체 공정의 동작 sequence의 일부로써 ESC의 HV와 Plasma 및 ODS의 on/off timing을 표시한 것이다. ESC에 공급되는 HV가 off되고 ODS가 동작한 후 Plasma가 off된 후 wafer가 탈착된다.

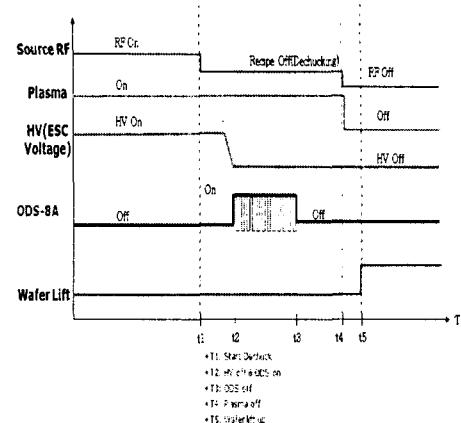


그림 11. ODS의 동작 sequence  
Fig. 11. Operation sequence for ODS

그림 12와 그림 13은 각각 dechucking시 ODS를 사용하지 않은 경우와 용한 경우의 ESC와 wafer의 대전 상태를 개념적으로 도시한 것이다.

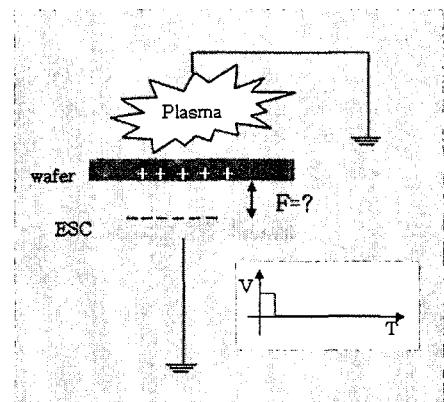


그림 12. Dechucking시 ODS를 사용하지 않은 경우 대전 상태  
Fig. 12. Electrification at dechucking with out ODS

그림 12는 dechucking 과정에 ODS를 사용하지 않은 것으로써 ESC의 전극은 GND에 연결되나 floating된 wafer의 잔류 전하는 방전되지 않고 wafer와 ESC의 분극 상태가 유지됨에 따라 정전기력에 의해 wafer는 ESC로부터 쉽게 분리되지 않는다.

그림 13은 dechucking 시 ODS를 사용한 것으로써 ESC에 연결된 HV의 off후 ODS가 동작하여 wafer

와 ESC의 잔류 전하가 방전된 상태로써 ESC로부터 wafer의 탈착이 용이하게 된다.

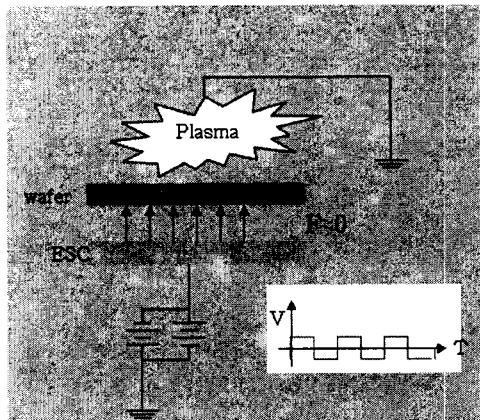


그림 13. dechucking시 ODS를 사용한 경우 대전 상태  
Fig. 13. Electrification at dechucking with ODS

본 논문에서 제안한 방법으로 ESC를 사용한 wafer의 handling에서 dechucking시에 발생하는 잔류전하를 ODS를 사용하여 제거하는 이론적 모델을 제시하고, 이를 하드웨어로 구현하여 반도체 공정에 적용함으로써 그 유용성을 확인하였으나 ESC와 wafer가 이루는 공극의 거리와 면적에 따라 충전된 전하량에 차이가 발생할 수 있으며, 이에 따라 ODS의 동작 시간 및 출력 전압의 크기와 duty ratio 등의 parameter를 시스템에 따라 최적화된 값으로 조정이 필요하다는 결론을 도출했다.

추후 지속적인 연구에서 ESC에 wafer의 handling을 위해 공급하는 HV(high voltage) 모듈 장치와 ODS가 현재의 구성에서는 각각 독립적이나 추후 이들을 통합하여 하나의 장치로 구성하며, ODS의 가변 parameter의 최적 값을 도출하기 위한 dechucking 용 simulation 소프트웨어의 개발을 목적으로 있으며, 반도체 생산 공정의 향상에 많은 기여를 할 수 있을 것으로 예상된다.

## 6. 결 론

논문에서는 wafer를 capacitor로 modeling하고 PSpice를 사용하여 chucking system에 의한 wafer의 대전 현상을 모의하였고, 이를 방전시키기 위한

방법으로 별도의 전압원으로부터 (+)와 (-)를 교번하는 구형파를 인가하여 일정시간 동안 Plasma내에서 스위칭시켜서 ESC나 wafer에 charge되어 있는 극성을 띤 전하들을 중화(Neutralize) 시키는 방법을 고안하였으며, 이를 실제 하드웨어로 구현하여 실공정에 적용한 결과를 제시하여 그 유용성을 확인하였다.

## References

- (1) Fundamental Study of an Electrostatic Chuck for Silicon Wafer Handling, Kazutoshi Asano, Fumikazu Hatakeyama, and Kyoko Yatsuzuka, IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 38, NO. 3, MAY/JUNE 2002.
- (2) Clamping Characteristic of Pin-type Vacuum Chuck (3rd Report) - Contact between Pin Top and Wafer Back-surface - Kai, Y., Mochida, M., Uhe, A., Matsui, S., Ishikawa, Y., Ohira, F. JOURNAL - JAPAN SOCIETY FOR PRECISION ENGINEERING, Vol.67 No.5, [2001].
- (3) L. D. Hartsough, "Electrostatic wafer holding," Solid State Technol., pp. 87?90, Jan. 1993.
- (4) T.Watanabe and T. Kitabayashi, "Effect of additives on the electrostatic force of alumina electrostatic chucks," J. Ceramic Soc. Jpn., vol. 100, pp. 1?6, 1992.

## ◇ 저자소개 ◇

### 서종완 (徐宗完)

1976년 11월 11일 생. 1999년 성균관대학교 전기공학과 졸업. 2001년 동 대학원 전기전자 및 컴퓨터공학과 졸업(석사). 현재 동 대학원 전기전자 및 컴퓨터공학과 박사과정. 2003~2006년 대우일렉트로닉스 영상연구소 선임연구원.

### 서희석 (徐熙錫)

1961년 6월 26일 생. 1987년 성균관대학교 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(박사). 1989~1991년 LG산전연구소 연구원. 1995년~현재 두원공과대학 메카트로닉스과 부교수

### 신명철 (申明徹)

1947년 4월 3일 생. 1970년 성균관대 전기공학과 졸업. 1978년 연세대 대학원 전기공학과 졸업(박사). 1978년~현재 성균관대 정보통신공학부 교수.