

Single Step PFC 컨버터(2)

김광태 <부산정보대학 교수>

- 1. 컨버터의 입력전류와 역률
- 2. PFC 제어와 컨버터
- 3. Single Step PFC 컨버터

※ 본 내용은 2월호에 게재되었음

4. Single Step PFC 제어외로

4.1 특 징

ST Micro-electronics사의 1-step PFC L6561은 여러 부분에서 성능을 개선하고 성능을 향상시켰다. 동작특성은 입력전압의 변동범위가 85[V]에서 265[V]까지 폭넓게 변하는 경우에 대해서도 우수한 동작특성을 갖고 있으며, 스위칭전류와 전원입력에 대하여 우수한 곱셈동작을 실행함은 물론 우수한 THD 특성을 갖고 있다. 아울러 동작개시 전류는 수십 미리 암페어로 아주 적으며 정상동작 중 회로를 일시 중지시키는 "Disable" 기능도 갖고 있다. 회로설계는 BCD 기술을 접목했으며 다음과 같은 이점을 가지고 있다.

- (1) 최초 시작전류가 극히 적다(50[μ A]).
- (2) 고정밀 기준전압(1[%]급)을 사용하였음.
- (3) 과전압 보호기능(Over Voltage Protection)을 갖는다.
- (4) 외부에 별도의 Low Pass Filter를 설치할 필

요가 없다.

- (5) 정상동작전류가 아주 작기 때문에 회로동작도 극히 전력이 작다. Power MOS나 IGBT를 주 스위칭 소자로 사용하기에 적합한 totem pole 방식의 드라이버 회로를 사용하였으며, ± 400 [mA]의 드라이버 능력을 갖는다. 동작은 과도적인 동작 특성을 갖는 형광등과 같은 방전등의 경우도 잘 동작하며, AC-DC 전력 변환장치나 SMPS에 대해서도 응용이 가능하며 잘 동작함을 알 수 있다.

4.2 Wide Range 설계

단상 입력과 출력을 갖는 PFC 회로의 설계는 디자인 방정식을 사용하여 회로정수를 구하면 쉽게 설계가 가능하다. Wide range PFC를 설계하려면, 회로정수를 정하고, 회로의 사양을 정하는 문제에 있어서 보다 엄격한 적용이 요청된다. 아울러 정상적인 동작 상태에서 THD가 10[%] 미만이고, PF(power factor)가 99[%] 이상을 요구하는 조명제어의 경우 당연한 사양으로 주어진다. 그리고 wide range 응용은 최저전압의 조건에서 최대전력과 최대전압조건에서 최소전력이 사용되는 최악의 조건에서도 만족하는 설계를 제공해야 한다. 이 경우 회로정수를 비롯한 회로를 구성하는 부품들에 대하여 면밀히 검토하는 것

이 필요하며, 이를 최적화하고 상호 조화롭게 구성시키는 노력이 필요할 것이다.

4.3 곱셈기 동작과 회로정수

일단 초기 설계가 완성되면, 주요부분의 값들을 측정해야 한다. 그리고 6561 PFC 제어회로가 선형동작범위(linear operating range)를 벗어나지 않고, 완벽하게 동작할 수 있는 모든 동작변수들에 대하여 하나 하나 자세히 관찰해야 한다. 그림 18은 곱셈 제어기의 안정된 선형동작범위를 규정하는데 중요한 그래프이다. 최적의 동작을 위해서 제어회로(6561 PFC)의 곱셈기가 선형동작범위 내에 있어야 한다. 앞에서 간단히 설명한 내용으로부터 유추해 알 수 있는 것과 같이 최악의 경우에 최선의 동작을 위하여 고려해야될 변수(처리해야될 신호)는 세 가지가 있음을 알 수 있다.

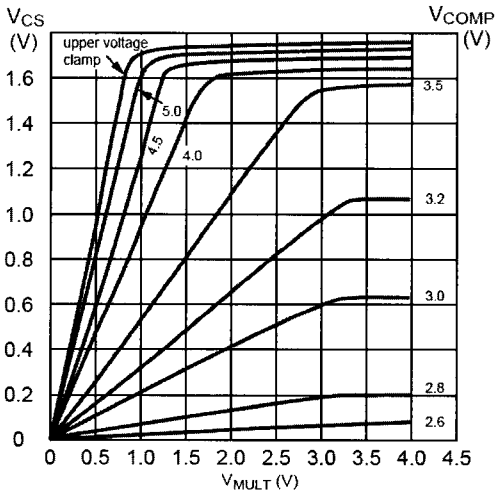


그림 18. 곱셈기 동작특성

- 첫째로 생각할 수 있는 최악의 조건은 입력전압이 최소일 때(line voltage low) 출력전력이 최대(highest output power)가 되는 경우를 들 수 있다.

- 둘째로 생각할 수 있는 최악의 조건은 입력전압이 최대일 때 출력전력이 최소가 되는 경우일 것이다.

그림 19는 제어회로의 곱셈기와 관련된 블록도이다. 여기에 최적설계와 설명의 편의를 위하여 번호와 함께 신호명을 표시하였다. 최악의 상태에서 최적의 동작조건을 갖도록 하기 위해 먼저 해야 될 것은 세 가지 값을 측정하는 것이다. 그 중에서

- 첫째가 오차 증폭기(E/A)의 출력신호(2번 신호)인 Vcomp이다.
- 이어서 전류센서(current sensor)의 검출신호(4번) Vcs와
- 입력전압 검출신호(3번) Vmult를 측정한다.

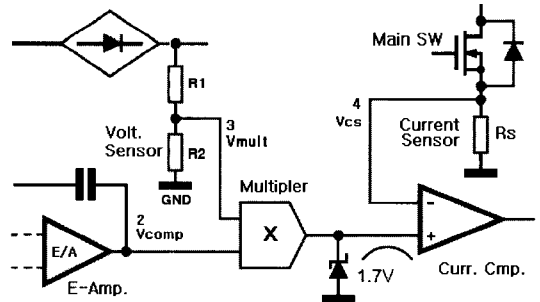


그림 19. 곱셈기 블록도

이 값을 가지고 그림 18의 그래프에서 안정된 선형 동작을 하게 될 곡선과 측정된 값을 비교 분석하는 것이다. 그러면 그림 19에서 오차 증폭기의 출력(2번, Vcomp)을 측정한 후 이를 기록한다. 그리고 곱셈기에는 전원전압이 입력됨을 알 수 있다. 곱셈기 입력전압(3번, Vmult)의 측정조건은 전원에서 입력되는 전압 조건이 최대일 때를 측정하고 이를 기록한다. 이어서 부하전류는 전류센서(Rs)의 전압(4번, Vcs)을 측정해야하는데 측정조건은 부하전류가 최대일 때를 기준으로 측정하고 기록한다. 이러한 값들을 참고하여 그림 18에서 선형동작조건을 찾아야 한다.

- 먼저 V_{comp} 전압을 사용하여 그래프 상의 곡선을 선택한다.
- 그리고 선택된 곡선을 기준으로 V_{cs} 와 V_{mult} 의 값이 어떻게 될 때 안정된 선형조건을 만족하는지 찾아야 한다.
- 만약 안정된 선형영역에서의 조건이 충족되지 못한다면, 선형 동작조건이 만족될 수 있도록 $R1/R2$ 의 비를 바꾸든지, 아니면 R_s 의 크기를 조정해야 할 것이다.
- 처음부터 V_{comp} 의 값을 선정하기 힘들다면 오차 증폭기의 입력에서부터 시작하여 피드백 회로와 관련된 회로 정수를 수정하는 것도 필요할 것이다.

이러한 결과에 따라 리액터를 중심으로 단지 상호교환되고, 어떠한 에너지가 입력되거나 출력되지 않음을 알 수 있다. 그림 20을 관찰하므로 이러한 현상도 함께 이해할 수 있다.

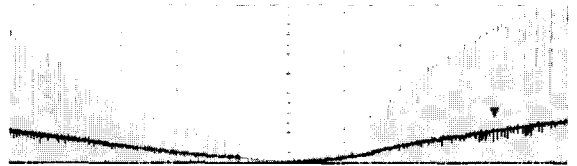


그림 20. 영전위에서의 전류불연속파형

드레인의 캐패시터 성분 C_{oss} 를 최소화하기 위하여 MOSFET의 턴-온 저항 R_{ds} 를 높게 할 필요가 있다. 그러나 R_{ds} 를 높게 하면 스위칭 손실이 증가하므로 이러한 범위를 초과하지 않는 범위 내에서 동작하도록 세심한 주의가 필요하다. 그리고 전압정격도 MOSFET의 브레이크 다운 정격전압을 초과하지 않도록 스위칭 전압 범위를 잘 결정해야 한다. 사실 MOSFET가 낮은 턴-온 저항(R_{ds})과 높은 스위칭 전압을 갖는다는 것은 높은 C_{oss} 을 갖는다는 뜻을 의미한다.

인덕터의 내부 권선 사이에 존재하는 기생 캐패시터는 권선을 감을 때 권선의 층수를 줄이면 감소시킬 수 있다. 그리고 권선층 사이에 테이프를 넣어 절연층을 더하면 권선층에 의하여 생기는 캐패시터 성분을 줄일 수 있다. 보빈을 사용하면 매우 효과적임을 알 수 있다. 고속 스위칭 다이오드를 사용하면 상당히 개선된 특성을 얻을 수 있다. 그리고 MOSFET의 드레인에 접속된 총체적인 캐패시터 성분을 줄이면 드레인 접합 캐패시터의 값이 적은 스위칭 소자를 사용하는 것도 어느 정도 효과적이 될 수 있다.

그러나 주된 개선은 우수한 특성의 다이오드(터보스위치와 같이 순방향 저항성이 극히 적은 다이오드)를 사용하는 것이다. 이러한 다이오드는 순방향 피크 전압이 아주 적기 때문에 수 볼트의 아주 낮은 전압에

4.4 Zero Crossing Dead Time

곱셈기를 중심으로 한 회로정수와 동작을 위한 입력전압은 물론 입력전류도 함께 조사해야 한다. 아울러 입력전압이 높고 출력전력이 낮을 때 발생하는 문제는 전류파형의 찌그러짐 현상인데 이에 대해서도 주의 깊게 관찰해야 한다. 그리고 그림 20은 주 스위칭 소자로 사용하는 MOSFET의 캐패시터 성분이 크고 다이오드의 턴-온 시간이 느릴 때 영전위 점에서 일어나는 불연속현상을 나타내는 그림이다.

영전위(zero-crossing) 부근에서 이러한 현상이 나타나는 주된 원인은 이 점을 중심으로 한 주변의 전위가 아주 낮기 때문에 인덕터에 충분한 에너지가 저장되지 못하므로 인덕터에 저장된 에너지의 양이 아주 적고, 또한 드레인에 연결된 전체 캐패시터에 충전되는 에너지가 부족하여 boost 다이오드를 턴-온 시키지 못하기 때문이다. 여기서 말하는 드레인에 연결된 전체 캐패시터란 MOSFET의 드레인과 소스 사이의 캐패시턴스 C_{oss} 와 인덕턴스의 권선 상호간에 존재하는 기생 캐패시터를 말한다. Boost 다이오드의 스위칭 속도는 이러한 문제와 직접적인 관계가 있다.

서도 입력을 출력으로 전송하는 것이 가능하기 때문이다. 그림 21은 캐패시터 성분이 작은 MOSFET와 낮은 순방향 전압과 고속인 터보 스위칭 다이오드를 사용했을 때 영 전위 부근에서의 전류파형을 나타낸다. 파형이 연속적이고 개선되었음을 알 수 있다.

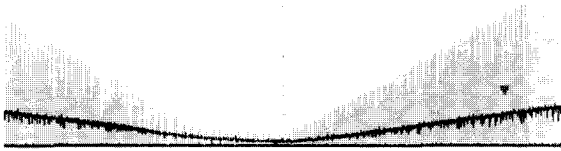


그림 21. 영전위에서의 개선된 전류연속파형

4.5 과전압 보호기능(Over Voltage Protection: OVP)

PFC의 출력전압은 회로상에서 설정된 값에 의하여 결정된다. 이 값은 그림 22에서 저항 R1과 R2의 비에 의하여 결정된다. 이때 저항을 통하여 흐르는 전류는 그림 22의 오차 증폭기(E/A)의 비반전 입력단에 연결된 2.5(V) 기준전압원을 고려해야 하며, 정상상태에서 저항 R1과 R2를 흐르는 전류는 다음과 같다.

$$I_{R1sc} = \frac{V_{out} - 2.5}{R1} = I_{R2} = \frac{2.5V}{R2} \quad (21)$$

그림 22에서 오차 증폭기(E/A)의 외부 보상회로가 Ccomp 하나뿐이라면, Ccomp로 흐르는 전류는 제로가 된다. 출력전압이 갑자기 증가할 때, R1을 통하여 흐르는 전류는 다음과 같이 된다.

$$I_{R1} = \frac{V_{outsc} + \Delta V_{out} - 2.5}{R1} = I_{R1sc} + \Delta I_{R1} \quad (22)$$

그림에서 보는 것과 같이 R2로 흐르는 전류는 변하지 않기 때문에 ΔI_{R1} 은 콘덴서 Ccomp를 통하여 흐

르게되며, 오차 증폭기(E/A)로 흘러들어 간다. 이 전류는 제어회로(L6561) 외부에서는 관측이 불가능하고 내부적으로 관측할 수 있는 전류이다. 그러나 이 전류의 크기가 약 37(μ A)에 도달하게 될 때 곱셈기의 출력이 감소하게 되며, 이때 전원에서부터 부하로 전송되는 에너지를 감소시킨다.

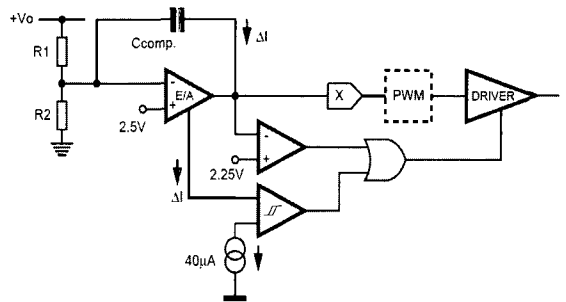


그림 22. 과전압 보호회로의 개요도

만약 이 전류가 40(μ A)를 초과하게 된다면 OVP 회로가 동작하게 되는데 이때 OVP 동작을 다이내믹 OVP(Dynamic OVP)라 한다. 다이내믹 OVP가 동작하면, 주 전류를 제어하는 주 스위칭 소자는 전류가 약 10(μ A)이하로 내려갈 때까지 턴-오프 된다.

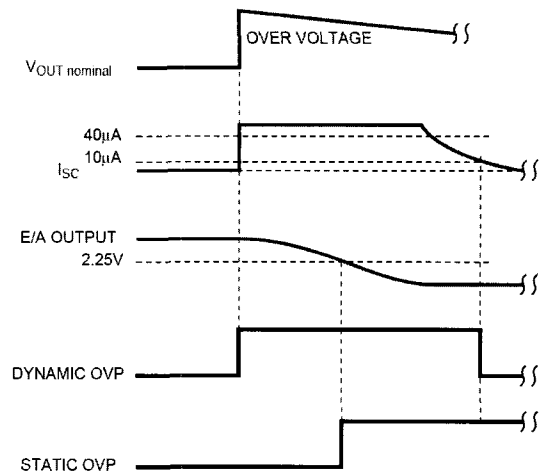


그림 23. 과전압과 OVP

기술해설

그림 23에서 보는 것과 같이 과전압의 상태가 계속 된다면, 회로 내부에 구성된 비교기는 OVP 조건을 확인하고 주스위치를 턴-오프 시키고 이 상태를 유지 시킨다. 최종적으로 OVP 기능을 작동시키는 과전압은 다음 식으로 표현된다.

$$\Delta V_{out} = R_1 \cdot 40\mu A \quad (23)$$

R1과 R2 및 C에 대한 표준적인 값은 각각 1.24(MΩ)과 10(kΩ) 및 1(μF)를 권장한다. R1은 R2의 약 124배 정도가 된다. 과전압은 평균출력전압과 무관하게 설정할 수 있다. 설정되는 전압의 정밀도는 설정된 과전압의 문턱전압에 해당되는 7(%)의 오차를 갖는다. 예를 들면 $\Delta[V] = 60[V] \pm 4.2[V]$ 가 됨을 말한다.

4.6 입력단 콘덴서의 EMI 필터링

오차가 발생하는 다른 하나의 요인은 입력단에 설치된 필터 콘덴서이다. 브리지 정류 다이오드의 출력 전압인 전파정류된 전원전압은 전류를 전원전압에 추종시키기 위한 기준신호로 사용되기 때문에 이 전압 파형이 찌그러진다는 것은 이를 기준으로 추종제어된 전류파형이 찌그러진다는 것을 의미한다. 그러므로 역률특성이 좋지 못하게 되거나 THD가 커지게 될 것이다.

이러한 원인 중의 하나는 브리지 정류회로 다음단에 설치한 고주파 노이즈 필터용 콘덴서의 용량이 너무 크게 될 때 발생하게 된다. 여기에 사용된 콘덴서의 용량이 클 경우는 브리지 정류 다음단의 전파정류 전압을 효과적으로 필터링할 것이다. 그러나 이렇게 하면 정현파가 되어야 될 정류전압이 정현파와 다른 비틀어진 파형이 될 것이며, 경부하의 경우는 제로전압이 없어지게 될 것이다. 그림 24는 이때 나타나는 전압파형이다. 이러한 파형을 개선하는 분명한 방법은 정류 다음단에 설치된 고주파 차단용 콘덴서의 용

량을 낮추는 것이다.

이때 고주파 콘덴서의 용량을 작게 한다면, 규정의 노이즈를 차단시키지 못할 것이다. 이를 보강하기 위하여 브리지 다이오드 전단에 EMI 필터를 설치하면 이를 보완할 수 있다. 그러나 EMI 필터를 사용할 때 필터 캐패시터의 용량을 작게 하면, EMI의 필터링 효율이 저하하게 될 것이므로 이를 주의하여 캐패시터의 용량을 정하여야 한다.

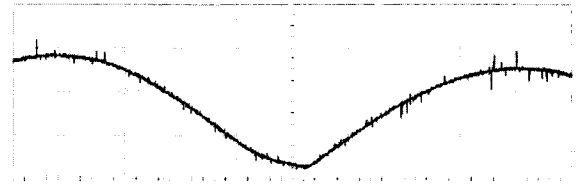


그림 24. 전압이 연속될 때의 전압오차

4.7 스위칭 주파수와 인덕터

전압이 광범위하게 변동할 경우(85~265(V))에 대해서도 시스템을 안정되게 제어하는 방법 중의 하나는 주 스위치의 스위칭 주파수를 제어가 허용하는 범위 내에서 최소 스위칭 주파수로 제어하는 것이다. 이렇게 하므로 전류 센서 비교기의 오프셋 전압뿐만 아니라 내부전달지연의 효과를 최소화시키는데 도움을 준다. 이 방법에서 전류는 전압파형에 보다 잘 추종하게 되며, 특히 영전압 부근에서 보다 효과적으로 추종되는 특성을 나타낼 것이다.

그러나 스위칭 주파수를 낮춘다는 것은 바로 인덕턴스를 크게 해야 하는 문제와 직결됨을 알 수 있다. 왜냐하면 스위칭 주파수를 낮춘다는 것은 바로 큰 인덕턴스를 의미하기 때문이다. 최저 주파수를 결정할 때 내부 스타트 회로와 인터페이스를 시켜야 하므로 15(kHz) 이상이 되게 해야 한다.

4.7.1 step gap 구조 인덕터 설계

최적의 인덕터를 설계하기 위하여 특별한 기술이 제공된다. 영전압(zero crossing) 부근에서는 스위칭 주파수 낮기 때문에 한 주기 동안의 스위칭 주파수가 변한다. 이는 인덕턴스의 크기와 직결되고, 인덕터가 이중적인 값을 갖는다면 제조공정에서 추가비용을 지불해야 할 것이다. 이를 해결하는 것이 소위 말하는 “step-gap core” 기술이다. 이는 페라이트 코어의 중간 다리의 1/2을 잘라내는 것을 말한다. 이에 관한 내용을 그림 25에 그림으로 표시하였다. 이때 에어 갭의 변화는 그림과 같이 계단과 같이 변화됨을 알 수 있다.

인덕터에 흐르는 전류가 적을 경우(I_{L1} 미만) 에어 갭은 적은 얇은 부분(자기저항이 적고, 누설자속이 적음)에 의하여 결정되므로 큰 인덕턴스를 갖는다. 그림 25에서 L1이 된다. 그러나 인덕터를 흐르는 전류가 점점 증가하여 어떤 값(I_{L2})을 초과할 경우 에어 갭의 얇은 부분(그림 20에서 b)은 점진적으로 포화될 것이고, 인덕턴스는 에어 갭의 크기(lg)에 의하여 결정되는 값으로 떨어지게 될 것이다($L1>L2$).

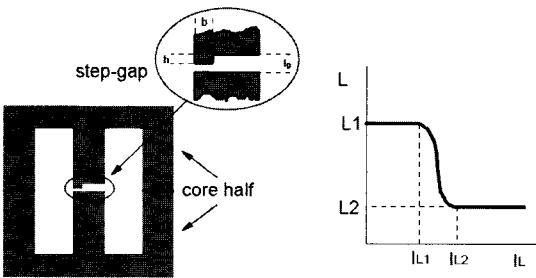


그림 25. 페라이트 코어의 step-gap 구조

비선형적으로 제공되는 인덕턴스는 신중하게 계산해야 한다. 즉 주어진 스위칭 주파수에 대하여 정류된 정현전압의 피크치 근방에서 인덕터 전류는 커질 것이고, 이때 인덕턴스는 L2가 될 것이다. 그리고 영전

위 근방에서 인덕터 전류는 적어질 것이고, 인덕턴스는 크게(L1) 될 것이다. 그러나 스위칭 주파수는 최저 인덕턴스 값을 초과하지 않을 것이다. 그림 25에서 적절한 높이 h와 폭 b는 인덕터의 인덕턴스를 결정하는 중요한 값인데, 이러한 값의 결정은 실험과 경험을 통하여 결정해야 됨을 밝혀 둔다.

4.7.2 EMI 필터 설계

그림 26은 EMI 필터 설계의 한 보기를 보여 준다. 그림과 같은 필터를 브리지 정류회로 전단에 설치하므로 정류 다음 단의 콘덴서 용량을 최소화할 수 있고, 이로 인하여 발생하는 노이즈 및 EMI 현상을 감소시킬 수 있다.

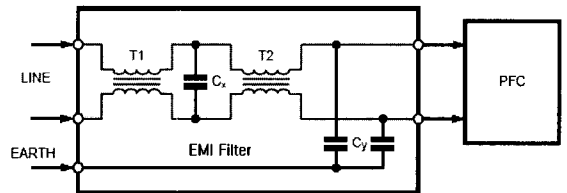


그림 26. EMI 필터 설계의 보기

4.8 회로정수 계산

4.8.1 변압기 관련 정수계산

변압기 턴 수는 최소 듀티 사이클에서 적절한 스위칭이 가능한 값으로 하며, 스위칭 디바이스는 가능한 낮은 전압 정격을 사용하도록 한다. 액티브 클램핑은 스위치 양단에 나타나는 누설 스파이크를 확실히 제어하고, OFF 상태의 주스위치 양단의 최대전압은 아래와 같다.

$$V_{sl, max} = \sqrt{2} V_{rms(IL)} + NV_0 \quad (24)$$

N은 변압기의 변압비(=Np/Ns), V0는 출력전압이다. 최소 듀티 사이클 범위는 다음 식과 같다.

기술해설

$$D_{\min (LL)} = \frac{V_o}{V_o + \frac{\sqrt{2} V_{rms(LL)}}{N}} \quad (25)$$

$$D_{\min (HL)} = \frac{V_o}{V_o + \frac{\sqrt{2} V_{rms(HL)}}{N}} \quad (26)$$

듀티비의 범위는 최소 라인전압에서 듀티비는 0.62이고, 최대전압에서 듀티비는 0.36이다. 최소 라인전압(V_{rms})이 90[V]일 때 최대 듀티비(D_{min})는 0.62이고, 최대전압(V_{rms}) 260[V]일 때 최소 듀티비(D_{min})는 0.36이다.

4.8.2 주스위치 전류 계산

주 스위치의 최대평균전류는 최대부하와 최소 라인 전압 조건에서 발생한다. 그 관계는 아래와 같이 주어진다.

$$I_{sl, avg (max)} = \frac{P_{o(FL)} \sqrt{2}}{n V_{rms(LL)}} \quad (27)$$

최대부하일 때 최소 라인 전압 조건이 될 때, 변환기의 효율(η)이 85[%]라고 가정한다면, 최대 평균스위치 전류는 7.39[A]가 흐른다. 가장 나쁜 경우의 최대 스위치 전류는 위와 동일한 상태에서 주어지고, 계산은 아래와 같다.

$$I_{sl, avg (max)} = \frac{P_{o(FL)} \sqrt{2}}{n V_{rms(LL)} D_{\min (LL)}} + \frac{D_{\min (LL)} V_{rms(LL)} \sqrt{2}}{2 L_m f_s} \quad (28)$$

여기서, f_s 는 스위칭 주파수, L_m 은 자화 인덕턴스를 나타낸다. 그리고 리플전류의 Peak-Peak는 20[%]가 된다. 효율이 0.85라고 할 때, 피크 스위치 전류는 13.69[A]가 된다.

4.8.3 변압기 설계

액티브 클램프 플라이백을 위한 트랜스는 PFC 적용에 관계된 것만 제외한다면, 전통적인 플라이백과 다르지 않고, 피크 스위치 전류는 DC/DC 변환에 비해 더 크다. TDK PQ40/40 코어를 사용하였다. 1차 축을 리츠와이어 1줄로 54턴을 감고 2차축은 1줄로 20턴이다. 코어는 갭을 주어 자화인덕턴스가 220 [uH]가 되게 하였다.

$$I_{pri, rms (max)} = \frac{P_o \max}{n N V_o V_{rms(LL)}} \times \sqrt{\frac{N V_o V_{rms(LL)} 10 \sqrt{2}}{3 \pi V_{rms(LL)}} + (N V_o)^2 + \frac{3}{8} (V_{rms(LL)})^2} \quad (29)$$

그리고

$$I_{sec, s (max)} = \frac{P_o \max}{V_o} \sqrt{\frac{3}{2} + \frac{16 N V_o}{3 \pi \sqrt{2} V_{rms(LL)}}} \quad (30)$$

위의 사양에서의 최대 1차, 2차 전류는 약 5.373[A]와 3.589[A]이다.

4.9 출력단 설계

4.9.1 출력정류기 선택

최대 역방향 전압은 이론적으로 아래와 같다.

$$V_{DI, max} = \frac{V_{rms(HL)} \sqrt{2}}{N} + V_o \quad (31)$$

이 경우 다이오드 양단전압은 575.69[V]가 걸리고, 설계 마진을 고려하여 600[V] 정격을 사용하였다. 출력 정류기를 거쳐 흐르는 한주기 최대 평균전류는 아래와 같다.

$$I_{DI, AVG (LL, FL)} = \frac{2 P_o}{V_o} \quad (32)$$

본 식을 사용하여 400(W)급에 대하여 적용하면, 약 3.478(A)가 된다.

4.9.2 출력 커패시터 선택

출력 커패시터의 선택에서 주요한 요소는 출력전압의 허용 리플의 크기이다. 이때 출력 커패시터의 용량은 아래와 같다.

$$C_o = \frac{P_o^{\max}}{240 \pi V_{or} V_o} \quad (33)$$

여기서 V_{or} 는 최대 피크 출력 전압 리플을 의미한다. 3[V] pp-ripple에 대해 $C_o=800(\mu F)$ 이다. 출력 커패시터에 대한 허용리플 전류 정격은 아래와 같이 주어진다.

$$I_{C_o, S(\max)} = \frac{P_o^{\max}}{\sqrt{2} V_o} \quad (34)$$

이것은 400(W), 230(V) 출력에 대한 1.3(A) rms의 120(Hz) 리플 전류 성분을 나타낸다.

5. 맺음말

고화질 PDP TV를 생산하는 LG 및 삼성과 같은 대기업을 중심으로 고화질 PDP TV에 적용할 1단 PFC 컨버터에 개발에 대한 관심이 높아지고 있다. PFC 전력단은 대부분이 boost 컨버터에 기반을 두고 UC3854라는 PFC 전용칩을 제어기로 사용하고 있으며, PFC 출력전압은 385~400(V)이다. 일반적으로 500(V) 내압 스위치를 2~4개 병렬 연결하여 사용하고 있다.

일반적으로 PDP의 구동은 ADS 구동방식에 의해 이루어지는데 이 방식에서는 각각의 기간동안 필요로 하는 최적의 독립전압이 각각 필요하게 되는데 PFC 단은 이러한 전압외에 PDP 전력 전체를 책임지고 있

으므로 전체 효율에 결정적인 요소가 되고 고효율을 이루기 위하여 최적의 설계가 행하여 져야 한다. Sustain dc-dc 컨버터에는 대부분이 half-bridge 형태의 소프트 스위칭 방식의 토폴로지를 사용하며, 일부 업체에는 2-switch flyback, resonant converter를 사용하기도 한다.

또한 AC PDP 방식의 경우에는 전원장치에서 발생된 dc 전압을 이용하여 ac 전압을 발생시키는데 패널 구동시 발생되는 큰 방전전류를 흘려주기 위해 현재 스위치 소자를 병렬로 사용하고 있으므로 그로 인한 전반적인 시스템 증가를 초래하고 있다. 시스템 부피를 줄이기 위해서 고주파 스위칭이 요구된다.

현재 LG, 삼성 그리고 오리온과 같은 PDP 양산가능 대기업들은 PDP의 생산단가를 줄이기 위해 코스트와 부피에 특히 많은 관심을 가지고 있고 전원장치의 부피를 최소화하기 위한 방법으로 기존의 이단방식 중심에서 일단 방식의 PFC 컨버터의 개발 목표를 가지고 계속 연구중에 있다. 디지털 방송의 개시와 더불어 PDP와 또는 LDC와 같은 디지털 TV가 날로 거대해지는 시장을 확보하기 위한 방안중에 하나는 최소의 전력 변환 단계를 가지는 AC PDP 구동 시스템에 있으며, 이를 통하여 시스템 효율의 증대 및 원가절감을 이루고자 하고 있는 것이다. 그러나 아직 상용의 단계는 아니며 상용화를 위하여 박차를 가하고 있는 실정이다.

표1은 각 반도체 회사별 PFC와 2단 및 1단 PFC 컨버터 회로 개발현황을 간단히 요약하였다. 이러한 IC들을 사용하면 안정된 PFC 컨버터를 생산할 수 있을 것이다. 아래에 소개한 IC외에도 많은 회사에 특색 있는 제품을 출시하고 있으므로 자신의 여건에 적합한 회로를 선택하면 최적의 컨버터 설계가 가능하리라 생각한다.

참고로 앞에서 설명한 CCM PFC 제어회로와 single step PFC 컨버터의 설계에 관한 내용은 ST Micro-electronics사의 L6561 data book을 참고하여 설명하였음을 밝혀 둔다.

표 1. PFC 및 PFC 컨버터 제어회로

회사명 \ 구분	PFC	PFC+PWM(2-Step)	1-Step	참고
New Japan Radio Co., LTD(JRC)	NJM2375			
Texas Instrument	UC1854/UC2854 UC3854	UCC28500-3, 38500-3 UCC2851-7		
FAIRCHILD	ML4821 FAN4822(ZVRS)	ML4800/ML4803 ML4824		
HITACHI		HA16141, HA16142		
ST Micro-electronics	L4981/L6561-3		L6561-2	

◇ 저 자 소 개 ◇



김광태 (金光泰)

1952년 3월 1일생. 1983년 2월 경남대학교 공과대학 전기공학과 졸업.
1985년 2월 부산대학교 대학원 전기공학과(석사). 1993년 2월 부산대학교 대학원 전기공학과(박사). 현재 부산정보대학 전기자동차과 교수. 본 학회 평의원, 편수위원.

Tel. 051-330-7155, 330-7306

Fax. 051-334-7780

E-mail. kwang@bit.ac.kr