

논문 2007-44SD-7-8

병렬 피드백을 사용하여 2.1~2.5 GHz 대역에서 이득 제어가 가능한 저잡음 증폭기의 설계

(A 2.1~2.5 GHz variable gain LNA with a shunt feed-back)

황용석*, 유형준**

(Yong-Seok Hwang and Hyung-Joun Yoo)

요약

병렬 피드백을 이용하여 이득을 조절할 수 있는 저잡음 증폭기가 설계되었다. 설계된 저잡음 증폭기는 0.18um CMOS 공정으로 설계되었으며, 병렬 피드백은 커플링 캐패시터와 이득 제어 트랜지스터로 구성되어 있다. 제안된 이득 제어 방법은 병렬 피드백에 연결된 이득 제어 트랜지스터의 채널 저항을 이용하였다. 측정 결과 12 dB~26.5 dB까지 총 38.5 dB의 이득 제어 범위를 가지고 있으며, 측정된 잡음지수는 약 4 dB이다. 소비 전력은 약 13.5 mW였다. 측정된 잡음 지수의 경우 시뮬레이션과는 다르게 일관적인 저잡음 증폭기보다 높게 나타났지만, 다른 유사한 기술에 비해 훨씬 큰 동작 범위를 가지는 저잡음 증폭기가 구현하였다.

Abstract

A variable gain low noise amplifier (VG-LNA) implemented in TSMC 0.18 um process is presented. This VG-LNA is designed of two stage amplifier, and its gain is controlled by the shunt feedback loop composed of a gain control transistor (GCT) and a coupling capacitor in second stage. The channel resistance of GCT in the shunt feedback loop influences the input and output stages of a second stage by the Miller effect. Total gain of the proposed VG-LNA is changed by two factors, the load impedance reduction and the interstage mismatch by controlling the channel resistance of the GCT. Consequently, by adding a shunt feedback with a gain control transistor, this proposed VG-LNA achieves both wide gain tuning range of 37 dB and continuous gain control simultaneously.

Keywords: Gain control, LNA, CMOS, shunt feedback

I. 서론

현재 상업용 무선 통신 기술의 성공과 발전에 따라 여러 가지 무선 통신 기술이 개발되고 있다. 이와 같은 여러 가지 무선 통신 기술의 개발에 의해서 여러 가지 무선 통신 표준을 동시에 지원할 수 있는 무선 통신 기기의 개발이 요구되고 있다.^[1]

여러 가지 무선 통신 표준을 지원할 수 있는 송·수

신기를 설계하기 위해서는 저잡음 증폭기의 경우 동작 주파수의 컨트롤과 이득의 조절이라는 두 가지 특징이 요구된다. 먼저 고주파 회로가 여러 무선 통신 표준에 적용되기 위해서는 각 표준에 따라서 동작 주파수가 변해야 한다. 하지만 고주파 회로의 경우 성능이 주파수에 민감하기 때문에 각 무선 통신 표준의 변화에 따라서 주파수를 변화 시키는 것이 어렵다.

두 번째로 각 표준에 따라 이득이 적절하게 변해야 한다.^[2] 각 무선 통신 표준들은 서로 다른 동작 범위를 가지고 있기 때문에 자동 이득 제어 증폭기만으로 동작 범위를 모두 지원하기 힘들다. 따라서 앞 단의 저잡음 증폭기에서 이득 제어가 가능하다면, 자동 이득 제어 증폭기의 동작 범위를 줄여줄 수 있다. 또한 저잡음 증폭기 다음에 오는 주파수 혼합기와 같은 회로들이 성취

* 학생회원, ** 평생회원 한국정보통신대학교
(Information and Communication University)
* 이 논문은 정보통신부의 출연금 등으로 수행하고 있는 한국전자통신연구원 SoC산업진흥센터의 정보통신연구개발사업과 과학기술부/한국과학재단의 우수연구센터사업으로 선정된 지능형RF연구센터의 일환으로 수행하였음.
접수일자: 2007년1월23일, 수정완료일: 2007년6월27일

해야 하는 선형성 역시 줄일 수 있다. 본 논문에서는 저잡음 증폭기에 필요한 두 가지 특성 중에서 이득 제어에 방법에 대해 기술할 것이다.

일반적으로 이득 제어가 가능한 저잡음 증폭기를 설계하는 방법은 크게 두 가지 방법으로 나누어진다. 첫 번째 방법은 부가적인 감쇄기나 바이패스 스위치를 저잡음 증폭기에 연결하여 저잡음 증폭기단의 이득을 조절하는 것이다.^[3] 하지만 이와 같은 방법은 큰 이득 제어 범위를 얻을 수는 있지만, 이득의 연속적인 조절이 불가능하다. 이것은 뒷단의 자동 이득 제어 증폭기의 불필요한 소비 전력의 원인이 된다.

두 번째 방법은 직류 전류의 조절을 이용하여 이득을 조절하는 방법이다.^[4-6] 이 방법은 낮은 이득 모드에서 전체적인 소비 전력을 줄일 수 있지만, 대신에 이득 제어 범위가 줄어드는 단점이 있다.

제안된 이득 제어 방법은 병렬 피드백에 연결된 이득 제어 트랜지스터의 채널 저항을 이용하여 이득을 조절하는 것이다. 인터스테이지 매칭에 연결된 병렬 피드백의 채널 저항 변화를 이용하여, 넓은 이득 제어 범위와 연속적인 이득 제어 모두 가능해진다.

II. 이득 제어가 가능한 저잡음 증폭기의 설계

1. 적용 표준

제안된 이득 제어가 가능한 저잡음 증폭기는 2.1~2.5 GHz 대역의 WCDMA 및 802.11b/g WLAN에 적용하기 위해서 설계 되었다. 그림 1은 2 GHz 대역의 여러 무선 통신 표준에서 사용하기 위해 제안된 수신기의 블록 다이어그램이 WCDMA와 WLAN의 동작 주파수는 2.1 GHz 대역과 2.4 GHz 대역으로 서로 가깝기 때문에 한 개의 저잡음 증폭기로 동작시키는 것이 수신기의 크기를 줄이기에 더 적합하다. 대신에 각 대역에 맞는 필터를 각각 사용하는 것이 수신기의 성능을 개선시키는 데에 적합하다. 또한 제안된 2 GHz 대역의 이득 제어가 가능한 저잡음 증폭기는 그림 1에서 표시된 것처럼 이득 제어가 가능하게 설계 하였다. 이와 같이 설계한 이유는 표 1에서 WCDMA의 경우 81.8 dB에 이르는 넓은 동작 범위와 IEEE 802.11b WLAN의 경우 -10 dBm에 이르는 높은 최대 입력 파워 등 모든 표준의 요구 성능을 만족시키는 수신기의 설계는 어렵기 때문이다. 대신에 이득 제어가 가능한 저잡음 증폭기를 설계한다면 수신단에서 감쇄기를 제거할 수 있으며, 이것은 수신기의 크기를 크게 줄일 수 있다.

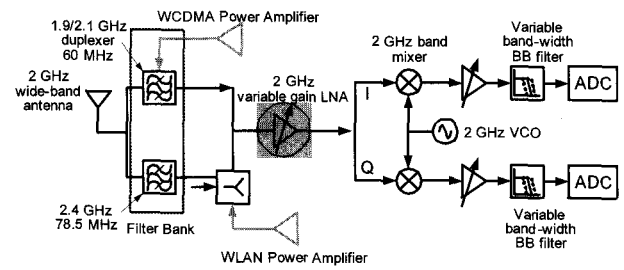


그림 1. 제안된 다중 대역 수신기의 블록 다이어그램

Fig. 1. The block diagram of the proposed multi-band receiver.

표 1. 각 표준에 따른 수신기 최소 요구 성능

Table 1. Minimum requirement of a receiver according to each standard.

| | WCDMA | 802.11b/g WLAN |
|----------|------------|----------------|
| 동작 주파수 | 2.1 GHz | 2.4 GHz |
| 최소 잡음 지수 | 8.6 dB | 10 dB |
| 최대 입력 파워 | -25 dBm | -10 dBm |
| 최소 입력 파워 | -106.8 dBm | -76 dBm |

표 2. 저잡음 증폭기의 최소 요구 성능

Table 2. Minimum requirement of a variable gain LNA.

| | WCDMA / 802.11b/g WLAN를 위한 저잡음 증폭기 요구 성능 |
|----------|---|
| 이득 | 10 dB 이상 |
| 최소 잡음 지수 | 3 dB 이하 |
| IIP3 | -11 dBm 이상 |

표 2는 표1의 수신기 최소 요구 성능에 의해 계산된 저잡음 증폭기의 요구 성능을 정리하였다.

2. 동작 원리

그림 2는 제안된 이득 제어 방식에 대한 기본적인 회로도이다. 제안된 저잡음 증폭기의 이득 제어 방법은 두 번째 단에 연결된 병렬 피드백의 이득 제어 트랜지스터 M_2 의 채널 저항을 조절하는 것이다. 이득 제어 트랜지스터 M_2 가 off 상태일 때, 채널 저항 R_{ch} 는 매우 커지게 된다. 따라서 두 번째 단에 연결된 병렬 피드백은 회로 연결되지 않은 것처럼 보이게 된다. 하지만, 이득 제어 트랜지스터 M_2 에 전압이 문턱 전압 이상이 연결 되면, M_2 의 채널 저항 R_{ch} 는 M_2 의 게이트 전압에 의해 조절이 가능한 가변 저항으로 사용할 수 있다. R_{ch} 와 M_2 의 게이트 전압과의 관계는 식(1)과 같이 표현된다.

$$R_{ch} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_C - V_{GS} - V_{M2th})} \quad (1)$$

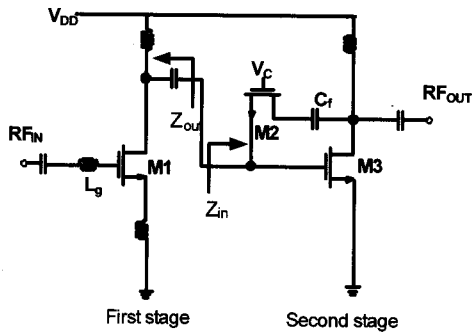
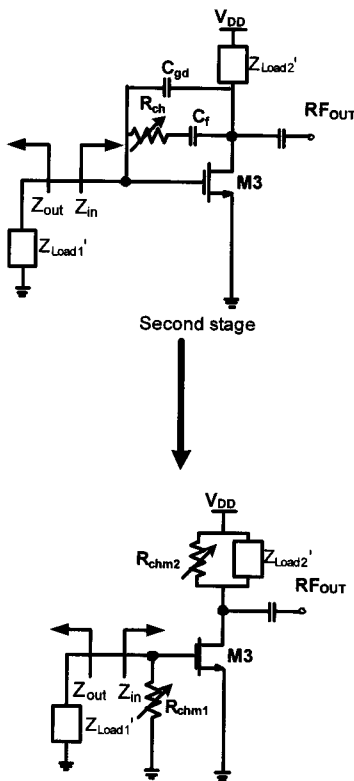


그림 2. 제안된 이득 제어가 가능한 저잡음 증폭기의 기본 회로도

Fig. 2. Schematic of the proposed VG-LNA.



Miller equivalent circuit of second stage

그림 3. 제안된 병렬 피드백으로 구성된 회로와 등가 회로
Fig. 3 Circuit with proposed shunt feedback and its equivalent circuit.

V_{G3} 는 트랜지스터 M_3 의 게이트 전압이고, V_C 는 이득 제어 트랜지스터 M_2 의 게이트 전압이다. V_{M2th} 는 트랜지스터 M_2 의 문턱 전압이다.

병렬 피드백에 연결된 이득 제어 트랜지스터 M_2 에 문턱 전압 이상의 전압이 인가되었을 때, 그림 3에서 나타나듯이 R_{ch} 는 밀러 효과에 의해서 두 개의 가변 저항 R_{chm1} 과 R_{chm2} 로 해석 될 수 있다. 트랜지스터 M_3 의 게이트와 드레인 사이의 커패시터 C_{gd} 는 R_{ch} 와 병렬로 연결되어 있다. R_{chm1} 과 R_{chm2} 는 식(2)와 같이 해석 될 수 있다.

$$R_{chm1} = \frac{(R_{ch} + 1/j\omega C_f) // (1/j\omega C_{gs})}{1 - A_V}$$

$$R_{chm2} = \frac{(R_{ch} + 1/j\omega C_f) // (1/j\omega C_{gs})}{A_V - 1}$$
(2)

A_V 는 두 번째 단의 open circuit의 전압 이득이다.

병렬 피드백의 R_{ch} 와 C_f 그리고 기생 커패시터 C_{gd} 는 밀러 효과에 의해서 각 단의 Load 임피던스가 작아지게 한다. 그림 3에 보이는 것처럼 첫 번째 단의 Load 임피던스와 R_{chm1} 이 병렬로 보이게 되고, 두 번째 단의 Load 임피던스는 R_{chm2} 와 병렬로 보이게 된다. 따라서 전체적인 이득은 Load 임피던스가 작아지게 되면서 줄어들게 된다. 그리고 특히 첫 번째 단의 Load impedance가 작아지는 것은 첫 번째 단과 두 번째 단 사이에 전력 전달에 mismatch를 만들어 내고, 이것은 가장 크게 이득 감소에 영향을 주게 된다. Mismatch 요소인 M_i 는 식(3)에 표현되고 있으며, 전체 이득 G 와 M_i 의 관계는 식(4)에 표현되어 있다.

$$M_i = \frac{(1 - |\Gamma_{in1}|^2)(1 - |\Gamma_{out1}|^2)}{|1 - \Gamma_{in1}\Gamma_{out1}|^2}$$

$$\times \frac{(1 - |\Gamma_{in2}|^2)(1 - |\Gamma_{out2}|^2)}{|1 - \Gamma_{in2}\Gamma_{out2}|^2}$$
(3)

$$G = G_{max} \times M_i \text{ (Linear scale)}$$
(4)

G_{max} 는 이득 제어 트랜지스터 M_2 가 꺼졌을 때 나타나는 최대 이득이다. 이득 G 는 미스매치 요소에 의해 영향을 받는 실제 이득이다. Γ_{out1} 과 Γ_{in1} 은 그림 3에서 나타나듯이 node A 앞에서의 입력과 출력 반사 계수이고, Γ_{out2} 과 Γ_{in2} node A 뒤에서의 입력과 출력 반사계수이다.

M_2 가 꺼졌을 때, M_i 는 1이 된다. 하지만, M_2 에 문턱 전압 이상의 전압이 인가되면, M_i 는 M_2 의 채널 저항에 영향을 받는다. M_i 는 게이트 전압 V_C 에 의해 조절이 되기 때문에, 저잡음 증폭기의 전체 이득이 제어된다.

3. VG-LNA의 설계

그림 4는 설계된 VG-LNA의 회로도를 보여준다. 본딩 와이어 인덕터를 사용한 L_{d1} 을 제외한 나머지는 모두 on-chip 컴포넌트로 설계되었다. 설계된 회로도에서 첫 번째 단은 입력 단과 출력 단의 아이솔레이션을 증가시키기 위해서 cascode로 구성하였다.

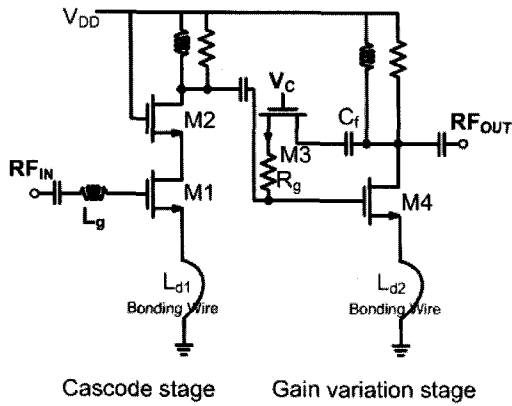


그림 4. 설계된 VG-LNA의 회로도
Fig. 4. Schematic of designed VG-LNA.

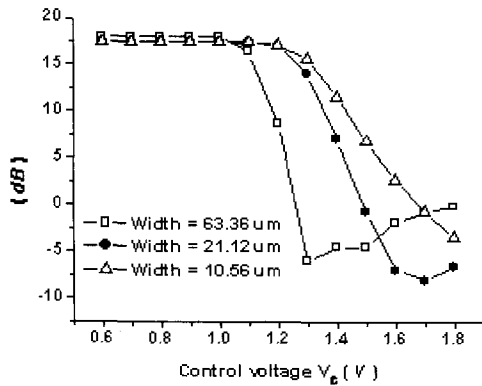


그림 5. 2.1 GHz에서 이득 제어 트랜지스터의 크기 변화에 따른 이득 제어 효과
Fig. 5. The effect according to width of gain control transistor.

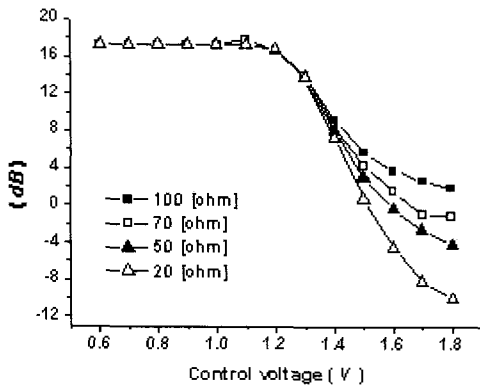


그림 6. 2.1 GHz에서 Rg의 저항 크기에 의한 이득 제어 효과
Fig. 6. The effect by the resistance of Rg.

전체 이득을 제어하기 위한 병렬 피드백은 저항 Rg와 이득 제어 트랜지스터 M3, 그리고 커플링 캐패시터 Cf로 구성되었다.

설계된 LNA에서 전체 이득에 대한 제어 특성은 M3의 크기와 Rg 값에 의해 영향을 받는다. 그림 5는 M3

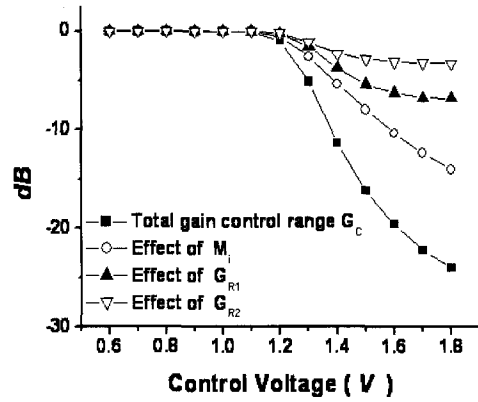


그림 7. 2.1 GHz에서 각 이득 변화 요소들의 효과 : Mi, GR1, GR2, 전체 이득 변화 Gc
Fig. 7. The effect of each gain control factor : Mi, GR2 and total gain control.

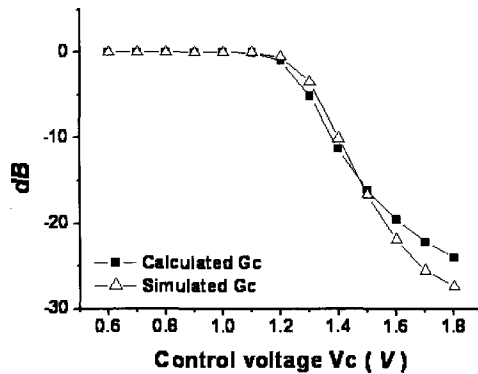


그림 8. 2.1 GHz에서 Vc에 의한 전체 이득 Gc의 변화
Fig. 8. The variation of Gc : Gc=Mi+GR1+GR2.

트랜지스터 크기에 따른 이득 변화를 보여 주고 있다. 그림 5에서 볼 수 있듯이 트랜지스터의 크기가 너무 커지게 되면, Vc의 제어 범위가 너무 작아지는 것을 알 수 있다. 반대로 M3의 크기가 너무 작아지면, 이득의 변화 범위가 줄어드는 것을 알 수 있다. 따라서 트랜지스터의 width는 10.56 um로 정하였다. 이 때, Rch는 제어 전압이 1.1V에서 1.8V의 범위에서 변화함에 따라서 약 0.2M Ω-약 87 Ω까지 변화한다.

그림 5에서 볼 수 있듯이 트랜지스터의 크기가 너무 커지게 되면, Vc의 제어 범위가 너무 작아지는 것을 알 수 있다. 반대로 M3의 크기가 너무 작아지면, 이득의 변화 범위가 줄어드는 것을 알 수 있다. 따라서 트랜지스터의 width는 10.56 um로 정하였다. 이 때, Rch는 제어 전압이 1.1V에서 1.8V의 범위에서 변화함에 따라서 약 0.2M Ω-약 87 Ω까지 변화한다.

그림 6은 피드백의 저항 Rg의 효과를 보여준다. Rg의 추가로 인하여 이득 제어 전압이 약간 늘어나게 된다.

하지만, 그리고 R_g 의 저항이 너무 커지면 M_3 트랜지스터의 채널 저항의 영향이 줄어들어 줄어드는 것을 알 수 있다. 따라서 약 10-20 Ω 정도의 작은 저항을 추가해 주는 것이 좋다.

그림 7은 2.1 GHz 대역에서 시뮬레이션 된 반사계수와 R_{ch} 의 저항을 이용하여, 전체 이득 제어에 영향을 주는 요소들을 계산한 결과이다. 이 계산 결과에 따라서 미스매치에 의한 값 이득 감소는 약 14 dB, 첫 번째 Load의 감소에 의한 이득 감소 G_{R1} 은 약 7 dB와 두 번째 단의 Load 감소에 의한 이득 감소 G_{R2} 는 약 3 dB이다. 따라서 계산된 총 이득 제어 범위는 24 dB 이고, 실제 시뮬레이션과의 차이는 1.8 V에서 약 3 dB 이다. 그림 8은 계산된 이득 제어와 시뮬레이션된 이득 제어 범위를 비교한 그래프이다.

III. 실험

제안된 제어 이득 저잡음 증폭기는 TSMC 0.18um CMOS 공정으로 설계 되었으며, 그림 9는 설계된 제어 이득 저잡음 증폭기의 칩 사진을 보여준다. 측정된 소비 전력은 13.5 mW이며, 이 결과는 시뮬레이션과 유사한 결과를 보여준다.

제안된 제어 이득 저잡음 증폭기는 TSMC 0.18um CMOS 공정으로 설계 되었으며, 그림 9는 설계된 제어 이득 저잡음 증폭기의 칩 사진을 보여준다. 측정된 소비 전력은 13.5 mW이며, 이 결과는 시뮬레이션과 유사한 결과를 보여준다. 그림 10은 입력 반사 계수의 시뮬레이션과 측정결과를 비교한 그래프이다. Network Analyzer를 이용하여 전체 동작 주파수 범위에서 전체적으로 -10 dB 이하의 양호한 결과를 보여주고 있다.

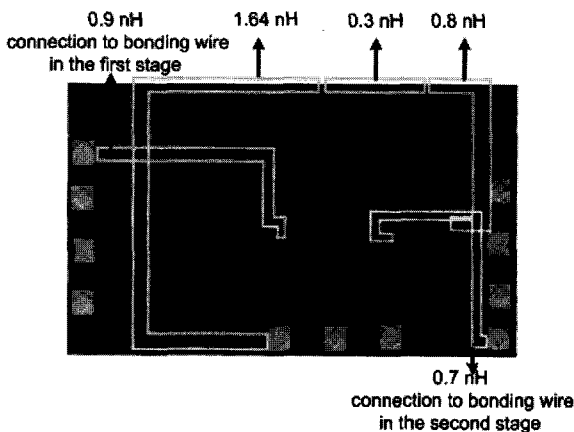


그림 9. 설계된 이득 제어 저잡음 증폭기의 칩 사진
Fig. 9. The die photo of the design VG-LNA.

그림 11은 NF Analyzer를 이용하여 이득과 잡음 지수에 대한 측정 결과를 나타낸다. 그림 11에서 보여지듯이 제어 전압이 0 V에서는 이득이 2.1 GHz 대역에서 11.8. dB이고, 잡음지수는 약 4 dB이다. 측정결과에서 알 수 있듯이 잡음 지수가 4 dB 이상으로 높게 측정되

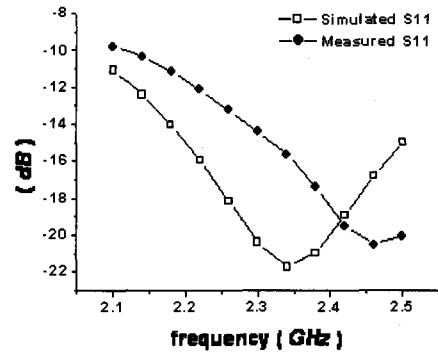
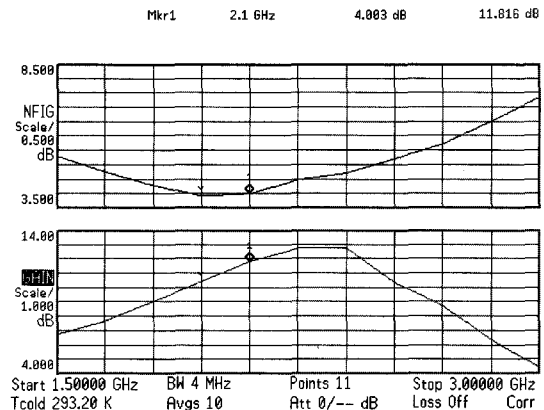
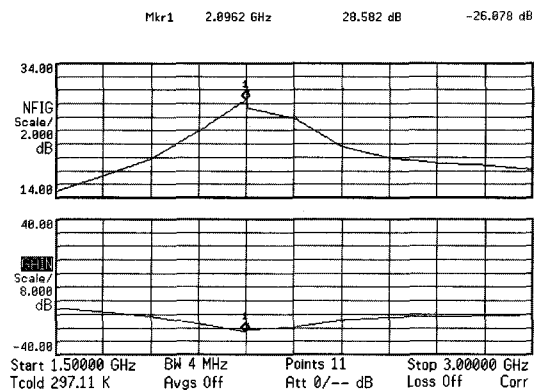


그림 10. 입력 반사 계수의 시뮬레이션 및 측정 결과 (S11)

Fig. 10. Simulation and measurement of input return loss. (S11)



(a) 최대 이득과 최소 잡음 지수 ($V_c = 0$ V)



(b) 최저 이득과 최대 잡음 지수 ($V_c = 1.8$ V)

그림 11. NF Analyzer를 이용한 이득과 잡음 지수의 측정 결과

Fig. 11. Measurement of gain and NF by using NF analyzer.

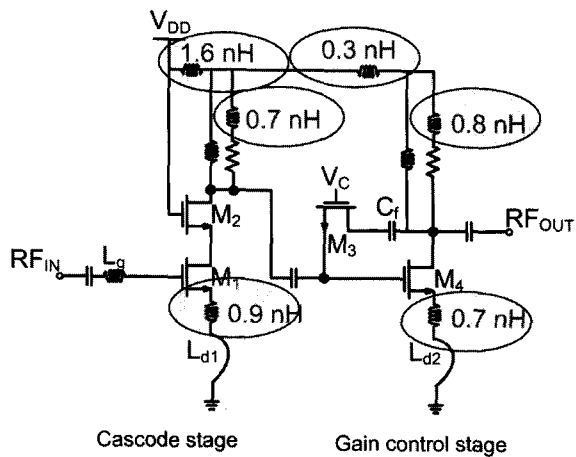


그림 12. ADS 시뮬레이터를 이용한 이득과 NF에 영향을 주는 기생 인덕턴스
 Fig. 12. Parasitic inductance influencing gain and NF by ADS simulator.

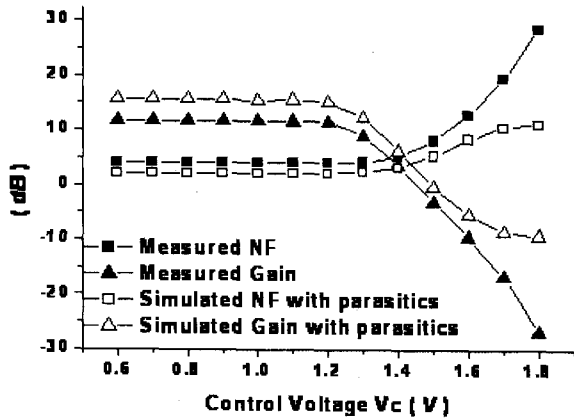


그림 13. 2.1 GHz 에서 Vc의 변화에 따른 이득과 잡음 지수 제어 특성
 Fig. 13. Tuning property of Gain and NF at 2.1 GHz.

었다. 이것은 저잡음 증폭기의 레이아웃에서 기생성분을 충분히 예측하지 못한 결과이다. 이와 같은 결과는 앞의 그림 9의 칩 사진에 표시된 DC 전류 라인의 길이가 칩의 설계에서 너무 길어졌기 때문에 기생 인덕턴스에 의해 인터스테이지의 매칭이 바뀌었다. 이것은 그림 12에 표시되어 있다. 앞에서 기술 한 것처럼 고주파 회로에서 인터스테이지 매칭은 이득에 아주 큰 영향을 준다. 또한 그림 9와 12에 표시되어 있듯이 본딩 와이어와 연결하기 위한 라인이 길어져서 전체 degeration 인덕터의 크기가 커졌다.

이것은 저잡음 증폭기의 전체 이득을 줄이는 효과를 가지고 있다. 특히 첫 번째 단의 이득의 감소는 전체적으로 약 0.5 dB의 잡음지수 증가 시킨다. 또한 입력단의 기생 커패시턴스는 잡음 지수에 큰 영향을 준다. 특히 포스트 시뮬레이션의 결과 기생커패시턴스는 약 0.7-1 dB의 잡음 지수 증가의 원인이 된다.

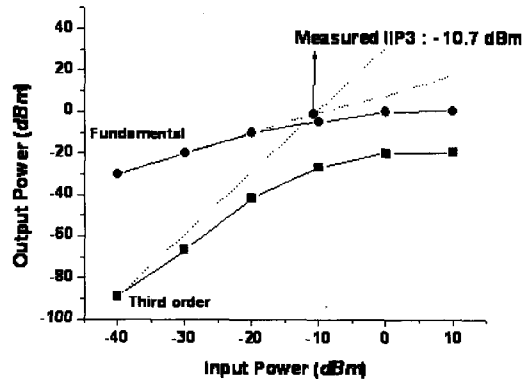


그림 14. 높은 이득 모드에서의 시뮬레이션 및 측정 결과
 Fig. 14. Simulation and measurement of IIP3 at high gain mode.

표 3. 다른 VG-LNA와 성능 비교

Table 3. Summary in comparison with other VG-LNA performances.

| | 제안된 VG-LNA | [3] | [4] | [5] | [6] |
|------------|--------------|--------------|-------------|--------------|--------------|
| 공정 | 0.18 um CMOS | 0.25 um CMOS | 0.35 um BJT | 0.25 um CMOS | 0.18 um CMOS |
| 동작 주파수 | 2.1-2.5 GHz | 2.4 GHz | 900 MHz | 5.6 GHz | 5.75 GHz |
| 이득 | 12.4-10.5 dB | 14.7 dB | 26 dB | 19.5 dB | 12.5 dB |
| 이득 제어 범위 | 38.5 dB | 28.9 dB | 27.5 dB | 19.5 dB | 8.9 dB |
| 연속적인 이득 제어 | 가능 | 불가능 | 불가능 | 불가능 | 가능 |
| 최소 잡음 지수 | 4-5 dB | 2.88 dB | 2.1 dB | 3.1 dB | 3.7 dB |
| 입력 반사 계수 | < -10 dB | - | - | - | - |
| IIP3 | - 10.7 dBm | - 0.5 dBm | -3 dBm | - 11.6 dBm | - 11 dBm |
| 전력 소모 | 13.5 mW | 11.7 mA | 15 mA | 10 mA | 8 mA |

그림 13은 V_c 의 제어에 따른 이득 제어 저잡음 증폭기의 이득과 잡음 지수의 변화를 보여주고 있다. 그림 13에서 알 수 있듯이 시뮬레이션보다 측정 결과의 변화 범위가 훨씬 더 크다. 시뮬레이션에서는 약 25 dB의 이득 제어 범위를 보여 주었지만, 측정 결과에서는 약 38.5 dB의 이득 제어를 보여주고 있다. 이것은 시뮬레이션과 비교하여, 이득 제어 트랜지스터 M_3 의 채널 저항이 1.8 V에서 더 많이 줄어들기 때문에 나타나는 현상이다.

그림 14는 이득 제어 저잡음 증폭기의 최대 이득에서 측정된 IIP_3 결과이다. 측정된 IIP_3 는 -10.7 dBm 이고, 이것은 표2의 목표 값과 일치하는 결과이다.

표 3 은 비다른 이득 제어 저잡음 증폭기와 성능을 교한 결과이다. 비록 설계에서 고려하지 못한 기생 성분들로 인하여 잡음지수와 이득이 다른 이득 제어 저잡음 증폭기들과 비교하여 볼 때 더 좋은 성능을 보여 주지는 않는다. 하지만 이득 제어 범위에 국한해 볼 때, 훨씬 더 넓은 이득 제어 범위와 연속적인 이득 제어와 훨씬 더 넓은 이득 제어 범위를 보여 주고 있다. 이것은 결과적으로 저잡음 증폭기에서 넓은 이득 제어 범위를 얻을 수 있다는 것을 보여주고 있다.

IV. 결 론

본고에서는 병렬 피드백을 이용한 VG-LNA가 TSMC 0.18 μ m CMOS 공정을 이용하여 설계 되었다. 제안된 이득 제어 방법은 병렬 피드백을 구성하는 이득 제어 트랜지스터의 채널 저항을 제어하여 이득을 조절하는 것이다. 비록 고려하지 못한 기생 성분들에 의해서 잡음 지수가 1.8 dB 만큼 크게 증가하여 각 표준에 따른 잡음 지수 요구 성능을 만족하지 못하였지만, 실험 결과 38.5 dB의 넓은 동작 범위를 얻을 수 있었다. 그리고 이것은 여러 표준에 사용하기에 적합하도록 저잡음 증폭기 다음에 오는 회로들의 동작 범위와 선형성에 대한 요구 성능을 줄 일 수 있다.

참 고 문 헌

- [1] M. Hotti, et al. "A direct conversion RF front-end for 2-GHz WCDMA and 5.8-GHz WLAN applications," IEEE RFIC symp. Dig., pp. 45-48, June 2003.
- [2] A. Tasic, W.A. Serdijn, and J.R. Long, "Adaptive multi-standard circuits and systems

for wireless communications," IEEE Circuits and Systems Magazine, Vol. 6, pp. 29-37, 2006.

- [3] R. Point, M. Mendes, and W. Foley, "A differential 2.4 GHz switched-gain CMOS LNA for 802.11b and Bluetooth," Radio and Wireless conference 2002, pp. 221-224, Aug. 2002.
- [4] S. Pennisi, S. Scaccianoce, and G. Palmisano, "A new design approach for variable-gain low noise amplifiers," IEEE RFIC symp. Dig., pp. 139-142, June 2000.
- [5] M. Rajashekharaiyah, P. Upadhyaya and D. Heo, "A compact 5.6 GHz low noise amplifier with new on-chip gain controllable active balun," 2004 IEEE Workshop on Microelectronics and Electron Devices, pp. 131-132, 2004.
- [6] M. Kumarasamy Raja, et al., "A Fully Integrated Variable Gain 5.75-GHz LNA with on chip Active Balun for WLAN," IEEE RFIC symp. Dig., pp. 439-442, June 2003.
- [7] Y. S. Hwang, C. H. Kim, J. H. Kim, and H. J. Yoo, "A Controllable variable gain LNA for 2 GHz band," APMC 2005, vol. 5, Dec. 2005.

— 저 자 소 개 —



황 용 석(학생회원)
 2004년 아주대학교 전자공학부
 학사 졸업 (공학사)
 2004년~현재 한국정보통신대학교
 공학부 석사 재학
 <주관심분야 : RF system, RFIC,
 wireless SoC>



유 형 준(평생회원)
 1979년 서울대학교 물리학과 학사
 졸업 (이학사)
 1990년 한국과학기술원 물리학 석
 사 졸업 (이학석사)
 1994년 한국과학기술원 물리학
 박사 졸업 (이학박사)
 1979년~1982년 국방과학연구소 연구원
 1983년~1997년 한국전자통신연구원 책임연구원
 1998년~현재 한국정보통신대학교 교수
 <주관심분야 : RF system, reconfigurable RFIC,
 wireless SoC, nonlinear device>