

## DLL Design of SMD Structure with DCC using Reduced Delay Lines

洪錫勇<sup>†</sup> · 趙成翊<sup>\*</sup> · 辛烘圭<sup>\*\*</sup>  
 (Seok-Yong Hong · Seong-Ik Cho · Hong-Gyu Shin)

**Abstract** - DLLs(Delay Locked Loops) have widely been used in many systems in order to achieve the clock synchronization. A SMD (Synchronous Mirror Delay) structure is used both for skew reduction and for DCC (Duty Cycle Correction). In this paper, a SMD based DLL with DCC using Reduced Delay Lines is proposed in order to reduce the clock skew and correct the duty cycle. The merged structure allows the forward delay array to be shared between the DLL and the DCC, and yields a 25% saving in the number of the required delay cells. The designed chip was fabricated using a 0.25 $\mu$ m 1-poly, 4-metal CMOS process. Measurement results showed the 3% duty cycle error when the input signal ranges from 80% to 20% and the clock frequency ranges from 400MHz to 600MHz. The locking operation needs 3 clock and duty correction requires only 5 clock cycles as feature with SMD structure

**Key Words** : DLL, SMD, DCC

### 1. 서 론

DLL(Delay Locked Loop)은 메모리 회로 또는 디지털 회로에서 클럭간의 위상을 일치시켜 전달되는 데이터와 클럭을 동기시키고, DCC(Duty Cycle Corrector)는 디지털 회로의 Duty Cycle의 교정에 유용하게 사용되는 회로이다.[1]

최근 메모리, 디지털 회로의 동작 주파수가 증가함에 따라 DLL, DCC 역시 고속 동작을 필요하게 되었고, 정확한 Duty Cycle 교정이 필요하게 되었다.[3]

또한 입·출력간의 클럭 정렬과 더불어 소비 전력 감소를 위하여 전원 절약(Power saving) 기능이 사용되는 시스템에서는 수 클럭 이내에 locking과 Duty Cycle 교정 기능이 이루어져야 한다.[2] 디지털 회로로 구성되는 DLL과 DCC는 디지털 회로의 특성상 양자화 오차를 가지게 된다. 이에 비해 아날로그 방식의 회로는 디지털 방식에 비해 양자화 오차가 작고, 특성이 정확 하나 동작상태에 따라 불안정한 과도 특성을 보일 수 있는 단점을 가진다.[2][3]

본 논문에서는 고속 메모리와 디지털 회로에 사용 가능한 600MHz 동작 주파수와 20%-80%, 80%-20% Duty Cycle 입력 환경에서 동작할 수 있도록 SMD(Synchronous Mirror Delay) 구조의 DCC 기능을 가지는 DLL을 설계하였다. 기존 SMD는 DLL과 DCC 기능을 위해서는 각각 하나의 전방향 지연단(FDA: Forward Delay Array), 역방향 지연단

(BDA: Backward Delay Array), 조절회로(MCC: Mirror Control Circuit)을 필요로 하였고, DCC 동작을 위해서는 하나의 전방향 지연단, 하나의 역방향 반주기 지연단(HCDL: Half Cycle Delay Line)과 조절 회로를 필요로 하여 전체 4개의 지연단과 2개의 조절 회로를 필요로 하였다.

그러나 본 논문에서 설계된 구조는 DLL과 DCC 동작을 각각 하나의 전방향, 역방향 지연단과 하나의 역방향 반주기 지연단과 조절 회로만을 이용하여 구성 하였다. 그 결과 기존 구조에 비하여 지연단의 면적을 25% 감소시킬 수 있었다. 그 후 특성을 칩상에 유지시키기 위해 설계된 회로를 CMOS 0.25 $\mu$ m 1-poly 4-metal 공정을 이용하여 칩 제작하였다.

### 2. SMD 구조의 DLL과 DCC

SMD 구조의 DLL은 위상차를 갖는 동일 주파수의 두 클럭을 한주기 이내에 해당되는 지연시간을 삽입하여 위상을 일치시키는 DLL의 한 종류로서, 궤환을 가지지 않고 입력과 출력 버퍼의 지연시간을 보상하는 용도로 제안되었다. SMD 구조의 DLL은 그림 1, 2와 같이 2 클럭동안 위상차를 알아내고 보상하는 동작을 수행하여, 세 번째 클럭부터 동기가 이루어 진다.[4]

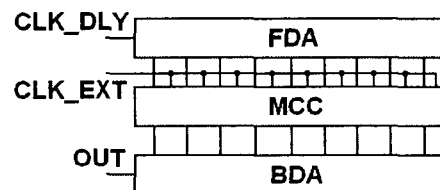


그림 1 SMD 구조의 DLL 블럭다이어그램  
 Fig. 1 The block diagram of SMD DLL

<sup>†</sup> 교신저자, 正會員 : 全北大學校 工科大學 電子情報工學部 電子工學科 博士課程

<sup>\*</sup> 正會員 : 全北大學校 工科大學 電子情報工學部 助教授 工學博士

<sup>\*\*</sup> 正會員 : 圓光大學校 工科大學 電氣電子및情報 工學部 教授 工學博士

接受日字 : 2007年 1月 30日

最終完了 : 2007年 3月 13日

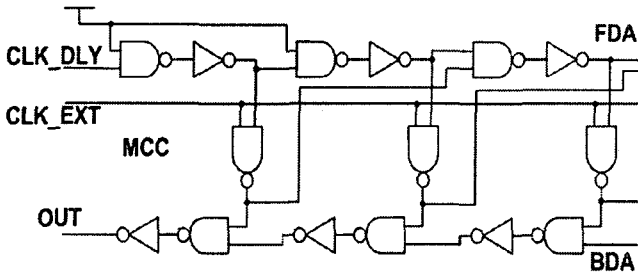


그림 2 SMD 구조의 DLL 내부 회로  
Fig. 2 The internal circuits of SMD DLL

SMD 구조의 DLL은 그림 2와 같이 FDA, BDA 및 MCC로 구성된다. 전방향 지연단 FDA 한 단의 지연 시간이  $t_{dF}$ , 역방향 지연단 BDA 한 단의 지연시간이  $t_{dB}$ , 외부 입력신호 CLK\_EXT와 지연 신호 CLK\_DLY의 위상차를  $t_{E-D}$ , 그리고 클럭 한 주기를  $t_{CLK}$ 라하면, 지연 신호 CLK\_DLY와 외부 입력신호 CLK\_EXT가 FDA를 통과 한 후, 같은 위상이 되는  $N$ 을 구하면 식(1)과 같다.[2,5]

$$t_{E-D} + N \cdot t_{dF} \cong t_{CLK} \quad (1)$$

따라서 FDA는  $N$ 번째 까지 동작하며, 이 신호들은 MCC를 거쳐 BDA로 전달된다. 만약  $t_{dF} = t_{dB}$ 라면, BDA도  $N$ 번째 까지 동작하여 BDA 전체 지연 시간은  $t_{CLK} - t_{E-D}$ 가 된다. 따라서 외부 입력신호 CLK\_EXT가 거치는 전체 지연시간은 식(2)와 같이 표현할 수 있다.

$$t_{E-D} + t_{CLK} + (t_{CLK} - t_{E-D}) \cong 2t_{CLK} \quad (2)$$

그림 3은 SMD 구조의 DCC 블럭다이어그램이고, 그림 4는 HCDL 회로로서, Duty Cycle이 50%가 아닌 입력 클럭은 HCDL과 SMD 구조의 DLL과 동일한 MDL(Measured Delay Line)에 입력된다. 그림 3과 같은 SMD 구조의 DCC에서 HCDL을 거친 B점의 신호는 MDL을 거친 C점의 신호에 비해 반 주기 위상차를 가지게 된다. 그 후 B, C점의 두 신호는 다시 rising edge를 기준으로 동작하는 Latch를 거쳐 최종 출력은 Duty Cycle이 50%인 클럭이 된다.[2]

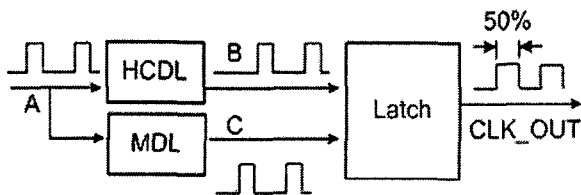


그림 3 SMD 구조의 DCC 블럭다이어그램  
Fig. 3 The block diagram of SMD DCC

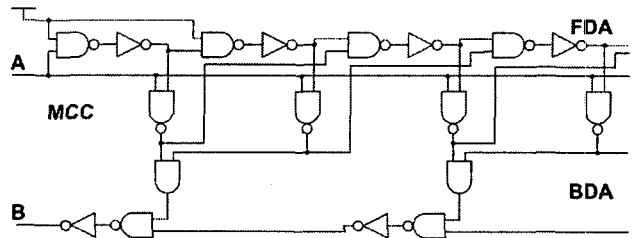


그림 4 HCDL의 회로  
Fig. 4 The circuits of HCDL

이와 같이 SMD 구조를 이용하여 DLL과 DCC를 구성 할 경우, 각각의 FDA, BDA, MCC를 필요로 하고, 이로 인해 칩면적이 증가하게 된다. 또한 SMD 구조를 이용한 DCC 회로에서 입력 클럭의 한 주기가  $N$ 개의 FDA, BDA를 통과 할 때 클럭 한 주기는 다음 식 (3), (4)와 같이 각 지연소자당 지연 시간의  $N$ 배와 정확히 일치하지 않을 수 있다. 이는 양자화 오차에서 기인하는 것으로, 그 오차 범위  $E$ 는 다음 식(3),(4),(5)와 같이 표현된다.[2][5]

$$N \cdot t_{dF} \leq t_{CLK} < (N+1)t_{dF} \quad (3)$$

$$(N-1)t_{dF} < t_{CLK} \leq N \cdot t_{dF} \quad (4)$$

$$E \leq \frac{(N+1)t_{dF} - N \cdot t_{dF}}{2} = \frac{t_{dF}}{2} \quad (5)$$

### 3. 하나의 FDA와 MCC 만으로 구성된 SMD 구조의 DCC를 가지는 DLL

기존의 SMD 구조를 이용한 DLL과 DCC는 다음 그림 5와 같이 DLL과 DCC 기능을 위해 FDA, BDA, MCC, HCDL이 필요하다. 외부입력신호가 DLL, DCC 블록에 같이 공급되고 DLL 동작 이후 DCC 동작이 이루어지는 구조를 가지고 있고, FDA, MCC는 동일한 기능을 하는 블록이 중복 사용되고 있다.

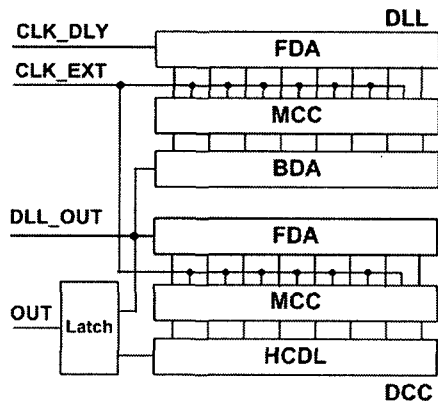


그림 5 기존 SMD 구조의 DCC를 가지는 DLL  
Fig. 5 The conventional structure having SMD DLL-DCC

그림 6은 그림 5에서 중복된 FDA와 MCC를 공유하도록 설계한 블록 다이어그램이고 그림 7은 이를 구현한 회로이다. 이와같이 구성하여도 기존의 FDA, BDA, MCC로 구성된 DLL, FDA, HCDL, MCC로 구성된 DCC 역할을 대신할 수 있다. 그러므로 제안된 DCC 기능을 하는 DLL 회로에는 FDA와 MCC를 공유할 수 있어 칩 면적 및 power를 절감시킬 수 있다.

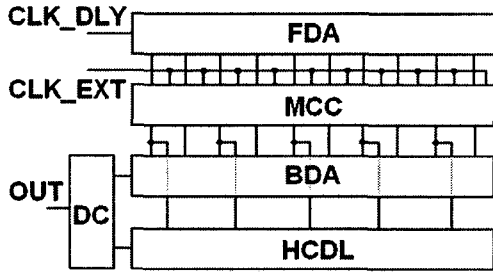


그림 6 하나의 FDA와 MCC로 이루어진 SMD 구조의 DCC를 가지는 DLL

Fig. 6 The structure of SMD DLL-DCC with a unit FDA and MCC

여기서 DC(Duty Cycle Control Circuit)는 TSPC(True Single Phase Clocked logic)로 설계된 Latch를 이용하여 구성되었다.[2] 그림 7의 동작원리는 다음과 같다. FDA에 입력된 지연신호 CLK\_DLY는 첫 주기 동안 FDA를 통과하고, MCC는 N번째 지연단까지 전달된 이 지연신호 CLK\_DLY를 외부 입력신호 CLK\_EXT의 주기에 맞추어 BDA와 HCDL에 전달하게 된다. 그후, BDA는 다음 한 주기 동안 외부 입력신호 CLK\_EXT에 동기된 신호를 출력하고, HCDL은 BDA의 출력과 반 주기 차이나는 신호를 출력한다. 이 두 신호는 세 번째 주기에 DC에 입력되며, 네 번째 주기에 반 주기 위상차를 가지는 HCDL 출력의 rising edge를 기준으로 BDA 출력을 반전 시키고, 다섯 번째 주기부터 외부 입력신호에 동기된 신호가 양자화 범위 내에서 50%의 Duty Cycle을 가진 신호가 출력된다.

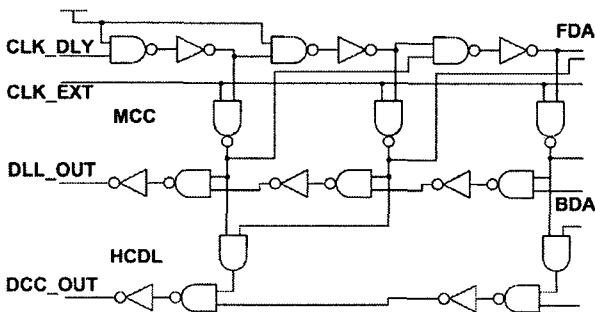


그림 7 하나의 FDA와 MCC로 이루어진 SMD 구조의 DCC를 가지는 DLL 회로

Fig. 7 The Circuit of SMD DLL-DCC with a unit FDA and MCC

#### 4. 설계 고려사항

##### 4.1 지연단의 설계

디지털 게이트로 구성된 지연단은 반복적인 구조로 이루어져 있어, 이상적인 클럭을 입력으로 주었을 때 각 지연단의 지연시간이 동일해야만 한다. Layout 과정에서 각 지연단의 지연 시간이 일정하도록 고려해야 한다. 지연단의 길이는 최소 동작 주파수의 주기를 기준으로 이보다 길게 설계되어야 하므로, 본 논문에서는 지연단의 특성을 고려하여 400MHz를 최소 주파수로 설정하여 설계하였으며 UNIT 지연단은 NAND와 INVERTER 구성하였고, 평균 103[ps]로 설계하였다.

##### 4.2 동작 주파수 범위와 입력 Duty Cycle 범위

동작 주파수 범위는 지연단의 길이, 지연단의 전달 특성과 양자화 오차에 따라 결정된다. 주파수가 낮은 경우, 지연단의 길이가 길어지며 부하효과에 의해 Duty Cycle이 감소한다. 주파수가 높은 경우, 양자화 오차에 의해 Duty Cycle 오류가 상대적으로 커지고, 동시에 외부 입력신호와 동기된 출력 사이에도 지연시간이 증가하므로 이를 고려하여 설정하여야 한다.

##### 4.3 DCC 속도 및 정확도

SMD 구조의 DLL은 그 특성상 세 번째 주기부터 동기된 신호가 출력되고, 이 신호가 네 번째 주기에 Latch로 입력되어, 다섯 번째 주기부터 외부 입력신호에 동기되고 Duty Cycle 조정이 완료된 신호가 출력된다. 입력 주파수 범위내에서는 주파수에 무관하게 다섯 번째 주기부터 정상 신호가 출력된다. Duty Cycle 조정 오류는 양자화 오차 범위내 이나 주파수가 높아지는 경우 상대적으로 Duty Cycle 조정의 정확도가 감소한다.

#### 5. 시뮬레이션 및 고찰

최저 동작주파수에서 동작할 수 있도록 지연단을 구성하여 설계된 그림 7의 DLL에 그림 8과 같이 입력 Duty Cycle이 80%-20%인 600MHz의 외부 입력신호 CLK\_EXT를 입력하였다. 그 후 이 신호가 Clock Buffer와 Input Buffer를 모델링한 Block을 통과해 나온 지연신호 CLK\_DLY가 500[ps] 지연되어 입력되었다. 이와같은 CLK\_EXT, CLK\_DLY 신호에 의해 그림 7의 회로는 그림 8과 같이 3 번째 클럭에서 DLL\_OUT의 Locking 동작이 완료되고 5 번째 Clock 부터 DCC 동작을 거쳐 Duty Cycle이 49%-51% Clock인 DCC\_OUT이 출력되었다. 그러므로 SMD 구조의 DLL은 주파수와 무관하게 동작 주파수 범위 내에서 외부 입력신호가 입력된 후 3 클럭만에 Locking 동작이 완료되고, 5 클럭만에 DCC 동작이 완료되어 정상적인 위상과 Duty Cycle 교정 동작을 하는 것을 확인할 수 있다

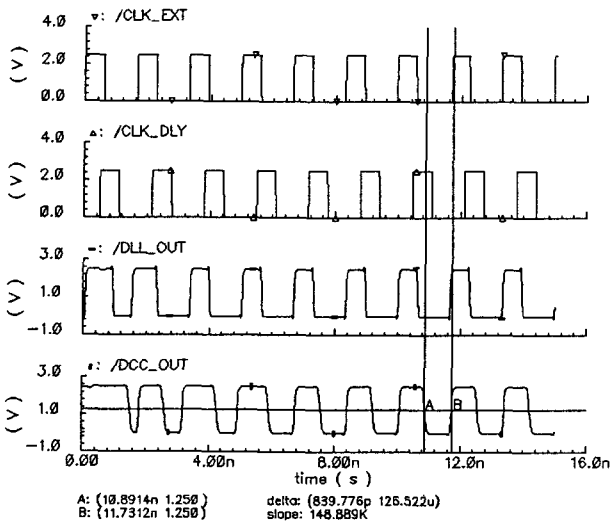


그림 8 시뮬레이션 결과  
 Fig. 8 The Simulation waveform

다음 표 1은 공정 변화에 따른 Locking 동작과 DCC 동작을 주파수가 각각 400MHz, 500MHz, 600MHz 일때 시뮬레이션한 결과이다. 이 결과는 동작 주파수가 각각 400MHz, 500MHz, 600MHz 일때, 외부 입력신호 CLK\_EXT와 지연신호 CLK\_DLY의 Duty Cycle이 각각 80%-20%, 20%-80%이고, 외부입력 신호 CLK\_EXT와 지연신호 CLK\_DLY의 시간차(tE-D)가 400ps, 1ns일때 출력에서 최대 오차를 가지는 Process Coner와 Duty Cycle을 보여주고 있다. 여기서 1%의 Duty Cycle 오차는 디지털 회로가 가지는 양자화 오차에 기인된 것이다.

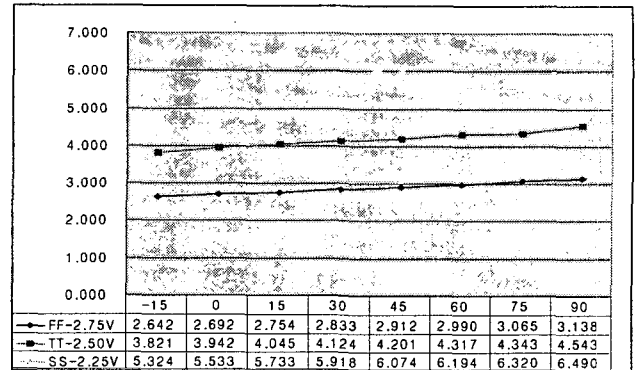
표 1 공정변화에 따른 Simulation 결과  
 Table 1 Simulation Results according to process variation

Input			Output	
Frequency	Duty Cycle	tE-D	Duty Cycle	Procss Coner.
600MHz	80%-20%	400ps	49%-51%	SS/FF
	20%-80%	1ns	51%-49%	SS
500MHz	80%-20%	400ps	51%-49%	SS
	20%-80%	1ns	51%-49%	SS
400MHz	80%-20%	400ps	51%-49%	SS
	20%-80%	1ns	49%-51%	SS/FF

다음 표 2는 공정, 온도, 전원 전압 변화에 따른 지연단의 특성을 보여주고 있다. FDA는 -15[°C]~90[°C]의 온도 변화에 따라 Process Coner와 전원 전압이 각각 FF-2.75[V], TT-2.5[V], SS-2.25[V]일때 최대 6.490[ns]에서 최소 2.642[ns]의 지연시간을 가진다. 그러므로 FDA를 구성하는 하나

의 지연단이 가지는 지연 시간은 120[ps]~49[ps]이므로 이는 400MHz의 최저주파수를 고려해 설계한 제시한 조건을 만족함을 알 수 있다.

표 2 온도, 전원전압 변화에 따른 지연특성  
 Table 2 Delay characteristics according to temperature and power supply



6. 측정 및 결과

다음 그림 9는 CMOS 0.25μm, 1-poly, 4-metal 공정을 이용하여 제작된 칩으로서, 칩의 구성은 외부 입력 신호 CLK\_EXT와 지연신호 CLK\_DLY를 발생하는 input control, FDA, BDA, HCDL, MCC, 그리고 DC 부분인 out 블럭으로 구성되어 있고, 측정을 위한 test 블럭이 첨부되어있다.

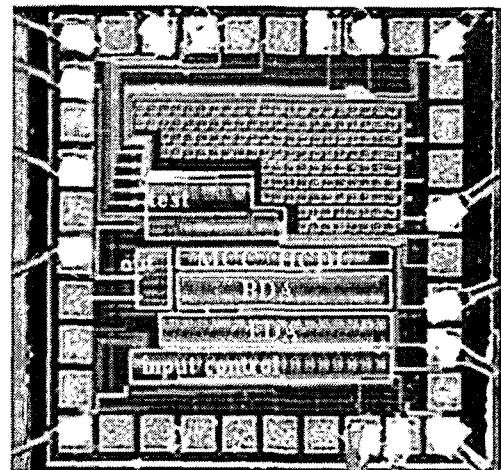


그림 9 칩 사진  
 Fig. 9 The photograph of test chip

그림 10은 Locking 동작과 DCC의 측정 결과로서, 위로부터 1번 파형은 600MHz 외부 입력신호 CLK\_EXT 이고, 2번 파형 지연신호 CLK\_DLY는 1번의 외부 입력신호 CLK\_EXT에 비해 400[ps] (tE-D=400ps) 지연되고 Duty Cycle이 20%-80%인 파형이다.

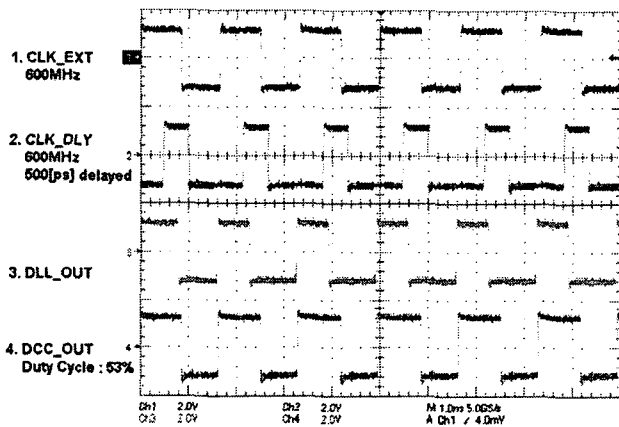


그림 10 측정 결과 파형  
Fig. 10 The waveform of test result

DLL 동작이 완료된 3번 파형 DLL\_OUT은 1번 외부 입력신호 CLK\_EXT 파형과 동기된 출력되어있고, DCC 동작이 완료된 4번 파형 DCC\_OUT은 최종 출력 파형으로 1번 외부 입력신호 CLK\_EXT와 동기되어 있고, Duty Cycle이 53%로 측정되었다..

표 3은 주파수별, Duty Cycle별 측정 결과로써 외부 입력신호 CLK\_EXT가 400MHz, 500MHz, 600MHz이고, 지연신호 CLK\_DLY의 Duty Cycle이 각각 80%-20%, 20%-80%이며, 외부 입력신호 CLK\_EXT와 지연입력 CLK\_DLY가 시간차(tE-D)를 가질 때, 최종 출력 DCC\_OUT의 Duty Cycle을 보여주고 있다

표 3 측정결과  
Table 3 Measurement results

Input			Output
Frequency	Duty Cycle	t <sub>E-D</sub>	Duty Cycle
600MHz	80%-20%	400p	47%-53%
	20%-80%	1ns	53%-47%
500MHz	80%-20%	400ps	51%-49%
	20%-80%	1ns	52%-48%
400MHz	80%-20%	400ps	53%-47%
	20%-80%	1ns	47%-53%

표 4는 기존 논문과 본 논문의 결과를 비교하여 보여주고 있다. IDC(Input Duty Cycle)와 ODC(Output Duty Cycle)는 입력과 출력의 Duty Cycle 범위이고, 참고문헌에서 밝히지 않은 해당결과는 ×로 표기하였다. 제안된 SMD 구조의 DLL과 DCC가 보이는 최대 Jitter는 60[ps]로서, 이는 디지털 회로의 양자화 오차 및 test 환경에 기인 것으로 사료된다.

표 4 기존논문과 비교결과

Table 4 Comparison results with reference

기존 논문	Procss (μm)	Frequency (MHz)	Locking time	IDC(%)	ODC(%)	Jitter [ps]
(2)	0.25	400	1.5clock	2-98	48.5 -52.2	×
(5)	0.35	170~230	10clock	×	×	9.9
(6)	0.18	200~400	2clock	×	×	58.7
(본논문)	0.25	400~600	5clock	20-80	47 -53	60

### 7. 결 론

본 논문에서는 CMOS 0.25μm 공정 파라미터를 이용하여 고속 메모리, 디지털 회로에서 사용 가능한 SMD 구조의 DCC를 가지는 DLL을 설계 하였다. 설계한 DCC를 가지는 DLL은 전체가 디지털 회로만으로 구성되었으며, 5 클럭 이내에 DLL의 locking 동작과 DCC의 Duty Cycle 교정이 동시에 독립적으로 이루어지는 특징을 가진다. 이 특성을 칩상에 유지하기 위하여 설계된 SMD 구조의 DCC를 가지는 DLL을 CMOS 0.25-μm, 1-poly, 4-metal 공정을 이용 하여 칩 제작하였다.

측정결과 설계과정에는 ±1%의 Duty Cycle 오차를 가졌으나, 최종 측정결과는 설계치와 비교할 때 ±3%의 Duty Cycle 측정오차를 보여주고 있다. 이러한 원인은 PVT(Process, Voltage, and Temperature) 변수로 인해 지연단을 구성하는 각 Unit Delay의 지연 시간이 동일하지 않음으로써, 지연단에 특성변화를 초래하였고 또한 측정환경에 의한 오차의 누적으로 사료된다.

본 논문에서 설계한 SMD 구조의 DLL는 설계 및 레이아웃 과정에서 이미 설계된 구조의 일부만을 변경하여 DCC를 구성할 수 있어 설계적인 측면에서 유리하다. 또한 특히 기존 SMD 구조의 DCC를 가지는 DLL에 비해 DLL과 DCC 동작이 동시에 수행되는 장점이 있으며, 동작주파수 범위내에서는 다섯 주기만에 Locking 동작과 DCC 동작이 이루어져 전원 절약 기능(Power Down or sleep)을 가지는 회로에서 유용성을 발휘 할 수 있으며, 칩 면적을 25% 감소 할 수 있었다.

### 감사의 글

“이 논문은 2005년도 원광대학교의 교비지원에 의해서 수행됨”

참고 문헌

- [1] Toru Ogawa and Kenji Taniguchi, "A 50% Duty-Cycle Correction Circuit for PLL output," IEEE International Symposium on Circuits and Systems, vol.: 4, Page(s): IV-21 -IV-24. May 2002.
- [2] Yi-Ming Wang, Jinn-Shyan Wang, "An All Digital 50% Duty-Cycle Corrector," ISCAS Page(s): II925-II928. 2004.
- [3] J. M. Rabaey "Digital Integrated Circuits" Prentice Hall, Page(s):193-203.
- [4] Takanori Saeki, et al, "A 2.5ns Clock Access, 250-MHz, 256-Mb SDRAM with Synchronous Mirror Delay," IEEE J. Solid-State Circuits, vol. 31, no. 11, Page(s): 1656-1668.
- [5] Kihyuk Sung and Lee-Sup Kim, "A High-Resolution Synchronous Mirror Delay Using Successive Approximation Register" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO. 11, NOVEMBER 2004.
- [6] Kuo-Hsing Cheng; Chen-Lung Wu, Yu-Lung Lo, Chia-Wei Su, "A phase-detect synchronous mirror delay for clock skew-compensation circuits", Circuits and Systems, ISCAS 2005. IEEE International Symposium. Page(s):1070-1073 Vol. 2, 23-26 May 2005.

저자 소개



홍석용 (洪錫勇)

2003년 전북대학교 전자공학과 석사 졸업.  
 2005년 전북대학교 전자공학과 박사 수료.  
 <주관심분야 : Phase Locked Loop,  
 Delay Locked Loop>  
 E-mail : hongpo@chonbuk.ac.kr



조성익 (趙成翊)

1987년 전북대학교 전기공학과 학사 졸업.  
 1989년 전북대학교 전기공학과 석사 졸업.  
 1994년 전북대학교 전기공학과 박사 졸업.  
 1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원  
 2004년~현재 전북대학교 전자정보공학

부 조교수.

<주관심분야 : 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/ DAC, Filter, PLL/DLL >

Tel : 063-270-4134

Fax : 063-270-2394

E-mail : sicho@chonbuk.ac.kr



신홍규 (辛烘圭)

1975년 2월 전북대학교 전기공학과 학사 졸업.  
 1989년 8월 전북대학교 전기공학과 박사 졸업.  
 1982년~현재 원광대학교 전기전자및정보공학부 교수.

<주관심분야 : Active filter, Low-voltage Low-power analog circuit>

Tel : 063-850-6744

Fax : 063-857-3999

E-mail : hongkyu@wonkwang.ac.kr