

결합접지구조를 이용한 초고주파 비대칭 전력 분배기 설계

論 文

56-6-16

Design of Microwave Unequal Power Dividers Using Defected Ground Structure

林 鍾 植[†] · 丘 在 辰^{*} · 吳 星 慤^{*} · 安 達^{**} · 崔 寬 洵^{**}
(Jongsik Lim · Seongmin Oh · Jae-Jin Koo · Dal Ahn · KwanSun Choi)

Abstract - A 1:6 Unequal 2-way Wilkinson power divider is proposed. The required microstrip line with 207Ω characteristic impedance for 1:6 power divider is realized by adding defected ground structure (DGS) to the standard microstrip line. The adopted DGS has the rectangular geometry which results in the increased characteristic impedance. The rectangular-shaped DGS produces the transmission line having much higher characteristic impedance due to the increased equivalent inductance. The measured performances of the fabricated 1:6 power divider show the expected S-parameters with a good agreement with the predicted ones.

Key Words : DGS, 결합접지구조, 윌킨슨 전력 분배기

1. 서 론

마이크로스트립 선로(microstrip line)는 초고주파 신호 전송 및 회로에 많이 쓰이는 형태의 전송선로인데, 유전체 기판의 윗면 금속층에 일정한 선폭(WM ; Width of Microstrip line)을 지닌 신호선이 구현되고, 아랫면 금속면은 접지층이 되는 구조를 지닌 전송선로이다. 그래서 먼저 WM이 결정되면 이에 해당하는 전송선로의 특성 임피던스(Characteristics Impedance, Z_0) 값이 결정되게 된다. 물론 특성 임피던스를 결정짓는 요인은 WM 뿐만 아니라, 유전체 층의 두께와 비유전율 등도 있다.

그런데 표준적인 마이크로스트립 선로를 양산성 있게 구현하려면 이 때 신뢰성 있는 특성 임피던스의 상한 범위가 110Ω ~ 120Ω 정도라는 문제가 제기된다[1]. 물론 아주 두꺼운 기판을 사용할 경우 특성 임피던스의 구현 한계를 다소 높일 수는 있으나, 기판의 두께가 해당 주파수에서 지나치게 두꺼워져서 손실이 커지고 에너지 전송 모드에 있어서 고차모드 발생과 같은 악영향이 발생할 수 있다.

한편 윌킨슨 전력분배기는 분배기 자체로서 뿐만 아니라, 상위 수준의 복잡한 회로나 시스템 구성에 아주 널리 사용되는 무선 회로이다. 가장 기본적인 2-way 윌킨슨 전력분배기는 두 출력 단자에 같은 크기의 전력이 1:1 출력으로 나타난다[2]. 그런데 만약에 두 출력단자에 나타나는 출력비를 비대칭으로 하고자 한다면, 즉 1:N의 전력 분배비에서 $N > 1$ 인 비대칭의 경우에는, 어느 한쪽 경로의 전송선로의 특성

임피던스가 표준형인 70.7Ω보다 높은 값이 필요하게 된다 [3]. 단순한 예를 들면, $N=2$ 나 $N=3$ 인 비대칭의 경우에는 어느 한 출력측의 경로에 각각 103Ω과 132Ω의 높은 특성 임피던스를 갖는 전송선로가 필요하다. 따라서 마이크로스트립 선로의 신뢰성 있는 임피던스 범위의 상한값을 넘게 되는 문제가 발생한다.

종래에 이런 문제를 해결하는 한 가지의 방법으로, 미앤더 형태의 결합접지구조(defected ground structure, DGS)를 사용하여 마이크로스트립 선로의 특성 임피던스를 158Ω까지 끌어올린 사례가 발표된 적이 있다[4,5]. 전송선로의 단위 길이당 등가의 인덕턴스(inductance)를 L이라 하고 등가의 캐패시턴스(capacitance)를 C라고 했을 때, 전송선로의 특성 임피던스는 $Z_0=(L/C)^{1/2}$ 로 표현된다. 특성 임피던스를 150Ω 이상으로 키우기 위하여는 등가의 C를 크게 낮추거나 등가의 L을 키워야 하는데, 종래에 발표된 방법에 따르면, 등가의 L을 키우기 위하여 미앤더(meander) 형태의 DGS를 사용하였다. DGS를 포함하여 다양한 형태의 주기구조가 전송선로의 접지면에 추가되면 등가의 L이 크게 증가하여 표준형 전송선로에서 볼 수 없는 다양한 전기적 특성을 얻을 수 있음이 이미 여러 차례 선행 연구에서 밝혀진 바가 있다 [6-11].

그러나 미앤더 DGS를 사용하는 종래의 방법에서는 등가의 L이 증가하는 것과 동시에 등가의 C성분도 커져서 Z_0 의 결정 과정에서 무시하지 못할 정도의 역할을 하게 된다. 따라서 150Ω ~ 160Ω 정도가 미앤더형 DGS로 구현 가능한 마이크로스트립 선로의 특성 임피던스의 한계였다. 그러나 비대칭 비율이 종래보다 높은 비율이 되려면, 가령 본 논문에서와 같이 $N=6$ 의 경우에, 한 쪽 경로에 요구되는 특성 임피던스가 207Ω인데, 이렇게 높은 특성 임피던스는 종래의 미앤더형 DGS를 이용하여도 구현이 불가능하다.

본 논문에서는 이런 마이크로스트립 선로의 특성 임피던스의 구현 한계를 극복해 보기 위하여, 종래의 DGS 구조에

[†] 교신저자, 正會員 : 順天鄉大 전기통신시스템공학과
助教授 · 工博

E-mail : jslim@sch.ac.kr

* 非 會 員 : 順天鄉大 전기통신시스템공학과 碩士課程

** 非 會 員 : 順天鄉大 전기통신시스템공학과 教授 · 工博

接受日字 : 2007年 1月 31日

最終完了 : 2007年 4月 17日

비하여 등가의 커패시턴스가 상대적으로 줄어들고 등가의 인덕턴스가 증가한 단순한 사각형 구조의 DGS를 삽입한 전송선로를 제안한다. 이를 통하여 200Ω 이상의 특성 임피던스를 갖는 마이크로스트립 전송선로를 구현하고, 이를 이용하여 1:6 비대칭 전력분배기를 설계, 제작 및 측정된 결과에 대하여 기술하고자 한다.

2. 윌킨슨 전력분배기와 마이크로스트립 선로의 특성 임피던스

그림 1은 2-way 윌킨슨 전력분배기의 기본적인 회로 구조를 보여주고 있다. 단자 1으로 입사된 입력 신호 P₁은 단자 2와 3에서 두 출력 P₂와 P₃으로 분배되어 나타난다. 이때 두 출력단자에서의 전력 분배비는 두 전송선로 경로의 특성 임피던스 Z₂와 Z₃에 의하여 결정된다. 기본적인 1:1 균등 전력분배기에서는 Z₂=Z₃=70.7Ω이다.

만약에 분배비가 1:N (N>1)의 비대칭이라면 특성 임피던스 Z₃는 Z₂보다는 매우 큰 값을 요구한다. 이때 N이 클수록 Z₃의 값은 급격하게 증가한다. 그러나 마이크로스트립 전송선로로 구성되는 회로에서, 일반적 구현 한계인 110Ω ~ 120Ω보다 높은 특성 임피던스가 필요한 경우에 구현 가능성에 관한 문제가 제기될 수 있다.

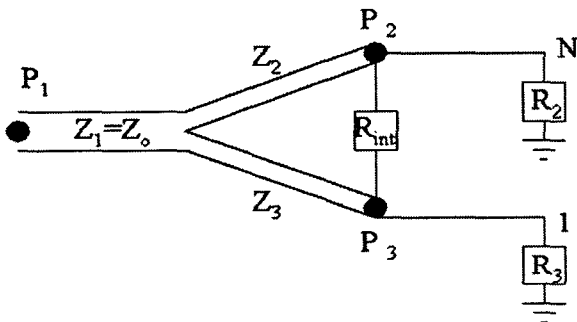


그림 1 1:N 비대칭 윌킨슨 전력분배기 구조
Fig. 1 Topology of 1:N unequal Wilkinson power divider

표 1은 비대칭 비율 N을 1에서 6까지 변화시켰을 때 요구되는 Z₂와 Z₃의 값을 정리한 것이다. N=3만 되더라도 벌써 130Ω보다 커지므로 비대칭 비율이 커질수록 구현가능성 문제가 점점 심각해진다. 더구나 N=6일 경우에 요구되는 Z₃는 207Ω인데, 이 값은 일반적인 마이크로스트립 선로의 구현 한계를 훨씬 뛰어넘는 높은 값이다.

종래에 발표된 연구결과에 따르면, 1:4비대칭 윌킨슨 전력분배기는 158Ω의 마이크로스트립 선로를 구현하기 위하여 미앤더 형태의 DGS를 마이크로스트립 선로의 바닥 접지면에 삽입하였다. 미앤더 형태의 DGS는 DGS 외곽선의 길이를 증가시켜 전송선로의 등가 인덕턴스를 크게 높여서 특성 임피던스를 표준형 선로보다 높여준다. 그러나 이 방법에 있어서도 미앤더 DGS에 기인하는 등가의 커패시턴스가 Z₀ 결정에 무시할 수 없는 크기를 가지므로 선로 임피던스의 구현 한계를 높이는 데 있어서 또 다른 한계로 작용한다. 즉 Z₀=(L/C)^{1/2}로 표현되는 특성 임피던스 관계에서 L이 상당히

커졌다고 하더라도 어느 순간에 C가 함께 증가하면 Z₀의 증가에도 한계가 있게 된다. 따라서 종래의 미앤더형 DGS를 이용한 마이크로스트립 전송선로의 임피던스 구현 한계는 150Ω~160Ω 사이로 제시되었다[4].

표 1 그림 1에 보인 1:N 비대칭 윌킨슨 전력분배기의 분배비에 따른 특성 임피던스

Table 1 Characteristic impedances of 1:N unequal Wilkinson power divider shown in Fig. 1.

비대칭 비율 N	Z ₀ [Ω]	Z ₂ [Ω]	Z ₃ [Ω]
1	50	70.7	70.7
2	50	51.5	103.0
3	50	43.9	131.6
4	50	39.5	158.1
5	50	36.6	183.1
6	50	34.5	207.0

3. 207Ω 마이크로스트립 전송선로

1:6 비대칭 전력분배기에 필요한 200Ω 이상의 특성 임피던스를 얻기 위해서는 등가의 L이 매우 커지거나 등가의 C가 아주 작아져야 한다. 물론 두 조건을 동시 만족하면 더욱 좋다. 기존의 미앤더형 DGS나 또는 다른 형태의 복잡한 기하학적 구조를 갖는 DGS는 등가 L의 증가에 따라 등가 C도 일정량 증가한다는 문제가 있었다. 그러나 본 논문에서는 이를 해결하기 위하여 등가 L이 증가하더라도 등가 C의 증가를 억제할 수 있는 단순한 형태의 사각형 DGS를 사용한다. 그리고 이를 통하여 200Ω 이상의 특성 임피던스를 갖는 마이크로스트립 전송선로를 구현한다.

그림 2는 단순한 사각형 형태의 DGS를 갖는 마이크로스트립 선로(이하 "DGS 선로")를 보여주고 있다. W1과 W2는 기판 바닥 접지면에 있는 DGS의 크기이고, WM은 기판 윗면 마이크로스트립 선로의 폭이다. 이 사각형 DGS가 마이크로스트립 선로의 아래 접지면에 식각될 때 선행 연구에서 밝혀졌듯이 등가의 인덕턴스가 크게 증가한다. 그러나 이때 등가의 커패시턴스는 인덕턴스의 증가에 비하여 상대적으로 그 영향이 미미하므로 결과적으로 특성 임피던스가 크게 증가하게 된다.

이제 그림 2의 마이크로스트립 선로가 207Ω의 특성 임피던스를 갖는지 확인하기로 하겠다. 이를 위하여 본 논문에서는 유전율(ε_r)이 2.2이고 두께(H)가 31mils인 기판을 먼저 선택하였다. 그리고 그림 2에서 W1=22mm, W2=12mm로 DGS 크기를 정하고, WM=0.4mm을 취하였다. 이에 대한 전송 특성을 전자기적 시뮬레이션(electromagnetic(EM) simulation)으로 구해보면 그림 3(a)와 같다.

그림 4는 DGS 선로의 특성 임피던스를 계산하기 위한 단순화된 전송선로 모델을 나타낸 그림이다. DGS 선로의 특성 임피던스를 편의상 Z₃이라 하자. 중심주파수(F₀)에서 λ/4가 되도록 선로의 길이를 사전에 조절하면 그림 4에서처럼 F₀에서 θ=π/2인데, 이때 입력측 반사계수(Γ)의 크기가 최대이며 S₁₁과 Γ는 식(1)과 같은 관계를 만족시킨다. 일단 Γ의 크기가 결정되면 식 (2)에 의하여 한쪽이 단락된 상태에서 DGS 선로의 입력 임피던스를 계산할 수 있다.

따라서 식 (3)에 의하여 DGS 선로의 특성 임피던스 Z_3 를 결정할 수 있다. 이 식들에 의하여 207Ω의 특성 임피던스를 위한 S_{11} 은 -1.01dB이다. 그림 3에 보인 시뮬레이션 특성은 그림 2의 DGS 선로의 특성 임피던스가 정확하게 207Ω임을 보여주고 있다.

$$S_{11}[dB] = 20\log|\Gamma| \quad (1)$$

$$Z_{in} = Z_o \frac{1+\Gamma}{1-\Gamma} \quad (2)$$

$$Z_3 = \sqrt{Z_{in}Z_o} = Z_o \sqrt{\frac{1+|\Gamma|}{1-|\Gamma|}} \quad (3)$$

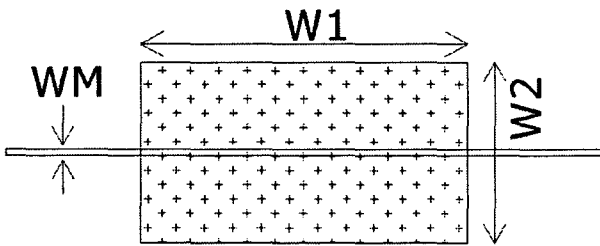


그림 2 단순한 사각형 DGS를 갖는 마이크로스트립 선로
Fig. 2 Microstrip line with a rectangular-shaped DGS

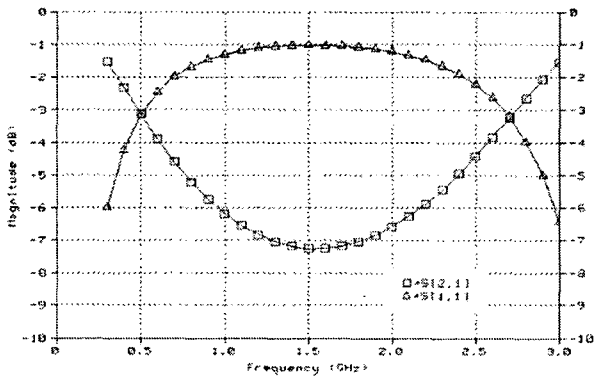


그림 3 그림 2의 DGS 선로에 대하여 예측된 S-파라미터 ($W1=22\text{mm}$, $W2=12\text{mm}$, $WM=0.4\text{mm}$)
Fig. 3 Predicted S-parameters of the DGS line shown in Fig. 2 ($W1=22\text{mm}$, $W2=12\text{mm}$, $WM=0.4\text{mm}$)

한편 DGS가 없는 표준형 전송선로에서는 주어진 기판에 대하여 $WM=0.4\text{mm}$ 일 때 특성 임피던스가 124Ω에 불과하며, $WM=0.07\text{mm}$ 일 때 207Ω의 특성 임피던스를 보인다. 그러나 그림 2처럼 DGS를 지니는 구조에서는 207Ω의 특성 임피던스를 갖는 선로의 두께가 $WM=0.4\text{mm}$ 로 표준형보다 매우 넓은 값을 갖는다.

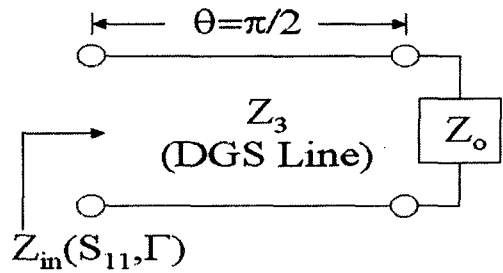


그림 4 DGS 선로의 특성 임피던스(Z_3)를 계산하기 위한 단순화된 전송선로 모델

Fig. 4 Simplified model to determine the characteristic impedance (Z_3) of DGS line

그림 5는 그림 2의 선로를 직접 제작하여 측정된 전송특성을 보여준다. 그림 3에서 예측한 특성과 거의 유사한 결과를 보여주고 있는데, 이로부터 207Ω의 특성 임피던스가 실제로 구현되었음을 알 수 있다.

한편 그림 6은 본 논문에서 제안하는 방법 즉, 207Ω DGS 마이크로스트립 선로를 설계하여 1:6 비대칭 분배기를 설계하는 순서를 정리해 놓은 순서도이다.

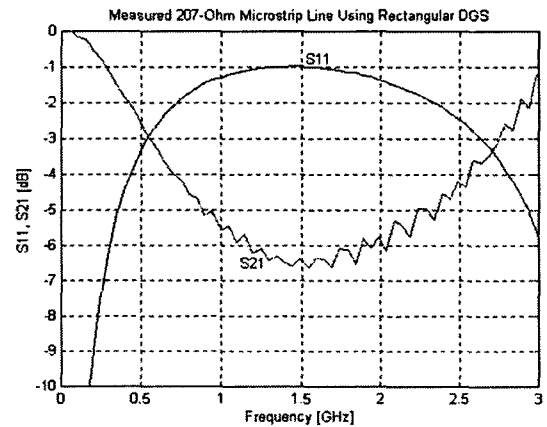


그림 5 그림 2의 DGS 선로의 측정된 S-파라미터
Fig. 5 Measured S-parameters of the DGS line shown in Fig. 2

4. 제안하는 1:6 분배기의 제작 및 측정 결과

이제 207Ω 특성 임피던스를 갖는 전송선로를 구현하였으므로 제안하는 1:6 비대칭 월컨슨 전력분배기를 쉽게 설계할 수 있다. 그림 7은 설계가 완료된 1:6 비대칭 전력분배기의 레이아웃이다. 두 출력측 선로의 특성 임피던스는 측정시 용이성을 위하여 스케매틱 회로의 R_2 와 R_3 를 단자 임피던스로 $\lambda/4$ 선로를 이용하여 변환하기 위한 값으로 구현되어 있다.

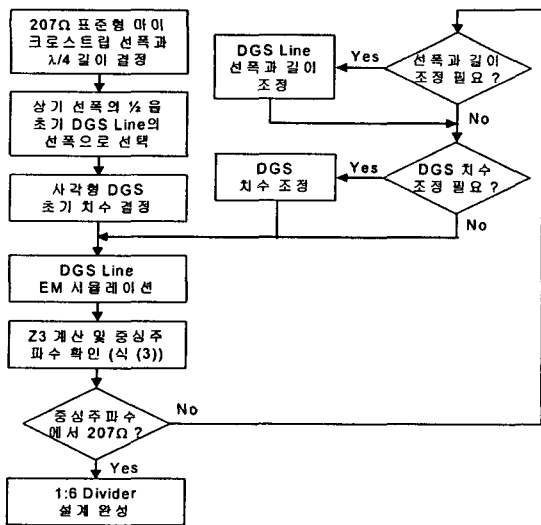


그림 6 207Ω DGS 마이크로스트립 선로를 결정하여 1:6 비대칭 분배기를 설계하는 순서도

Fig. 6 Flow chart to determine the 207Ω microstrip line and to design the proposed 1:6 unequal divider

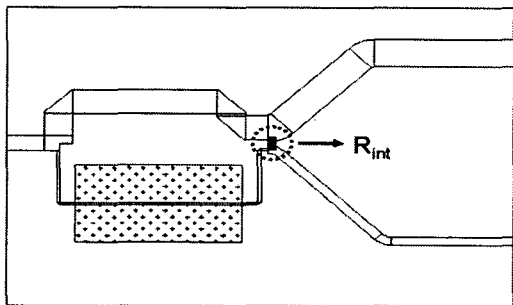
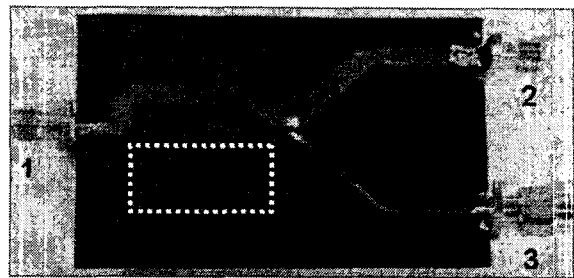


그림 7 1:6 분배기 레이아웃

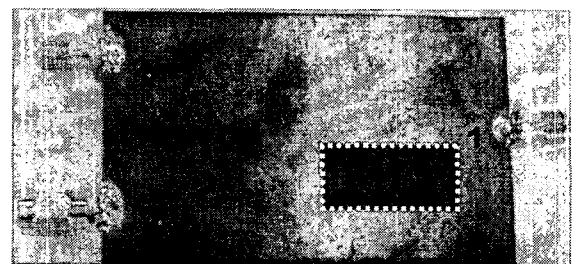
Fig. 7 Layout of the 1:6 unequal power divider

한 가지 강조할 점은, 단순한 사각형 형태의 DGS구조가 우연히 선택된 것이 아니라, 위에서 설명하였듯이 등가의 인덕턴스는 키우면서 동시에 등가의 커패시터는 거의 영향이 없도록 하기 위한 고려의 결과로서 결정된 구조라는 것이다. 1:6 분배비를 위한 이상적인 격리저항(R_{int})값은 143Ω이다. 하지만 실제로는 임의의 모든 저항값에 대하여 칩 저항이 가용할 수 있는(available) 것이 아니므로, 본 논문에서는 가장 가까운 150Ω의 칩 저항을 사용하였다. 그림 8은 본 논문에서 제안된 1:6 비대칭 전력분배기의 제작 사진을 보여주고 있다.

이제 제안한 1:6 비대칭 분배기의 성능에 대하여 살펴보기로 하자. 그림 9(a)는 중심주파수 1.5GHz에서 이상적인 전송선로 소자와 저항으로 구성된 1:6 비대칭 전력분배기에 대하여 회로 시뮬레이터인 Agilent ADS(Advanced Design System)로 예측한 이상적인 특성을 보여준다. 그리고 그림 9(b)는 그림 7의 레이아웃에 대하여 Ansoft HFSS(High Frequency Structure Simulator)를 이용하여 EM 시뮬레이션을 수행한 결과의 성능을 보여주고 있다.



(a)

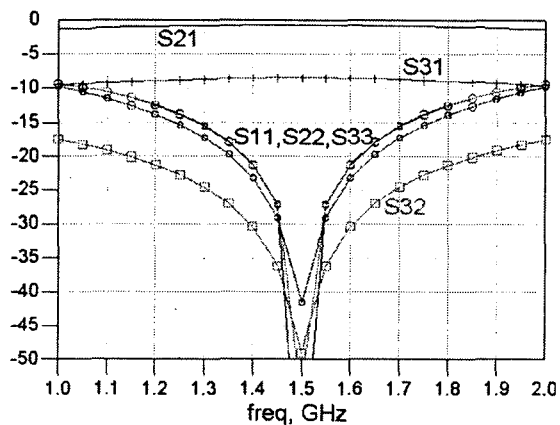


(b)

그림 8 1:6 분배기의 회로 사진 (a) 윗면 (b) 바닥면

Fig. 8 Photograph of the fabricated 1:6 power divider (a) upper plane (b) bottom plane

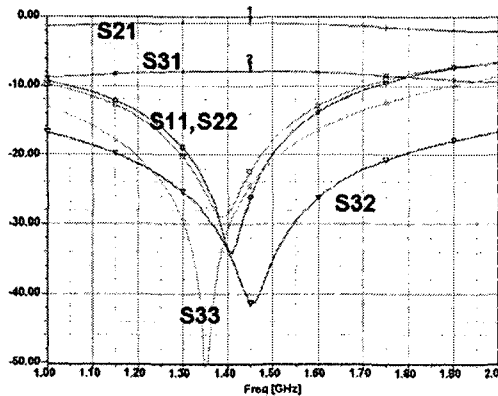
그림 9(c)는 제작하여 측정한 1:6 분배기의 성능을 보여주고 있다. 실제 측정결과와 이상적인 조건하에서의 예측결과를 비교해 보면 비록 사소한 불일치 점들이 보이고 있으나, 제안한 1:6 비대칭 분배기의 측정된 특성이 이상적인 특성과 매우 유사함을 알 수 있다. F_0 를 중심으로 각 단자에서의 정합(matching, S_{11} , S_{22} , S_{33}), 두 출력 단자간 격리(isolation, S_{32}), 그리고 두 출력 전력 간의 분배비($S_{31}:S_{21}$)가 1:6으로 측정되었음을 알 수 있다. 한편 그림 9(d)는 두 출력 단자간에 측정한 위상차를 보여주고 있다. 두 출력간 위상차도 중심 주파수 부근에서 1도에 불과하므로 이상적인 값인 0도에 매우 근접하고 있다.



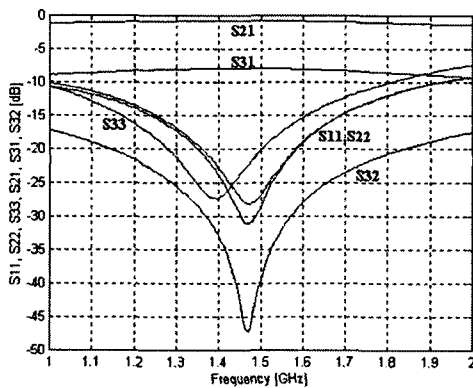
(a)

5. 결 론

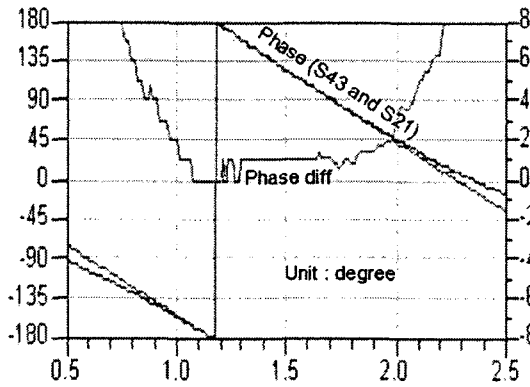
본 논문에서는 단순한 사각형 DGS를 마이크로스트립 선로의 바닥 접지면에 삽입하여 특성 임피던스를 크게 키우는 방법을 제시하고, 이 선로를 활용하여 1:6 비대칭 윌킨슨 전력분배기를 설계, 제작하여 그 측정 결과를 제시하였다. 먼저 DGS선로의 특성만을 따로 측정된 결과 207Ω의 특성 임피던스에 해당하는 S₁₁을 얻어서 제안한 방법의 타당성을 검증하였다. 이어서 실제로 제작한 1:6 전력분배기의 성능을 측정하여 제시하였다. 측정된 1:6 비대칭 분배기의 특성은 이상적인 소자로만 구성된 1:6 비대칭 분배기의 이상적인 특성과 매우 유사하였다. 본 논문에서 제안한 회로 구조는 비대칭 분배기를 필요로 하는 다수의 회로 및 시스템에서 다양하게 응용될 수 있을 것으로 기대된다.



(b)



(c)



(d)

그림 9 제안한 1:6 전력분배기의 성능 (a) 이상적인 S-파라미터 특성 (ADS) (b) EM 시뮬레이션 특성 (HFSS) (c) 측정된 S-파라미터 (d) 측정된 두 출력단자의 위상차

Fig. 9 Predicted and measured performances of the proposed 1:6 Wilkinson divider (a) Ideal S-parameters (ADS) (b) EM simulation (HFSS) (c) measured S-parameters (d) measured phase difference

감사의 글

이 논문은 교육인적자원부, 산업자원부, 노동부의 출연금 및 보조금으로 수행한 최우수실험실지원사업의 연구결과입니다

참 고 문 헌

- [1] K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, pp. 430 ~ 432, Artech House, Boston, 1996.
- [2] E. J. Wilkinson, "An N-way hybrid power divider," *IRE Trans. Microwave Theory Tech.*, vol. 8, pp. 116-118, Jan. 1960.
- [3] D. M. Pozar, *Microwave Engineering*, 2nd edition, pp. 367 ~ 368, John Wiley and Sons, Inc., New York, 1998.
- [4] J. S. Lim, S. W. Lee, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "A 4:1 Unequal Wilkinson Power Divider," *IEEE Microwave and Wireless Components Letters*, vol. 11, no. 3, pp. 124 - 126, Mar. 2001.
- [5] J. S. Lim, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "Design of 10dB 90° branch line coupler using microstrip line with defected ground structure," *IEE Electronics Letters*, vol. 36, no. 21, pp. 1784-1785, Oct. 2000.
- [6] V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D Photonic Bandgap Structure for Microstrip Lines," *IEEE Microwave Guide Wave Letters*, vol. 8, no. 2, pp. 69-71, Feb. 1998.
- [7] I. Rumsey, M. Picket-May, and P. K. Kelly, "Photonic Bandgap Structures Used as Filters in Microstrip Circuits," *IEEE Microwave Guide Wave Letters*, vol. 8, no. 10, pp. 336-338, Oct. 1998.
- [8] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits," *IEEE Microwave Guide Wave*

Letters vol. 10, no. 4, pp. 131-133, Apr. 2000.

- [9] T. Y. Yun and K. Chang, "Uniplanar One-Dimensional Photonic-Bandgap Structures and Resonators," IEEE Trans. Microwave Theory Tech., vol. 49, no. 3, pp. 549-553, Mar. 2001.
- [10] J. S. Lim, C. S. Kim, Y. T. Lee, D. Ahn, and S. Nam, "A Spiral-Shaped Defected Ground Structure for Coplanar Waveguide," IEEE Microwave and Wireless Components Letters, vol. 12, no. 9, pp. 330~332, Sep. 2002.
- [11] F. R. Yang, K. P. Ma, Y. Qian, and T. Itoh, "A Uniplanar Compact Photonic-Bandgap (UC-PBG) Structure and its Applications for Microwave Circuits," IEEE Trans. Microwave Theory Tech., vol. 47, no. 8, pp. 1509-1514, Aug. 1999.

저 자 소 개



임 중 식 (林鍾植)

1968년 11월 17일생. 1991년 서강대 전자공학과 졸업(공학사). 1993년 동대학원 전자공학과 졸업(석사). 2003년 서울대 대학원 전기컴퓨터공학부 졸업(공학박). 1993~2005 한국전자통신연구원(ETRI) 선임연구원, 2005~현재 순천향대학교 전기통신시스템공학과 조교수.

Tel : (041)530-1332
Fax : (041)530-1548
E-mail : jslim@sch.ac.kr



구 재 진 (丘在辰)

1979년 7월 17일생. 2006년 순천향대 정보기술공학부 졸업(공학사). 2006~현재 동대학원 전기통신시스템공학과 석사과정

Tel : (041)530-1630
Fax : (041)530-1735
E-mail : jaejinkoo617@hotmail.com



오 성 민 (吳星愍)

1980년 12월 25일생. 2006년 순천향대 정보기술공학부 졸업(공학사). 2006~현재 동대학원 전기통신시스템공학과 석사과정

Tel : (041)530-1630
Fax : (041)530-1735
E-mail : steadfastfriend@nate.com



안 달 (安達)

1961년 10월 15일생. 1984년 서강대 전자공학과 졸업(공학사). 1984년 동대학원 전자공학과 졸업(석사). 1990년 동대학원 전자공학과 졸업(공학박). 1990~1992 한국전자통신연구원(ETRI) 선임연구원, 1992~현재 순천향대학교 전기통신시스템공학과 교수.

Tel : (041)530-1331
Fax : (041)530-1609
E-mail : dahnrk@sch.ac.kr



최 관 순 (崔寬洵)

1957년 7월 26일생. 1982년 서강대 전자공학과 졸업(공학사). 1989년 건국대 대학원 전자공학과 졸업(석사). 1994년 서강대 대학원 전자공학과 졸업(공학박). 1982~1983 대우전자, 1984~현재 순천향대학교 전기통신시스템공학과 교수.

Tel : (041)530-1329
Fax : (041)530-1548
E-mail : cks1329@sch.ac.kr