

논문 2007-44TC-1-10

자동 크기 조절 회로와 Switched LC tank를 이용한 집적화된 저위상 잡음 다중 대역 0.13- μm CMOS 전압 제어 발진기

(A Fully-Integrated Low Phase Noise Multi-Band 0.13- μm CMOS
VCO using Automatic Level Controller and Switched LC Tank)

최 재 원*, 서 철 헌**

(Jaewon Choi and Chulhun Seo)

요 약

본 논문에서는 자동 크기 조절 회로 (Automatic Level Controller, ALC)와 switched LC tank를 이용한 집적화된 저위상 잡음 다중 대역 CMOS 전압 제어 발진기를 제안하였다. 제안된 전압 제어 발진기는 0.13- μm CMOS 공정으로 설계되었다. Switched LC tank는 MOS 스위치를 이용하여 스위칭되는 한 쌍의 캐패시터와 두 쌍의 인덕터로 설계되었다. 이 구조를 이용하여 4개의 대역 (2.986 ~ 3.161, 3.488 ~ 3.763, 4.736 ~ 5.093, 그리고 5.35 ~ 5.887 GHz) 동작이 하나의 전압 제어 발진기를 통하여 이루어졌다. 1.2 V의 공급 전압을 갖는 전압 제어 발진기는 각각 2.986 GHz에서 -118.105 dBc/Hz @ 1 MHz, 5.887 GHz에서 -113.777 dBc/Hz @ 1 MHz의 위상 잡음을 갖는다. 줄어든 위상 잡음은 가장 넓은 주파수 조절 범위인 2.986 ~ 5.887 GHz에서 대략 -1 ~ -3 dBc/Hz @ 1 MHz이다. 전압 제어 발진기는 전체 주파수 대역에서 4.2 mW ~ 5.4 mW의 전력을 소모한다.

Abstract

In this paper, a fully-integrated low phase noise multi-band CMOS VCO using automatic level controller (ALC) and switched LC tank has been presented. The proposed VCO has been fabricated in a 0.13- μm CMOS process. The switched LC tank has been designed with a pair of capacitors and two pairs of inductors switched using MOS switch. By using this structure, four band (2.986 ~ 3.161, 3.488 ~ 3.763, 4.736 ~ 5.093, and 5.35 ~ 5.887 GHz) operation is achieved in a single VCO. The VCO with 1.2 V power supply has phase noise of -118.105 dBc/Hz @ 1 MHz at 2.986 GHz and -113.777 dBc/Hz @ 1 MHz at 5.887 GHz, respectively. The reduced phase noise has been approximately -1 ~ -3 dBc/Hz @ 1 MHz in the broadest tuning range, 2.986 ~ 5.887 GHz. The VCO has consumed 4.2 ~ 5.4 mW in the entire frequency band.

Keywords : Multi-band, automatic level controller, switched LC tank, phase noise, tuning range, CMOS VCO

I. 서 론

무선 통신에서 주요 난제는 저가의 CMOS 기술을 이용한 기능 틀의 고집적화이다. 과거 수 년 동안 더 많은 주파수 대역에 대한 수요는 새로운 표준의 등장과 함께

원격 통신에서 증가되어지고 있다. 하나의 칩으로 집적화시키려는 노력들 가운데 다중 대역 전압 제어 발진기에 대한 연구는 전압 제어 발진기의 주파수 조절 범위가 frequency fractional-N PLL을 이용한 다중 대역 주파수 합성기에서 가장 중요한 요소들 중의 하나이기 때문에 관심을 끌고 있다^{[1], [2]}.

현대의 CMOS 기술 수준이 deep submicrometer로 크기가 줄어들었고, 매우 얇은 게이트-옥사이드가 받아들여질 수 있는 수준에서 short-channel effect가 유지되어질 수 있도록 요구되어 진다. 이것은 소자의 낮은

* 학생회원, ** 정회원, 숭실대학교 정보통신전자공학부 (Information and Telecommunication Engineering, Soongsil University)

* 이 연구는 2006학년도 숭실대학교 대학 연구비의 지원으로 연구되었음

접수일자: 2006년12월10일, 수정완료일: 2007년1월15일

항복 전압을 유발하고, 그러므로 공급 전압은 이에 비례하여 줄어든다. 공급 전압의 감소는 디지털 회로의 전력 소모를 줄이지만, RF 회로 설계에 있어서는 많은 노력들을 요구하게 된다. 전압 제어 발진기 또한 이러한 노력들을 필요로 한다. 대부분의 심각한 문제는 전압 진폭의 감소인데, 이는 출력 전력을 줄어뜨리게 하고 이로 인해 위상 잡음이 악화된다. 이 문제는 위상 잡음을 개선시키기 위하여 complementary 구조와 2차, 3차 고조파 조절 LC tank 기술을 이용하여 부분적으로 해결될 수 있다.

제한된 주파수 조절 범위가 CMOS 기술을 이용한 전압 제어 발진기에서 이로 인해 발생할 수 있는 또 다른 심각한 문제이다. CMOS의 게이트 길이가 줄어들어서 발생하는 공급 전압의 감소는 넓은 주파수 조절 범위를 만들기 어렵게 만든다^[3]. 주파수 조절 범위 제한 문제의 해결책으로써, switched capacitor array (SCA)를 이용한 주파수 조절은 넓은 주파수 조절 범위를 얻기 위하여 많이 이용된다. 버랙터의 조절로부터 야기되는 잡음은 이 방법을 통하여 줄어든다^[4, 5]. 전압 제어 발진기의 주파수 조절 범위에서 출력 전압 크기의 변화는 전압 제어 발진기의 위상 잡음을 발생시킨다. 그러므로 ALC 구조는 전압 제어 발진기의 출력 전압 크기를 안정화시키기 위하여 요구되어 진다.

본 논문에서, 스위칭되는 인덕터와 캐패시터는 넓은 주파수 조절 범위를 얻기 위하여 switched capacitor array (SCA)대신에 이용되고, ALC는 크기의 조절을 위하여 적용된다. ALC는 동작 주파수의 변화에 따라서 위상 잡음의 관점에서 최적의 tank 전류를 제공하기 위하여 설계된다.

II. 본 론

1. 다중 대역 전압 제어 발진기 설계

본 논문에서, 다중 대역 동작은 스위칭되는 인덕터와 캐패시터를 이용하여 이루어진다. 다중 대역 전압 제어 발진기의 회로도 는 그림 1에 나와 있다. 스위칭되는 인덕터는 차동 인덕터 ($L_1 \sim L_4$)와 하나의 NMOS 트랜지스터 (M_7)로 구성되어 있고, 스위칭되는 캐패시터는 캐패시터 (C_1, C_2)와 두 개의 NMOS 트랜지스터 (M_5, M_6)로 구성되어 있다. Switched LC tank는 전압 제어 발진기를 네 개의 대역으로 주파수를 조절한다. 정교한 주파수 조절은 MOS 버랙터 (D_1)를 통하여 이루어진다.

네 개의 대역은 두 개의 조절 전압 V_{suc} 와 V_{swl} 을 이

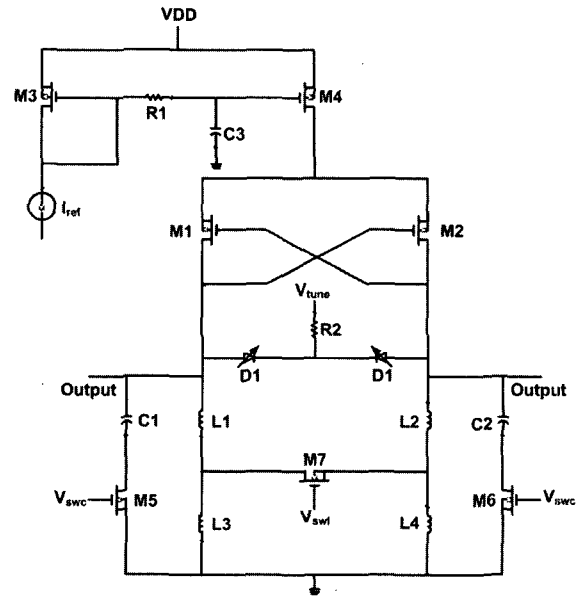


그림 1. 스위칭되는 인덕터와 캐패시터를 이용한 다중 대역 전압 제어 발진기의 회로도

Fig. 1. Schematic of multi-band VCO with switched inductors and capacitors.

용하여 선택되어 진다. V_{swl} 이 1.2 V일때, M_7 은 켜지고 L_3, L_4 를 LC tank에서 떨어지게 한다. 반면에 V_{swl} 이 0 V일때, M_7 은 꺼지고 L_3, L_4 는 LC tank에 연결된다. V_{suc} 가 1.2 V일때, M_5 와 M_6 는 켜지고 C_1, C_2 는 LC tank에 연결된다. 반면에 V_{suc} 가 0 V일때, M_5 와 M_6 는 꺼지고 C_1, C_2 는 LC tank에서 제외된다. 조절 전압 V_{suc} 와 V_{swl} 이 0 V 혹은 1.2 V중에 하나로부터 선택되면 네 개의 동작 상태가 결정된다.

2. 자동 크기 조절 (Automatic Level Control)

전압 제어 발진기의 출력 전압 크기는 tank Q factor를 결정하는 발진 주파수에 영향을 받는다. 전압 제어 발진기의 위상 잡음이 tank Q에 영향을 받기 때문에, 전체 주파수 조절 범위에서 위상 잡음을 일정하게 유지하기 위해서 외부의 크기 조절 회로가 추가될 필요가 있다. 발진 start-up을 발생시키기 위해서 루프 이득은

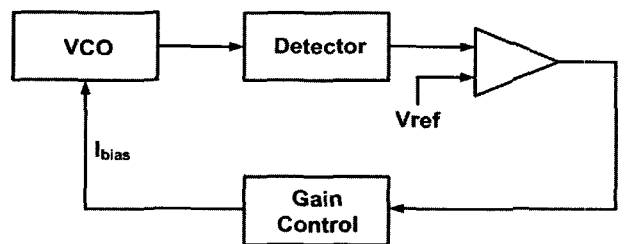


그림 2. 자동 크기 조절의 블록 다이어그램

Fig. 2. Block diagram of automatic level control.

1보다 커야하지만 평균 루프 이득은 안정된 크기를 얻기 위하여 1로 돌아와야 한다. 이것은 동작 주파수와 상관없이 크기를 고정하기 위하여 ALC 루프를 이용하는 것에 의하여 해결될 수 있다. 자동 크기 조절 회로의 블록 다이어그램은 그림 2에 나와 있다. 이 구조는 검파기를 통하여 크기를 측정하고 검파된 결과를 기준 전압과 비교하여 부궤환을 통하여 전압 제어 발진기의 바이어스 전류를 적절하게 조절한다. 그래서 start-up에서는 크기는 작고 이득은 크다. 그리고 steady state에서는 크기가 대략 기준 전압과 같아진다. 이 원리를 통하여, ALC 루프는 모든 동작 대역에서 위상 잡음과 전력 소모의 관점에서 LC tank 전류를 최적화시키고, 기준 전압이 적절하게 선택되어진다면 전압 제어 발진기가 적은 왜곡을 갖는 사인 곡선을 제공하도록 선형적인 상태로 유지되게 만들어준다. 또한 전압 제어 발진기 설계자가 start-up 신뢰도와 크기 안정성과 같은 요소들을 절충할 필요없이 전압 제어 발진기를 설계할 수 있도록 해주고 공정과 온도의 변화에 따른 불확실성을 줄여준다^[6, 7].

2. 회로 설계와 레이아웃

전압 제어 발진기는 0.13- μm CMOS 공정으로 설계되어 졌다. 그림 3은 스위칭되는 인덕터, 캐패시터와 ALC를 이용하여 제안된 전압 제어 발진기의 간략화된 회로 개념도를 보여 준다. PMOS 트랜지스터는 NMOS 트랜지스터와 비교하여 약 10 dB정도 작은 $1/f$ 잡음을 갖는다. 이 이유로 PMOS 회로 구조 (M_1 에서 M_4 그리고 M_8 , M_9)가 스위치 (M_5 에서 M_7)와 ALC 루프 트랜지스터 (M_{10})를 제외하고 전압 제어 발진기를 설계하는데 적용되어 졌다. PMOS 전류 미러 (M_3 , M_4)는 PMOS 트랜지스터가 n-well에 놓여져있기 때문에 기판 잡음에도 면역성이 강하기 때문에 tank 전류를 발생시키기 위하여 선택되어 졌다. 탭 바이어스 전류 미러는 supply rejection이 개선되어 지고 전체 버랙터 주파수 조절 범위가 공급 전압을 초과하지 않는 상태에서 얻어질 수 있기 때문에 전압 제어 발진기 설계에 적용되어 졌다. 이러한 관점에서, 다중 대역 응용에 널리 사용되어진다. 스위치로 사용된 트랜지스터 (M_5 에서 M_7)는 $1/f$ 잡음을 줄이기 위하여 넓은 폭과 길이로 설계되어 졌다. RC 여파기는 M_3 로부터 발생된 $1/f$ 잡음이 M_4 에 의해 증폭되어지고 이로 인해 위상 잡음이 증가될 수 있기 때문에 $1/f$ 잡음을 억제하기 위하여 M_3 와 M_4 의 게이트 사이에 삽입되어 졌다. 검파기는 M_8 , M_9 그리

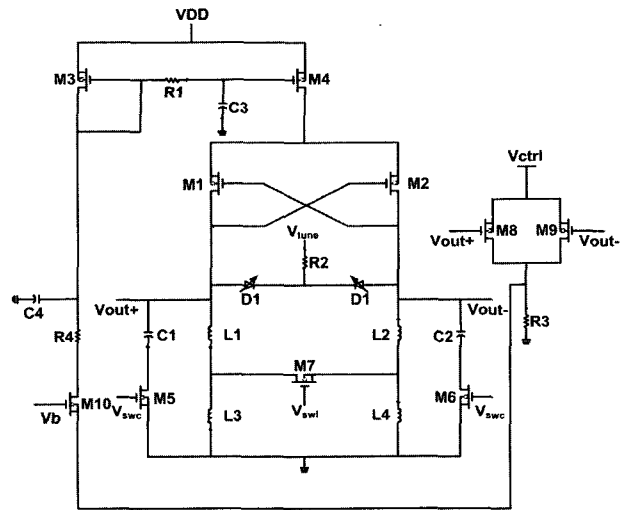


그림 3. 스위칭되는 LC tank와 자동 크기 조절을 이용하여 제안된 전압 제어 발진기의 간략화된 회로 개념도

Fig. 3. Simplified circuit schematic of proposed VCO using switched LC tank and automatic level control (ALC).

고 M_{10} 과 함께 궤환에 있는 R_3 와 루프 여파기 (R_4 , C_4)로 구성되어 있다. 여기서 루프 여파기는 검파기의 정류 동작 때문에 2차 고조파를 억제하기 위하여 설계되어 졌다. 이 ALC회로는 전류 미러에서 기준 전류를 최적화시킨다.

ALC 루프의 동작은 PMOS M_8 과 M_9 가 기준 전압과 전압 제어 발진기의 출력 DC-전압에 의해 초기에 켜져 있다. start-up 전류는 M_{10} 의 전압 (V_b)을 적절하게 선택함으로써 원하는 값으로 조절되어 질 수 있다. 전압 제어 발진기의 출력 전압 진폭이 커짐에 따라, M_8 과 M_9 는 켜지고, 그러므로 R_3 에 걸리는 전압은 증가된다. 이번에는 M_{10} 의 전압이 이 과정에서 감소되어진다. M_{10} 의 on-상태 저항은 증가되어지고 전압 제어 발진기의 전압 진폭의 원하는 값까지 LC tank 전류를 줄이는 결과를 발생시킨다. M_8 과 M_9 의 크기는 위상 잡음의 관점에서 결정된다. 큰 트랜지스터가 $1/f$ 잡음의 감소를 위하여 선택되어 졌다. R_3 의 크기는 고주파수에서 전류의 크기에 큰 영향을 미친다.

Switched capacitor array (SCA) 혹은 스위칭되는 인덕터와 캐패시터의 사용은 오직 버랙터만을 이용하여 구현된 광대역 전압 제어 발진기와 비교했을 때 각 대역에서 정교한 주파수 조절을 위하여 작은 버랙터의 사용을 가능하게 만든다. 그러나 제안된 전압 제어 발진기의 설계는 큰 버랙터의 사용에 의한 위상 잡음의 악화가 ALC 루프를 통하여 극복될 수 있기 때문에 각 대

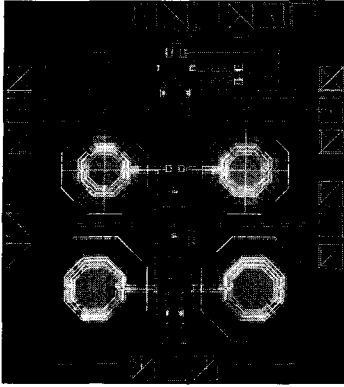


그림 4. 스위칭되는 LC tank와 자동 크기 조절 (ALC)를 이용한 전압 제어 발진기의 레이아웃

Fig. 4. Layout of the VCO using the switched LC tank and automatic level control (ALC).

역에서 넓은 주파수 조절 범위를 얻기 위하여 적절하게 큰 버랙터가 적용되어 졌다.

제안된 전압 제어 발진기의 레이아웃은 그림 4에 나와 있다. 작은 회로 영역을 얻기 위한 45° 회전을 갖는 차동 레이아웃은 UTM의 두께보다 더 얇은 metal 7의 사용 때문에 위상 잡음을 악화시킨다. 그러므로 인덕터의 설계와 배치는 metal 7과 UTM을 모두 사용하여 발생되어지는 위상 잡음의 악화를 방지하기 위하여 일반적인 방법이 적용되어 졌다.

III. 실험

스위칭된 LC tank와 ALC를 이용한 전압 제어 발진기는 1.2 V의 공급 전압과 0.13- μm CMOS 공정으로 설계되어 졌다. 그림 5는 각 대역의 주파수 조절 범위에서 위상 잡음의 특징을 보여준다. 그림 5 (a)는 $V_{suc} = 1.2$ V이고 $V_{swl}=0$ V일때 3.1 GHz 대역의 주파수 조절 범위에서 위상 잡음을 나타낸다. 주파수 조절 범위와 위상 잡음은 각각 2.986~3.161 GHz와 -118.105~-117.445 dBc/Hz @ 1 MHz이다. 그림 5 (b)는 $V_{suc}=0$ V이고 $V_{swl} = 0$ V일때 3.7 GHz 대역의 주파수 조절 범위에서 위상 잡음을 나타낸다. 주파수 조절 범위와 위상 잡음은 각각 3.488~3.763 GHz와 -115.730~-114.001 dBc/Hz @ 1 MHz이다. 그림 5 (c)는 $V_{suc}=1.2$ V이고 $V_{swl}= 1.2$ V일때 5 GHz 대역의 주파수 조절 범위에서 위상 잡음을 나타낸다. 주파수 조절 범위와 위상 잡음은 각각 4.736~5.093 GHz와 -114.570~-113.948 dBc/Hz @ 1 MHz이다. 그림 5 (d)는 $V_{suc}=0$ V이고 $V_{swl}=1.2$ V일때 5.8 GHz 대역의 주파수 조절 범

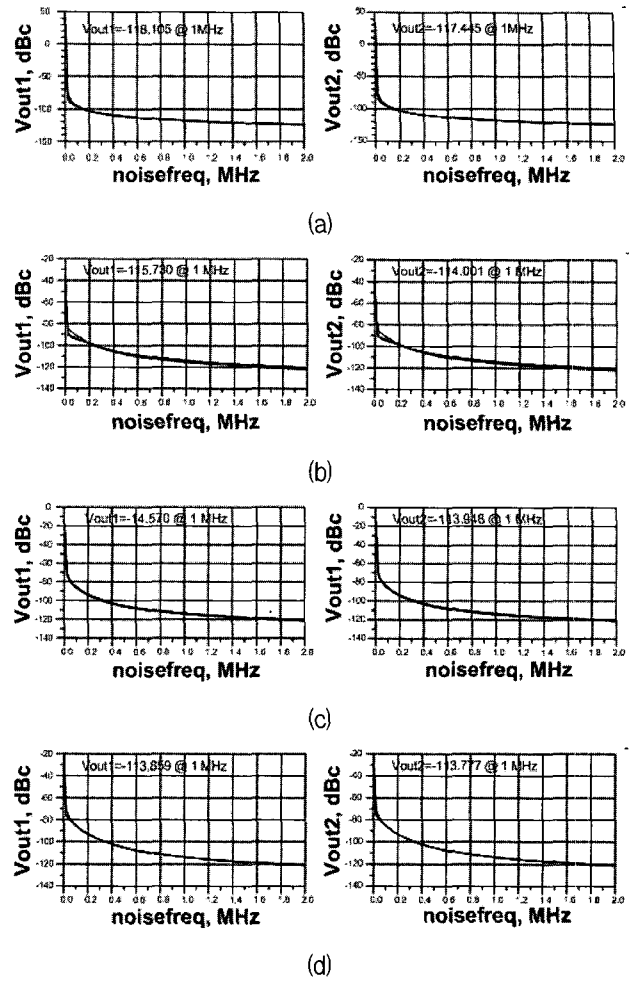


그림 5. (a) 3.1 GHz (b) 3.7 GHz (c) 5 GHz (d) 5.8 GHz 대역에서의 위상 잡음

Fig. 5. Phase noise at (a) 3.1 GHz (b) 3.7 GHz (c) 5 GHz (d) 5.8 GHz bands.

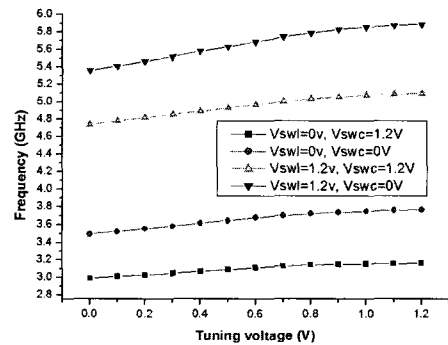


그림 6. 제안된 전압 제어 발진기의 주파수 조절 범위

Fig. 6. Tuning range of proposed VCO.

위에서 위상 잡음을 나타낸다. 주파수 조절 범위와 위상 잡음은 각각 5.350~5.887 GHz와 -113.859~-113.777 dBc/Hz @ 1 MHz이다. 감소된 위상 잡음은 가장 넓은 주파수 조절 범위, 2.986~5.887 GHz에서 대략 -1~-3

표 1. 전압 제어 발진기의 동작 특성 요약

Table 1. VCO performance summary.

Process	0.13-um standard CMOS
Supply Voltage(V)	1.2
Frequency (GHz)	2.986 ~ 3.161
	3.488 ~ 3.763
	4.736 ~ 5.093
	5.350 ~ 5.887
Phase Noise (dBc/Hz @ 1 MHz)	-118.105 ~ -117.445
	-115.730 ~ -114.001
	-114.570 ~ -113.948
	-113.859 ~ -113.777
Output Power (dBm)	-13 (average)
Harmonics (dBc)	-24 (average)
Power Dissipation (mW)	4.8 (average)

표 2. 전압 제어 발진기의 동작 특성 비교

Table 2. VCO performance comparison.

Ref.	Freq. (GHz)	Tuning Range (VDD)	P	L (dBc/Hz @ 1MHz)	FOM	Process
[8]	4.2 5.05	18% (2.5V)	13.8 mW	-114 @ 5G	-176.6 dBc/Hz	0.25-um CMOS, AMOS
[9]	4.73 5.87	21.5% (2V)	4 mW	-106 @ 5G	-173.96 dBc/Hz	0.25-um CMOS
[10]	4.7 5.9	22.64% (0.6V)	0.9 mW	-105.24 @ 5.65G	-180.74 dBc/Hz	0.18-um CMOS, IMOS
This work	2.986 5.887	50.02% (1.2V)	4.2 mW	-113.777 @ 5.887G	-182.95 dBc/Hz	0.13-um CMOS

dBc/Hz @ 1 MHz이다.

그림 6은 각 대역에서 주파수 조절 전압 (0~1.2 V)에 대한 전압 제어 발진기의 주파수 조절 범위를 보여 준다. 4개의 대역에서 전압 제어 발진기의 평균 출력 전력, 고조파 특성, 그리고 전력 소모는 각각 -13 dBm, -24 dBm, 그리고 4.8 mW이다.

제안된 전압 제어 발진기를 다른 전압 제어 발진기와 비교하기 위하여 널리 사용되어지는 figure of merit (FOM)은 다음의 식 (1)로 정의된다.

$$FOM = L\{\Delta f\} - 20 \log\left(\frac{f_0}{\Delta f}\right) + 10 \log\left(\frac{P}{1mW}\right) \quad (1)$$

$L(\Delta f)$ 는 캐리어 f_0 로부터 오프셋 Δf 에서의 위상 잡음이고 P 는 전압 제어 발진기 코어의 전력 소모이다. 1.2 V 공급 전압을 사용한 이 설계의 FOM은 5.8 GHz 대역에서 -182.95 dBc/Hz @ 1 MHz이다.

표 1은 제안된 전압 제어 발진기의 동작 특성을 요약하였고, 표 2는 최근에 보고된 몇몇의 전압 제어 발진기와의 비교를 나타낸다. 본 논문은 지금까지 보고된 CMOS 전압 제어 발진기 중에서 가장 넓은 주파수 조절 범위에서 좋은 위상 잡음 특성을 보여준다.

IV. 결론

본 논문에서, 자동 크기 조절 회로와 스위칭되는 LC tank를 이용한 집적화된 저위상 잡음 다중 대역 CMOS 전압 제어 발진기가 설명되어 졌다. 제안된 전압 제어 발진기는 0.13-um CMOS 공정으로 설계되어 졌다. MOS 스위치를 통하여 스위칭하는 한 쌍의 캐패시터와 두 쌍의 인덕터로 구성된 스위칭되는 LC tank를 이용함으로써, 4개의 대역 (2.986~3.161, 3.488~3.763, 4.736 ~ 5.093, 그리고 5.35~5.887 GHz) 동작이 하나의 전압 제어 발진기에서 수행되어 진다. 1.2 V의 공급 전압을 갖는 전압 제어 발진기의 위상 잡음은 각각 2.986 GHz에서 -118.105 dBc/Hz @ 1 MHz와 5.887 GHz에서 -113.777 dBc/Hz @ 1 MHz이다. 감소된 위상 잡음은 가장 넓은 주파수 조절 범위, 2.986~5.887 GHz에서 대략 -1~-3 dBc/Hz @ 1 MHz이다. 4개의 대역에서 전압 제어 발진기의 평균 출력 전력, 고조파 특성, 그리고 전력 소모는 각각 -13 dBm, -24 dBm, 그리고 4.8 mW이다. 1.2 V 공급 전압을 사용한 이 설계의 FOM은 5.8 GHz 대역에서 -182.95 dBc/Hz @ 1 MHz이다.

참고 문헌

- [1] Huijung Kim, Seonghan Ryu, Yujin Chung, Jinsung Choi, and Bumman Kim, "A Low Phase-Noise CMOS VCO with Harmonic Tuned LC Tank," IEEE Transactions on Microwave Theory and Technique, vol. 54, no. 7, pp. 2917-2924, July 2006.
- [2] L. Geynet, E. De Foucauld, P. Vincent and G. Jacquemod, "Fully-Integrated Multi-Standard VCOs with switched LC tank and Power Controlled by Body Voltage in 130nm CMOS/SOI," IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, page(s) : 4, 11-13

- June 2006.
- [3] Neric H. W. Fong, Jean-Olivier Plouchart, Noah Zamdmer, Duixian Liu, Lawrence F. Wagner, Calvin Plett, and N. Garry Tarr, "A 1-V 3.8-5.7-GHz Wide-Band VCO With Differentially Tuned Accumulation MOS Varactors for Common-Mode Noise Rejection in CMOS SOI Technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 8, pp. 1952-1959, August 2003.
- [4] Mihai A. Margarit, Joo Leong (Julian) Tham, Robert G. Meyer, and M. Jamal Deen, "A Low-Noise, Low-Power VCO with Automatic Amplitude Control for Wireless Applications," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp. 761-771, June 1999.
- [5] Ali Fard and Denny Aberg, "A Reconfigurable CMOS VCO with an Automatic Amplitude Controller for Multi-Band RF Front-Ends," *Circuit Theory and Design, 2005. Proceedings of the 2005 European Conference on* vol. 1, pp. I/95-I/98, 28 August-2 September 2005.
- [6] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [7] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press, 2004.
- [8] C. Samori, S. Levantino, and V. Boccuzzi, "A -94 dBc/Hz @ 100 KHz, fully-integrated, 5 GHz, CMOS VCO with 18 % tuning range for Bluetooth application," In *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 201-204, 6-9 May 2001.
- [9] B. Jung and R. Harjani, "A Wide Tuning Range VCO Using Capacitive Source Degeneration," In *Proc. ISCAS' 04*, vol. 4, pp. 145-148, 23-26 May 2004.
- [10] Chung-Yu Wu, Chi-Yao Yu, "A 0.8V 5.9GHz Wide Tuning Range CMOS VCO using Inversion-Mode Bandswitching Varactors," *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium*, vol. 5, pp. 5079-5082, 23-26 May 2005.

 저 자 소 개



최재원(학생회원)

2006년 2월 숭실대학교 정보통신
전자공학부 (공학사)

2006년 3월~현재 숭실대학교
정보통신공학과 석사과정
<주관심분야 : 초고주파 회로 설
계, RF Power Amplifier, VCO,
RFIC, RFID 등>

서철헌(정회원)

대한전자공학회논문지
vol. 31, no. 6 참조