

논문 2007-44TC-1-5

적응형 바이어스 조절 회로와 2차 고조파 종단 회로를 이용한 고선형성 고효율 DMB CMOS 전력증폭기

(A Highly Linear and Efficient DMB CMOS Power Amplifier with
Adaptive Bias Control and 2nd Harmonic Termination circuit)

최 재 원*, 서 철 현**

(Jaewon Choi and Chulhun Seo)

요 약

고효율과 고선형성을 갖는 DMB CMOS 전력증폭기가 제안되어 있다. 이 논문에서는 0.13- μm 표준 CMOS 공정이 적용되어졌고 제안된 전력증폭기의 모든 구성 소자는 출력 정합 회로망과 적응형 바이어스 조절 회로를 포함하여 하나의 칩속에 완전히 집적되어졌다. 효율과 선형성을 동시에 개선시키기 위하여 적응형 바이어스 조절 회로가 드레인 노드에 위치한 2차 고조파 종단 회로와 함께 적용되어졌다. 전력증폭기는 각각 16.64 dBm의 P_{1dB} , 38.31 %의 효율 (PAE), 그리고 24.64 dB의 출력 이득을 보였다. 3차 혼변조왜곡 (IMD3)과 5차 혼변조왜곡 (IMD5)은 각각 -24.122 dBc, -37.156 dBc 이다.

Abstract

A DMB CMOS power amplifier (PA) with high efficiency and linearity is present. For this work, a 0.13- μm standard CMOS process is employed and all components of the proposed PA are fully integrated into one chip including output matching network and adaptive bias control circuit. To improve the efficiency and linearity simultaneously, an adaptive bias control circuit is adopted along with second harmonic termination circuit at the drain node. The PA is shown a P_{1dB} of 16.64 dBm, power added efficiency (PAE) of 38.31 %, and power gain of 24.64 dB, respectively. The third-order intermodulation (IMD3) and the fifth-order intermodulation (IMD5) have been -24.122 dBc and -37.156 dBc, respectively.

Keywords : Adaptive bias, harmonic termination, power added efficiency (PAE), CMOS PA, DMB

I. 서 론

대부분의 무선 통신 시스템에서, RF 전력증폭기는 특히 순수한 CMOS 공정에서, 무선 트랜스미터의 완전한 집적화에 남아 있는 문제들 중의 하나이다. RF 전력증폭기는 대부분의 공급 전류를 소모하는 구성 소자이고 무선 통신 시스템에서 고출력의 RF 신호를 다룰 수

있어야 한다. 그러므로 전력증폭기의 효율과 선형성은 배터리의 지속가능한 시간과 전송되는 신호의 순수성에 큰 영향을 미친다. 그래서 선형 RF 전력증폭기의 효율 강화는 현대의 무선 통신 시스템에서 필수이다. 현재까지, envelope elimination and restoration (EER), outphasing 증폭기, 그리고 Doherty 전력증폭기와 같은 많은 기술들이 전력증폭기 설계에서 효율 강화를 위하여 개발되어져 왔다^{1), 2)}.

전력 NMOS의 게이트 바이어스를 최적화시키는 것과 관련하여 최대 출력 전력에서 출력 전력과 전력 효율을 최대화되게 결정되어지곤 했다. 그러나 통계적인 관점에서, 매우 자주 사용되어지는 전력증폭기의 출력 전력은 전력증폭기의 최대 출력 전력보다 많이 작다.

* 학생회원, ** 정회원, 숭실대학교 정보통신전자공학부 (Information and Telecommunication Engineering, Soongsil University)

※ 이 연구는 2006학년도 숭실대학교 대학 연구비의 지원으로 연구되었음.

접수일자: 2006년12월10일, 수정완료일: 2007년1월15일

특히 DMB 응용에서 OFDM 신호가 매우 높은 peak to average ratio (PAR)을 갖기 때문에, 전력증폭기는 최대 전력으로부터 back-off 방식으로 동작되어야 한다고 잘 알려져 있다^[2]. 이러한 요구 사항들은 고효율 (PAE)을 얻는 것을 방해하고 배터리의 지속가능한 시간을 줄인다.

과도한 DC 전류가 저전력 영역에서 낭비되어지고 결국 효율 (PAE)은 좋지 않게 된다^[2]. 최근에 몇몇 연구들이 보고되어지는데, 그것들은 전력증폭기의 저전력 모드에서의 효율을 개선시키기 위하여 시도되어진다. 그러나 Doherty 전력증폭기와 평행 증폭 구조의 경우에서, 그것들은 CMOS 공정에서 집적화되어 질 수 없는 $\lambda/4$ 의 긴 선로를 필요로 한다^[3, 4].

본 논문에서, 우리는 완전히 집적화된 적응형 바이어스 조절 회로를 설계하였는데, 부하 저항은 고정되어져 있고 공급 전압은 증가하는 구동 전압에 비례하여 증가되어진다. 이 경우, 최대 효율은 유지되고, 출력 전력은 입력 구동 전력에 따라 선형적으로 증가한다. 이러한 과정은 전압이 knee 영역에 도달하는 지점에서부터 RF 진폭이 항복 상태에 도달하는 지점까지 지속되어 질 수 있다. 이 방법을 통하여 최대 효율은 넓은 선형 전력 범위에서 유지되어 질 수 있다^[5].

II. 본 론

1. 적응형 바이어스 조절 회로

적응형 바이어스 조절 회로의 동작 원리는 그림 1에 나와 있다. 지향성 커플러는 입력 신호의 표본을 얻고 표본을 포락선 검파기에 인가한다. 예를 들면, 검파된 신호는 공급원으로부터 흐르는 고정된 바이어스 전류를 변화시키기 위하여 FET의 게이트 바이어스를 변화시키는데 사용되어진다. 이 과정의 결과는 전력증폭기가 선형 영역에서 동작하기 위하여 충분한 바이어스 전류를 항상 가지고 있고, 그러므로 저전력 모드에서 과도한 공급 전류를 흘려 보내지 않고 상대적으로 낮은 상태의 왜곡을 유지한다는 것을 확인하게 한다^[6].

제안된 적응형 바이어스 조절 회로는 그림 2에 나와 있다. 이 회로는 NMOS 트랜지스터의 R_{ds} 의 비선형성을 이용한 NMOS 전력 검파기와 캐스코드 구조를 이용한 NMOS 바이어스 조절 회로로 구성되어져 있다. M_1 과 M_2 트랜지스터는 RF 입력 신호가 전력 검파기로 들어가기 전에 게이트 바이어스 크기를 적절하게 키우기 위하여 설계되어지고, 포화 상태로 동작된다. 전력

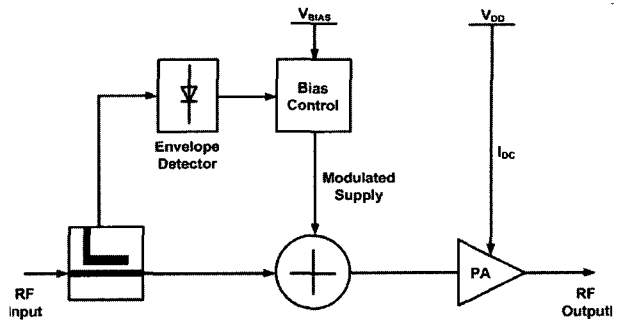


그림 1. RF 전력증폭기에 적용되어지는 적응형 바이어스
Fig. 1. Adaptive bias applied to an RF PA.

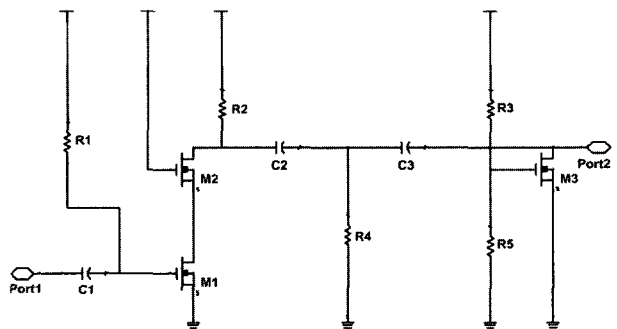


그림 2. 제안된 적응형 바이어스 조절회로의 회로 개념도
Fig. 2. Circuit schematic of proposed adaptive bias control circuit.

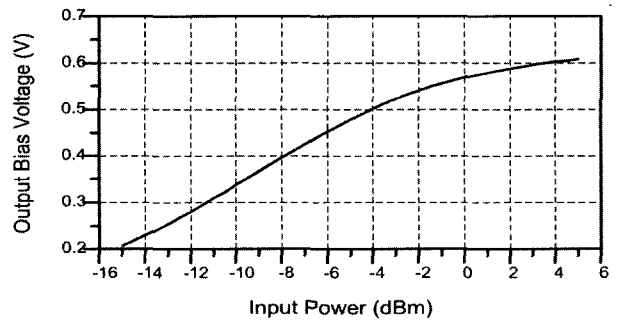


그림 3. 전력증폭기의 입력 전력에 따른 게이트 조절 전압의 시뮬레이션 결과
Fig. 3. Simulated gate control voltage according to the PA input power.

검파기와 관련하여, 그림 2에서 NMOS M_3 는 키워진 RF 입력 신호에 따라서 DC 전압으로 변화시키기 위하여 정류 다이오드로 동작한다. 적응형 바이어스 조절 회로는 바이어스 회로가 차지하는 영역을 최소화하기 위하여 큰 크기를 갖는 어떠한 나선형의 인덕터없이 오직 집적된 저항과 캐패시터로만 구성되어져 있다.

바이어스 회로의 저항 값은 최대 효율을 위하여 조절 바이어스에 최적화되어져야 한다. 그림 3은 RF 입력 전력이 증가함에 따라 발생되어진 게이트 바이어스 전압 변화를 보여준다.

2. 2차 고조파 중단 회로

만약에 능동 전력 소자의 이득이 모든 게이트 바이어스 전압의 모든 크기에서 같게 유지되어지지 않는다면, 큰 AM-AM 왜곡이 발생될 것이고, 그러므로 적응형 바이어스 조절 회로의 동작은 일반적인 전력증폭기와 비교하여 전력증폭기의 선형성이 상당히 저하될 것이다^[6].

높은 선형성과 효율을 동시에 갖는 선형 전력증폭기를 설계하는데 있어서, 2차 고조파 성분을 잘 조절하여 제거한 적응형 바이어스 조절 회로를 갖는 전력증폭기는 이러한 문제를 해결하기 위한 좋은 선택이다.

이 회로는 전력 단의 드레인 노드에 대역 저지 여과기 구조를 이용하여 2차 고조파를 효과적으로 중단시킬 수 있다. 집적화된 MIM 캐패시터와 나선형의 인덕터는 $2f_0$ 에서 공진을 일으킬 것이고 공진 주파수는 캐패시터와 인덕터의 크기를 조절하는 것을 통하여 바꿀 수 있다. 추가적으로, 이 공진 회로를 드레인의 중간에 위치시키고 드레인 정합 회로로부터 평행하게 위치시킴으로써 정합된 상태가 공진 회로에 의해 다시 틀어지는 효과를 효과적으로 억제시킬 수 있다.

3. 제안된 전력증폭기 설계

본 논문에서 전력증폭기는 전체 회로 크기를 줄이기 위하여 3단으로부터 얻을 수 있는 이득을 2단으로부터 얻을 수 있도록 설계하였다. 구동 단과 전력 단 모두에서 캐스코드 구조가 사용되었다. 제안된 전력증폭기는 그림 4에 나와 있다. 약한 class-AB 동작은 높은 선형성과 이득을 얻기 위하여 구동 단에 적용되어 졌다. 깊은 class-AB 동작은 높은 PAE를 얻기 위하여 전력 단에 적용되었다.

이 공정의 0.13- μm NMOS는 게이트-옥사이드와 드레인-소스의 항복 전압이 상대적으로 낮기 때문에, 최대 전압 진폭과 바이어스 전압은 제안되어 있다. M_2 와 M_4 트랜지스터는 공통 소스 (CS)로 동작되어지고 M_1 과 M_3 트랜지스터는 공통 게이트 (CG)로 동작되어진다. 캐스코드 구조는 전력증폭기 설계에서 높은 전압 동작을 위하여 널리 사용되어 진다. 하지만 이 구조는 상단 소자에 게이트-옥사이드 항복의 문제와 하단 소자의 드레인 전압 진폭을 제한하는 문제를 갖고 있다^[8]. 즉, 구동 단에서, 트랜지스터 M_1 의 드레인 DC 전압이 이 값 주위로 발생하는 RF 전압 진폭과 함께 공급 전압과 같다. 최대 출력 전력에서 트랜지스터 M_1 의 드레인 전압은 영 근처에서부터 V_{dd} 의 2배의 크기까지 진폭

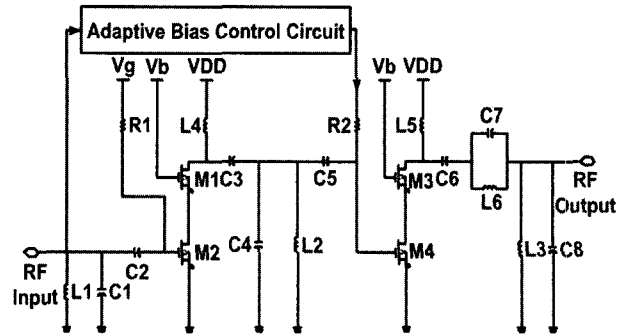


그림 4. 수행된 적응형 바이어스 조절 전력증폭기의 간략화된 개념도

Fig. 4. Simplified schematic of the implemented adaptive bias control PA.

한다. 캐스코드 구조에서 트랜지스터 M_2 는 트랜지스터 M_1 의 드레인 전압이 트랜지스터 M_1 의 게이트-소스 전압과 같은 크기에 의해 트랜지스터 M_1 의 게이트 전압 V_b 보다 항상 작기 때문에 이 보다 더 작은 드레인-게이트 전압 진폭을 갖는다^[7]. 이 결과, 전력증폭기는 나쁜 PAE를 갖는다. 본 논문에서, 전력 단은 RF 전력 이득을 희생하더라도 높은 전압 동작을 위하여 0.28- μm NMOS가 적용되어 졌다.

입력, 출력, 양 단간 정합 회로망은 DC 차단 MIM 캐패시터와 캐패시터와 인덕터로 구성된 대역 통과 여과기 구조로 설계되어 졌다. 정합 회로망의 모든 구성 소자는 하나의 칩으로 완전히 집적화되어 졌다.

안정성과 관련하여, 적응형 바이어스 조절 회로가 없는 전력증폭기는 조건적으로 안정하고, 그러므로 게이트와 드레인 사이의 병렬 계환과 같은 추가적인 안정화 회로가 있어야 한다. 그러므로 제안된 바이어스 조절 회로가 있는 전력증폭기는 전 대역에서 무조건적으로 안정하기 때문에 추가적인 안정화 회로가 필요없다^[2].

그림 4에서 보듯이, 적응형 바이어스 조절 회로는 전력 단에서 하단 소자 (M_4)의 게이트에 놓여진다. 2차 고조파 중단 회로는 출력 정합 회로망에 설계되어 진다.

III. 설계 결과

이 부분에서는 적응형 바이어스 조절 회로와 2차 고조파 중단 회로를 이용한 DMB CMOS 전력증폭기 설계 결과를 설명하고 있다. 이 회로의 공급 전압은 2.5 V이다. 0.13- μm 표준 CMOS 공정이 적용되어 졌고 제안된 전력증폭기의 모든 구성 소자는 출력 정합 회로망과 적응형 바이어스 조절 회로를 포함하여 하나의 칩으로 완전히 집적화되었다.

제안된 전력증폭기를 일반적인 전력증폭기와 비교하기 위하여, 적응형 바이어스 조절 회로가 없는 같은 전력증폭기가 같은 공정을 통하여 설계되어 졌다.

그림 5에서 두 전력증폭기의 설계 결과가 전력증폭기의 PAE측면에서 나와 있다. 적응형 바이어스 조절 회로가 있는 전력증폭기의 PAE는 P_{1dB} 에서 38.31 %이다. 적응형 바이어스 조절 회로가 없는 전력증폭기와 비교했을 때 저전력 모드 ($P_{out} = 9 \text{ dBm}$)에서 PAE는 17.68 %에서 22.2 %로 개선되어 졌고, 반면에 고전력 모드 ($P_{out} = 16.64 \text{ dBm}$)에서 PAE는 37.2 %에서 38.31 %로 개선되어 졌다. 고전력 모드에서 PAE의 작은 개

선은 적응형 바이어스 조절 회로가 입력 전력이 감소되어지면서 게이트 바이어스 전압을 적절하게 감소시키기 위하여 동작된다는 사실을 통하여 설명되어 질 수 있다. 그러나 통계적으로 적응형 바이어스 조절 회로는 전력증폭기의 PAE 강화에 큰 영향을 줄 수 있다.

그림 6은 출력 전력측면에서 두 전력증폭기의 설계 결과를 보여준다. 적응형 바이어스 조절 회로가 있는 전력증폭기의 출력 전력은 P_{1dB} 에서 16.638 dBm이다. 이 결과는 RF 입력 전력의 일부가 적응형 바이어스 조절 회로로 인가되어지기 때문에 적응형 바이어스 조절 회로가 있는 전력증폭기의 출력 전력이 적응형 바이어

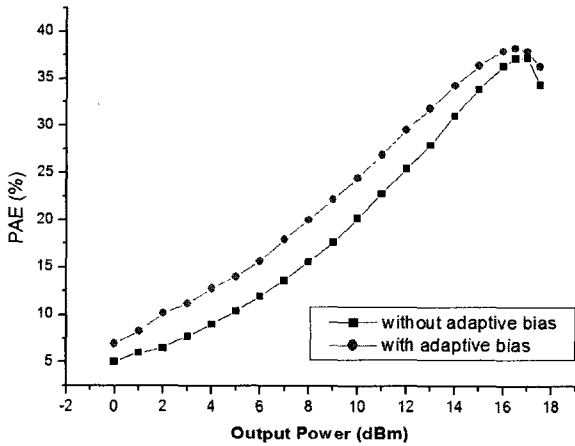


그림 5. 출력 전력에 대한 각각의 전력증폭기의 시뮬레이션 PAE

Fig. 5. Simulated Power Added Efficiency (PAE) of each power amplifier vs. output power.

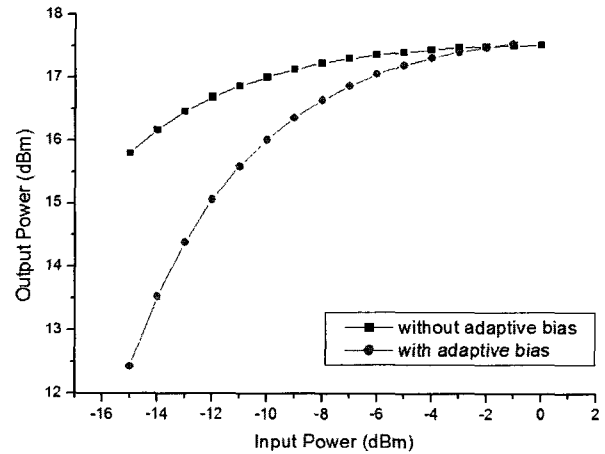


그림 6. 입력 전력에 대한 각각의 전력증폭기의 시뮬레이션 출력 전력

Fig. 6. Simulated output power of each power amplifier vs. RF input power.

표 1. 다른 설계 결과들과의 비교

Table 1. Comparisons of design results.

Perf. Ref.	Operation Frequency (GHz)	Stage	Output Power (dBm)	Power Gain (dB)	PAE (%)	IMD3 /IMD5 (dBc)	Supply Voltage (V)	Power Dissipation	Process
[1] 2006	5	2 differential	20.5	NA	25	NA	NA	610 mW	CMOS 90-nm
[2] 2004	5	1	19.2	7.1	21	NA	NA	145 mA	CMOS 0.18-um
[9] 2002	5.2	2	15.4	15.1	27.1	NA	1.8	NA	CMOS 0.18-um
[10] 2005	5.15-5.35 /5.725-5.825	2	22.8	29.8	22.6	30.5 (-15 dBm)/NA	3.3	256 mA	BiCMOS 0.18-um
[11] 2004	5.15-5.35	3 differential	21.8	21	13.1	NA	1.8	639 mA	CMOS 0.18-um
[12] 2005	5/4.6	2 differential	12/14.5	NA	25	NA	NA	480 mA	CMOS 90-nm
This work	5.8	2	16.638	24.64	38.32	-24.12 /-37.16	2.5	48 mA /120 mW	CMOS 0.13-um

표 2. 제안된 전력증폭기의 동작 특성

Table 2. Performance of proposed PA.

Operation Frequency	5.8 GHz
Output Power	16.638 dBm
Power Gain	24.64 dB
PAE	38.31 %
IMD3/IMD5	-24.122/-37.156 dBc
Supply Current	48 mA
Power Dissipation	120 mW

스 조절 회로가 없는 전력증폭기의 출력 전력보다 더 낮다는 사실을 보여준다. 그러나 적응형 바이어스 조절 회로의 전력 소모가 작기 때문에 출력 전력의 손실은 거의 없다.

바이어스가 조절된 전력증폭기와 고정된 바이어스를 갖는 전력증폭기는 9 dBm의 출력 전력에서 각각 36 mW와 45 mW를 소모한다. 적응형 바이어스 조절 회로를 갖는 전력증폭기와 고정된 바이어스를 갖는 일반적인 전력증폭기의 이득은 각각 24.64 dB와 28.28 dB이다. 선형성은 각각 -24.122 dBc의 IMD3와 -37.156 dBc의 IMD5를 보여준다. 이 결과는 2차 고조파 종단 회로가 잘 동작한다는 것을 보여준다. 표 1에서 본 논문의 결과와 다른 5 GHz 대역 CMOS 전력증폭기의 결과를 비교하였다^[1, 2, 9-12]. 본 논문은 현재까지 보고된 5 GHz 대역 CMOS 선형전력증폭기 중에서 P_{1dB} 에서 제일 좋은 PAE를 보여주고 다른 설계 결과들 또한 제일 좋은 특성을 보여준다. 표 2에서 제안된 전력증폭기의 설계 결과를 정리하였다.

IV. 결 론

본 논문에서는 고효율과 고선형성을 갖는 DMB CMOS 전력증폭기를 나타내었다. 회로 설계에서 0.13- μ m 표준 CMOS 공정이 적용되어 졌고 제안된 전력증폭기의 모든 구성 소자가 출력 정합 회로망과 적응형 바이어스 조절 회로를 포함하여 하나의 칩으로 완전히 집적화하였다. 효율과 선형성을 동시에 개선시키기 위하여 적응형 바이어스 조절 회로가 드레인 노드에 위치한 2차 고조파 종단 회로와 함께 적용되어 졌다.

제안된 전력증폭기의 출력 전력, PAE, 전력 이득은 P_{1dB} 에서 각각 16.638 dBm, 38.31 %, 24.64 dB이다. IMD3, IMD5, 전력 소모의 결과는 각각 -24.122 dBc, -37.156 dBc, 120 mW이다.

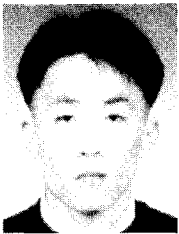
일반적인 형태의 고정된 바이어스 전력증폭기와 비교했을 때, 제안된 전력증폭기의 PAE는 저전력 모드인 9 dBm의 출력 전력에서 17.68 %에서 22.2 %로 개선되어 졌다.

참 고 문 헌

- [1] Yorgos Palaskas, Stewart S. Taylor, Stefano Pellerano, Ian Rippke, Ralph Bishop, Ashoke Ravi, Hasnain Lakdawala, and K. Soumyanath, "A 5-GHz 20-dBm Power Amplifier With Digitally Assisted AM-PM Correction in a 90-nm CMOS Process," IEEE Journal of Solid-State Circuits, vol. 41, Issue 8, pp. 1757-1763, August 2006.
- [2] YunSeong Eo and KwangDu Lee, "High Efficiency 5GHz CMOS Power Amplifier with Adaptive Bias Control Circuit," 2004 IEEE Radio Frequency Integrated Circuits Symposium, Digest of Papers, pp. 575-578, 6-8 June 2004.
- [3] Nuttapong Srirattana, Arvind Raghavan, Deukhyoun Heo, Phillip E. Allen, and Joy Laskar, "Analysis and design of a high efficiency multistage Doherty power amplifier for wireless communications," Microwave Theory and Techniques, IEEE Transactions on vol. 53, Issue 3, Part 1, pp. 852 - 860, March 2005.
- [4] Yongwang Ding, Ramesh Harjani, "A CMOS high efficiency +22 dBm linear power amplifier," Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004, pp. 557 - 560, 3-6 October 2004.
- [5] Steve C. Cripps, RF Power Amplifiers for Wireless Communications, Artech House, 1999.
- [6] Peter B. Kenington, High-Linearity RF Amplifier Design Artech House, 2000.
- [7] Tirdad Sowlati, and Domine M.W. Leenaerts, "A 2.4-GHz 0.18- μ m CMOS self-biased cascode power amplifier," IEEE Journal of Solid-State Circuits, vol. 38, Issue 8, pp. 1318-1324, August 2003.
- [8] Jongchan Kang, Daekyu Yu, Kyoungjoon Min, and Bumman Kim, "A ultra-high PAE Doherty Amplifier Based on 0.13- μ m CMOS Process," IEEE Microwave and Wireless Components Letters, vol. 16, Issue9, pp. 505-507, September 2006.
- [9] Weimin Zhang, Ee-Sze Khoo, Terry Tear, "A Low Voltage Fully-Integrated 0.18 μ m CMOS Power Amplifier for 5 GHz WLAN," Solid-State

- Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European, pp. 215-218, 24-26 September 2002.
- [10] Yus Ko, William R. Eisenstadt, and James R. Paviol, "Design and Optimization of a 5 GHz CMOS Power Amplifier," Wireless and Microwave Technology, 2005. WAMICON 2005. The 2005 IEEE Annual Conference 2005, pp. 117-120, 2005.
- [11] YunSeong Eo and KwangDu Lee, "A Fully Integrated 24-dBm CMOS Power Amplifier for 802.11a WLAN Applications," IEEE Microwave and Wireless Components Letters, vol. 14, Issue 11, pp. 504-506, November 2004.
- [12] Yorgos Palaskas, Stewart S. Taylor, Stefano Pellerano, Ian Rippke, Ralph Bishop, Ashoke Ravi, Hasnain Lakdawala, and K. Soumyanath, "A 5GHz Class-AB Power Amplifier in 90nm CMOS with Digitally-Assisted AM-PM Correction," IEEE 2005 Custom Integrated Circuits Conference, pp. 813-816, 18-21 September 2005.

 저 자 소 개



최 재 원(학생회원)
 2006년 2월 숭실대학교 정보통신
 전자공학부 (공학사)
 2006년 3월~현재 숭실대학교
 정보통신공학과 석사과정
 <주관심분야 : 초고주파 회로 설
 계, RF Power Amplifier, VCO,
 RFIC, RFID 등>

서 철 현(정회원)

대한전자공학회논문지
 vol. 31, no. 6 참조