

논문 2007-44SD-1-7

선택적 데이터 쓰기 기법을 이용한 저전력 상변환 메모리

(A Low Power Phase-Change Random Access Memory Using A
Selective Data Write Scheme)

양 병 도*

(Byung-Do Yang)

요 약

본 논문에서는 상변환 메모리 (phase-change random access memory: PRAM)의 저전력 선택적 데이터 쓰기(selective data write, SDW) 기법을 제안하였다. PRAM은 쓰기 동작 과정에서 큰 전류를 오랜 시간동안 소모하기 때문에 큰 쓰기 전력을 소모한다. 이 쓰기 전력을 줄이기 위하여, SDW 기법은 쓰기 동작 과정에서 PRAM 셀에 데이터를 쓰기 전에 우선 저장될 셀의 데이터를 읽어온다. 셀의 기존 데이터와 새롭게 저장할 데이터를 비교하여, 입력된 데이터와 저장된 데이터가 다른 경우에만 PRAM 셀에 데이터 쓰기를 수행한다. 제안된 쓰기 기법을 사용하여 전력 소모를 반 이상으로 줄일 수 있다. 1Kbits (128×8bits) PRAM 테스트 칩을 0.5μm GST 셀과 0.8μm CMOS 공정을 사용하여 구현하였다.

Abstract

This paper proposes a low power selective data write (SDW) scheme for a phase-change random access memory (PRAM). The PRAM consumes large write power because large write currents are required during long time. At first, the SDW scheme reads a stored data during write operation. And then, it writes an input data only when the input and stored data are different. Therefore, it can reduce the write power consumption to a half. The 1K-bit PRAM test chip with 128×8bits is implemented with a 0.8μm CMOS technology with a 0.5μm GST cell.

Keywords : VLSI, memory, PRAM, low power, write

I. 서 론

상변환 메모리 (phase-change random access memory: PRAM)는 차세대 메모리들 중 많은 장점을 가지고 있는 매력적인 비휘발성 메모리의 하나이다. PRAM은 random access, 비휘발성, 높은 집적화, 빠른 읽기 시간, 적절히 빠른 쓰기 시간, 반복적인 쓰기에 대한 내구성, CMOS 공정과의 호환성 등과 같은 많은 장점을 가지고 있다^[1]. PRAM은 바이트 단위로 데이터를 기록할 수 있기 때문에, 복잡한 과정과 긴 시간을 필요

로 하는 블록 단위의 데이터 기록을 하는 플래시 메모리 보다 빠르다^[2]. 또한, PRAM의 셀은 한 개의 트랜지스터와 한 개의 저항으로 구성되어 SRAM보다 작고, 비휘발성 메모리로서 DRAM이나 SRAM 같이 대기전력을 소모하지 않는다. 이런 다양한 장점을 가지는 PRAM은 저전력 휴대용 기기에 매우 적합한 메모리 차세대 메모리로 기대되고 있다.

그림 1은 구현된 PRAM 단위 셀의 기본 구조를 보여준다. PRAM 셀은 한 개의 NMOS 트랜지스터와 한 개의 chalcogenide 합금(GST: $G_2Sb_2Te_5$) 저장 요소로 구성된다. NMOS 트랜지스터와 GST는 비트라인(BL)에 연결되어 있어, PRAM 셀이 선택될 때 워드라인(WL)은 NMOS 트랜지스터를 켜서 셀의 GST에 비트라인의 전류가 흐를 수 있도록 한다.

GST는 그림 2와 같이 저장된 데이터에 따라 두 가

* 정회원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Engineering,
Chungbuk National University)
※ 이 논문은 2006학년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.
접수일자: 2006년10월12일, 수정완료일: 2006년12월12일

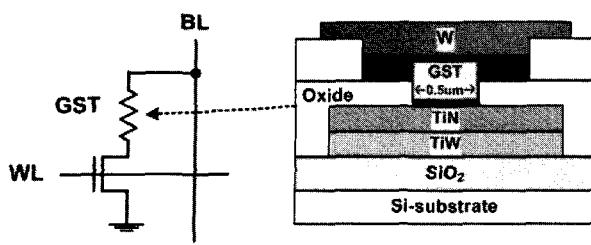


그림 1. PRAM 단위 셀의 기본 구조

Fig. 1. Basic structure of PRAM unit-cell.

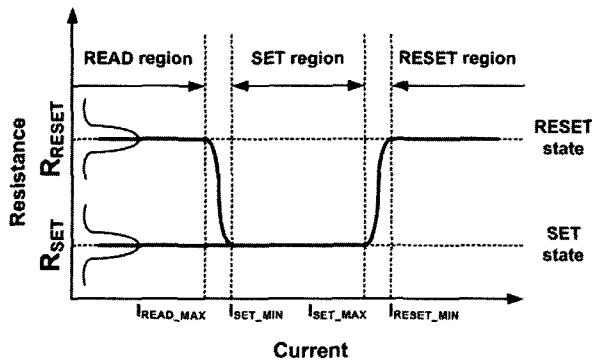


그림 2. 전형적인 GST의 R-I 곡선

Fig. 2. Typical GST R-I curve.

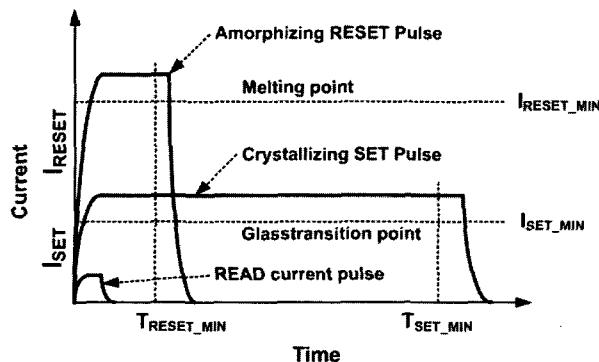


그림 3. read, set, reset 동작동안의 전류 펄스

Fig. 3. Current pulses during read, set, reset operations.

지 저항 값을 가진다. SET 상태일 때 GST는 데이터 값이 '0'인 낮은 저항 상태를 갖고, RESET 상태일 때 GST는 데이터 값이 '1'인 높은 저항 상태를 갖는다. PRAM은 전기적 저항 주울 열을 이용하여 결정질 상태(SET)와 비결정질 상태(RESET)의 상변화를 한다. 그림 3과 같이 SET 시간동안 SET 전류를 GST 흐르게 함으로써 GST를 가열하여 SET 상태로 변화시킨다. 반대로 RESET 시간동안 RESET 전류를 GST 흐르게 함으로써 GST를 가열하여 RESET 상태로 변화시킨다. PRAM은 SET과 RESET 전류가 크고 SET과 RESET 시간이 길기 때문에 쓰기 전력 또한 크다. 본 논문에서

는 PRAM을 쓰기 전력을 감소하기 위하여 선택적 데이터 쓰기(selective data write, SDW) 기법을 사용한 PRAM을 제안하였다.

본 논문의 구성은 다음과 같다. II장에서는 선택적 데이터 쓰기 기법의 개념과 회로를 설명할 것이다. III장에서는 칩 구현과 시뮬레이션 결과를 보여줄 것이다. 마지막으로 IV장에서 결론을 맺을 것이다.

II. 선택적 데이터 쓰기 기법

1. 선택적 데이터 쓰기의 기법의 개념

그림 4(a)는 기존의 쓰기 기법의 순서도이다. 기존의 PRAM은 이전에 저장된 데이터와는 상관없이 선택된 PRAM 셀에 바로 기록한다. 입력된 데이터가 '0'이면 SET 동작은 SET 전력 P_{SET} 을 소모하고, 입력 데이터가 '1'이면 RESET 동작은 RESET 전력 P_{RESET} 을 소모한다. 표 1과 같이 셀 데이터 천이는 네 가지 경우로 나눌 수 있다. ($0 \rightarrow 0$, $0 \rightarrow 1$, $1 \rightarrow 0$, $1 \rightarrow 1$) 네 가지 경우의 확률이 $1/4$ 일 때, 기존의 읽기 방식에서는 $(P_{SET} + P_{RESET})/2$ 의 평균 전력을 소모한다.

그림 4(b)는 제안된 선택적 데이터 쓰기 기법의 순서도이다. SDW 기법은 선택된 PRAM 셀의 이전 상태를 알기 위해 쓰기 동작 전에 읽기 동작을 먼저 수행한다. 입력된 데이터와 PRAM 셀에 저장된 데이터가 같은 경우 쓰기 동작을 수행되지 않고, 입력된 데이터와 PRAM 셀에 저장된 데이터가 같지 않은 경우에만 기존의 쓰기 기법과 같은 방식으로 데이터를 PRAM 셀에

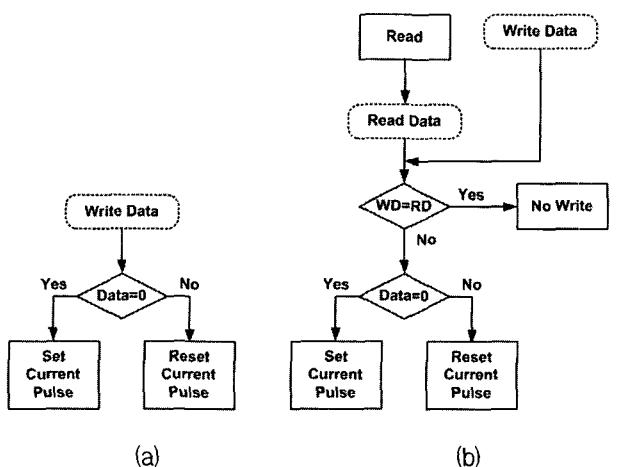


그림 4. (a)기존의 쓰기 기법과 (b)제안된 선택적 데이터 쓰기 기법의 순서도

Fig. 4. Flowchart of (a) Conventional write scheme (b) Proposed selective data write scheme.

표 1. 두 가지 쓰기 기법의 전력 비교

Table 1. Power Comparison of Two Write Schemes.

Cell Data Transition	Conventional Scheme		Proposed Scheme	
	Power	Probability	Power	Probability
0 → 0	P_{SET}	1/4	0	1/4
0 → 1	P_{RESET}	1/4	P_{RESET}	1/4
1 → 0	P_{SET}	1/4	P_{SET}	1/4
1 → 1	P_{RESET}	1/4	0	1/4
Average Power	$(P_{SET} + P_{RESET})/2$		$(P_{SET} + P_{RESET})/4$	

저장한다. 네 가지의 셀 데이터 천이의 확률이 1/4일 때 SDW 기법은 두 가지의 경우(0→0, 1→1)에 쓰기 전력을 소모하지 않는다. 따라서 SDW 기법의 평균 전력은 기존의 쓰기 기법의 절반인 $(P_{SET} + P_{RESET})/4$ 가 된다. 또한, 저장되는 데이터가 변경될 확률이 어플리케이션에 따라 크게 다르기는 하지만 대부분의 경우 같은 셀의 데이터가 변경될 확률은 1/2보다 작다. 이런 경우에 있어서는 전력 소모를 반 이상으로 크게 줄일 수 있다.

2. SDW-PRAM의 회로 구현

그림 5는 선택적 데이터 쓰기 PRAM (selective data write PRAM: SDW-PRAM)의 블록 다이어그램이다. 입력 어드레스는 한 개의 워드라인과 8개의 비트라인을 선택하여 동시에 8개 셀에 읽기 쓰기 동작을 수행한다. 펄스 생성기는 3개의 외부 신호 (Read, Write, Clock)을 이용하여 3개의 타이밍 펄스 신호 (READ_pulse, SET_pulse, RESET_pulse)를 만든다. 읽기 회로와 쓰기 드라이버는 3개의 타이밍 펄스 신호와 쓰기 데이터를 가지고 읽기와 쓰기 동작을 수행한다.

그림 6은 데이터를 쓰기위한 단순화된 SDW 회로이다. 하나의 PRAM 셀은 활성화된 워드라인(WL)에 의해 선택되고, 하나의 비트라인(BL)은 MUX에 의해 읽기 쓰기 회로에 연결된다. 읽기 회로는 저장된 데이터에 따라 GST 저항 값으로부터 저장된 값을 읽어낸다. 쓰기 회로는 GST 저항을 변경하기 위해 SET과 RESET 전류 펄스를 공급한다.

PRAM은 데이터를 쓰기 위하여 두 가지 공급 전원 V_{CC} 와 V_{DD} 를 사용한다. 높은 전압의 V_{CC} 는 큰 SET과 RESET 전류를 GST 셀에 공급하기 위해 사용된다. 낮은 전압의 V_{DD} 는 쓰기 전류 만드는 회로를 제외한 대부분의 회로에 사용된다.

그림 7과 8은 기존의 쓰기 동작과 제안된 쓰기 동작의 파형을 각각 보여준다. 기존의 쓰기 방식에서 쓰려

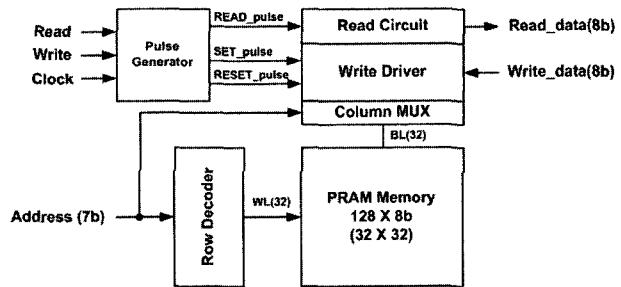


그림 5. SDW-PRAM의 간략화된 블록 다이어그램
Fig. 5. Simplified block diagram of the SDW-PRAM.

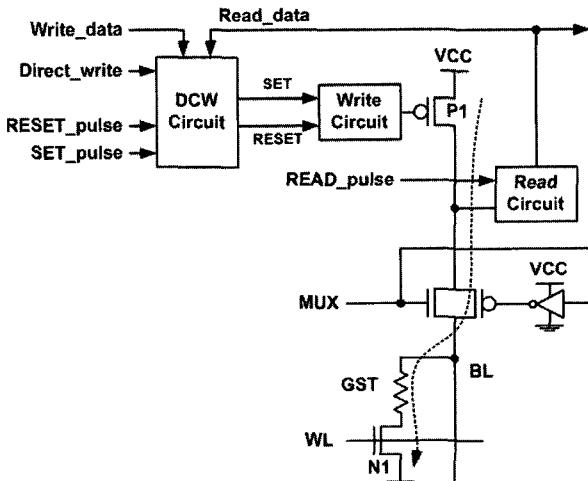


그림 6. 간략화된 SDW 회로
Fig. 6. Simplified SDW circuit.

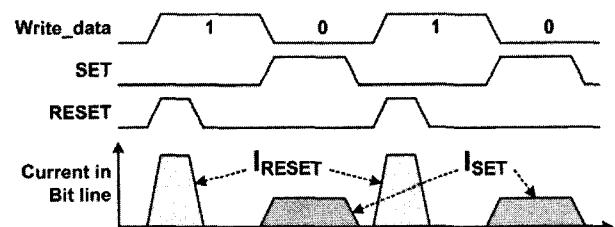


그림 7. 기존의 쓰기 동작의 파형
Fig. 7. Waveforms of the conventional write operation.

는 데이터가 '0'이면 긴 SET 전류 펄스가 선택된 PRAM 셀에 공급된다. 쓰려는 데이터가 '1'이면 짧은 SET 전류 펄스가 PRAM 셀에 공급된다. 기존의 쓰기 기법은 셀 데이터의 변화와는 상관없이 쓰기 전력을 소모한다. 그러나 SDW 기법에서는 셀에 데이터를 쓰기 전에 읽기 펄스를 발생시켜 읽기 회로에서 선택된 셀의 데이터를 읽어낸다. 그림 5의 SDW 회로는 그림 8처럼 쓰고자하는 데이터와 읽은 데이터가 다른 경우에만 쓰기 회로를 위한 SET 신호 혹은 RESET 신호를 생성한다. SDW 기법은 쓰기 동작 동안 추가적으로 읽기 동작이 필요하지만 읽기 시간과 전력은 쓰기 시간과 전력보

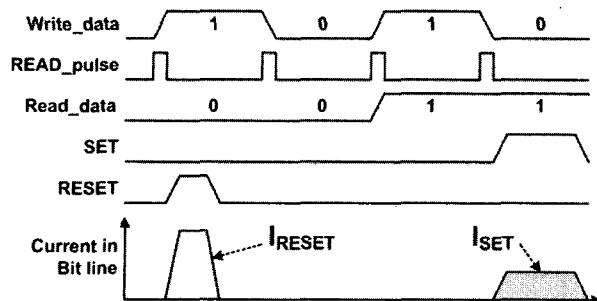


그림 8. 제안된 쓰기 동작의 파형

Fig. 8. Waveforms of the proposed write operation.

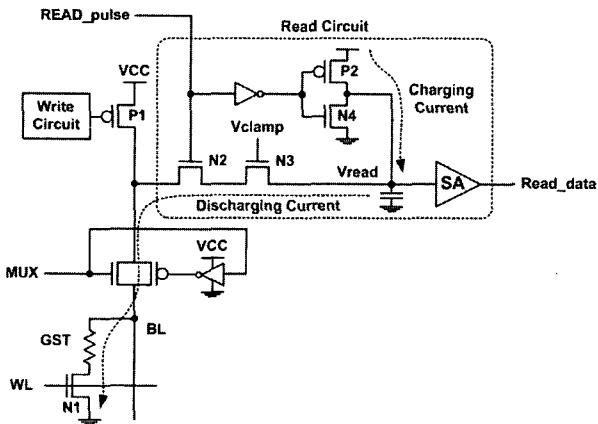


그림 9. SDW-PRAM의 읽기 회로

Fig. 9. Read circuit of the SDW-PRAM

다 훨씬 작다. 따라서 SDW 기법의 쓰기 전력은 기존의 쓰기 기법에서의 쓰기 전력의 반 정도에 불과하다.

그림 9는 SDW-PRAM의 읽기 회로이다. 읽기 동작 동안, P2 트랜지스터는 선택된 비트라인에 작은 읽기 전류를 공급한다. 원치 않는 쓰기를 방지하기 위해서는 비트라인의 전압이 GST 셀의 문턱전압 값 보다 충분히 작아야한다. Vclamp 전압과 N3 트랜지스터를 사용하여 비트라인의 전압이 제한하였다. GST가 높은 저항 값을 가지는 경우 감지증폭기의 입력 전압 Vread는 V_{DD} 로 올라가고, GST가 낮은 저항 값을 가지는 경우 Vread는 접지전압으로 떨어지게 된다.

그림 10은 SDW-PRAM의 SDW 회로이다. 이 회로는 Read_data와 write_data를 비교하여, 셀에 있는 데이터가 변경되었거나 direct_write 신호가 '1'일 때, SDW 회로는 SET이나 RESET 신호를 생성한다. direct_write 신호는 기존의 셀 데이터와 입력 데이터를 비교하지 않고 입력 데이터를 바로 쓰라는 신호이다. direct_write 신호는 chip 제작 후에 초기화 되어 있지 않은 GST 셀을 초기화하기 위해서 필요하다. 쓰기 데이터가 '0'이면 SET 신호가 SET_pulse에 의하여 만들어지고 생성되

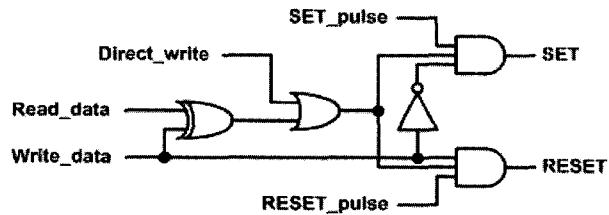


그림 10. SDW-PRAM의 SDW 회로

Fig. 10. SDW circuit of the SDW-PRAM

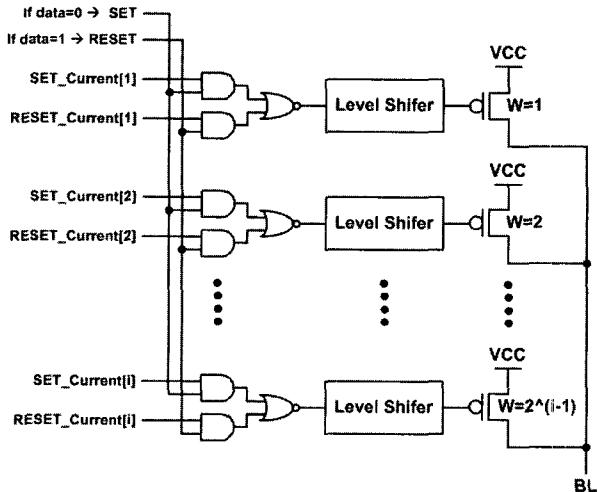


그림 11. SDW-PRAM의 디지털로 제어되는 쓰기 회로

Fig. 11. Digital controlled write circuit of the SDW-PRAM.

고, 쓰기 데이터가 '1'이면 RESET 신호가 RESET_pulse에 의하여 만들어진다.

그림 11은 디지털로 제어되는 SDW-PRAM의 쓰기 회로이다. 이 회로의 다양한 크기의 구동 트랜지스터를 사용하여 SET과 RESET 전류를 정확하게 공급할 수 있다. 구동 트랜지스터 크기는 SET_current 와 RESET_current 값은 디지털로 제어된다. 트랜지스터의 폭은 기준 크기의 1배 부터 $2^{(i-1)}$ 배까지 다양하게 구비되어 사용된다. SET과 RESET 전류를 위한 전체 트랜지스터의 폭은 i-transistors 의 조합에 의해 쉽게 선택된다. V_{CC} 전압을 사용하는 각각의 구동 트랜지스터들을 V_{DD} 전압의 신호들로 제어하기 위해서는 각 구동 트랜지스터마다 $V_{DD}-V_{CC}$ 전압변환기 (level shifter)가 사용되었다.

쓰기 회로는 그림 12와 같이 단순한 Current mirror에 의해 구현될 수 있지만 전류 구동 트랜지스터 크기는 디지털로 구현되는 쓰기 회로보다 훨씬 더 커야만 한다. 디지털로 제어되는 쓰기 회로내의 전류 구동 트랜지스터의 게이트와 소스(V_{GS}) 사이의 전압은 V_{CC} 이지만 전류 미러 쓰기 회로내의 그 트랜지스터의 V_{GS} 의

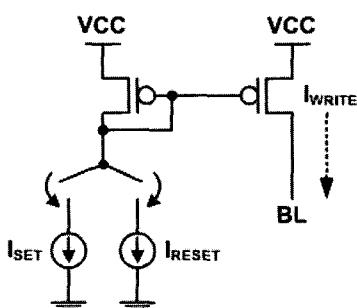


그림 12. SDW-PRAM의 Current mirror 쓰기 회로

Fig. 12. Current mirror write circuit of the SDW-PRAM.

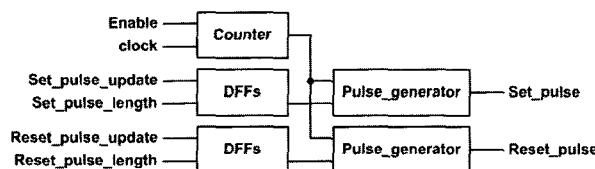


그림 13. SDW-PRAM의 팔스 생성기

Fig. 13. Pulse generator of the SDW-PRAM.

PMOS 트랜지스터의 V_{TH} 에 가깝고 이것은 V_{CC} 보다 훨씬 낮은 값이다. 디지털로 제어되는 쓰기 회로 내에서는 같은 SET과 RESET 전류를 위해 훨씬 작은 트랜지스터도 충분하다.

그림 13은 SDW-PRAM의 팔스 생성기를 보여준다. set_pulse와 reset_pulse의 팔스 길이는 디지털로 제어된다. 두 개의 디지털 설정 값(set_pulse_length and reset_pulse_length)은 두 개의 팔스 길이 업데이트 신호에 의해 업데이트 된다. 두 개의 팔스 길이는 긴 팔스 길이와 세밀한 팔스 길이의 합에 의해 생성된다. 긴 팔스 길이는 클럭 수를 계수하여 만들고, 세밀한 팔스의 길이는 자연 회로를 사용하여 만든다.

III. 칩 구현 및 실험 결과

128×8bits인 1K-bit PRAM 테스트 칩을 $0.5\mu m$ GST 셀과 $0.8\mu m$ CMOS 공정을 사용하여 구현하였다. 그림 14는 제작된 칩의 레이아웃이다. 테스트 칩의 코어 면적은 $2.11mm^2$ 이다. 테스트 칩의 특성들은 표 2에 정리하였다. PRAM 칩은 로직 회로를 위한 전원 $V_{DD}=5V$ 와 SET과 RESET 전류를 생성하기 위한 전원 $V_{CC}=14V$ 두 개의 전원공급을 사용하였다.

그림 15는 시뮬레이션 파형을 보여준다. 10ns의 읽기 팔스 이후에, 쓰기 데이터가 읽은 데이터가 다르면 $1\mu s$ 동안 $4.5mA$ SET 전류 또는 $50ns$ 동안 $16mA$ RESET 전류를 GST 셀 안으로 공급한다. 칩 제작에 사용한 전

표 2. SDW-PRAM 칩의 특징

Table 2. Features of the SDW-PRAM chip.

Technology	$0.8\mu m$ CMOS process with $0.5\mu m$ GST cell and 2 metals
organization	128×8 bits
supply voltage	$V_{DD} = 5V$ $V_{CC} = 14V$
Read Time	10 ns
Write Time	SET = 1000 ns @ 4.5mA RESET = 50 ns @ 16mA
chip core area	$2.11 mm^2$ (2.03mm × 1.04mm)
	READ = 74pJ
Energy / bit	SET = 64nJ RESET = 12nJ

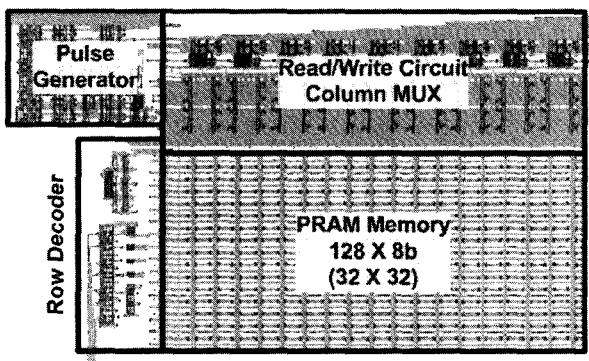


그림 14. SDW-PRAM 칩의 레이아웃

Fig. 14. Layout of the SDW-PRAM chip.

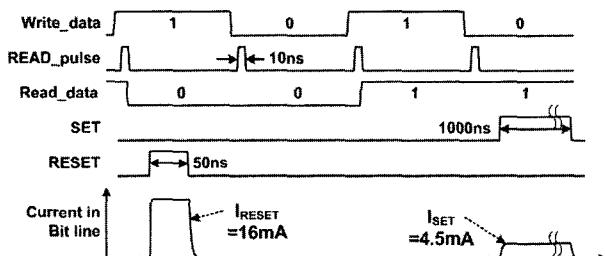


그림 15. SDW-PRAM의 시뮬레이션 파형

Fig. 15. Simulated waveforms of the SDW-PRAM.

류 팔스 값들은 그림 16에 있는 GST 셀의 전기적 특성으로부터 얻은 값들이다. 안정적인 쓰기 동작을 위해서 측정된 PRAM 셀의 전기적 특성보다 약간 더 큰 SET과 RESET 전류 팔스 값을 사용하였다.

읽기 시간은 10ns이고 읽기 에너지는 74pJ/bit에 불과한 반면에, 쓰기 시간은 약 $1\mu s$ 이고 SET과 RESET 에너지는 각각 $64nJ/bit$ 과 $12nJ/bit$ 이었다. SDW 기법은 추가적인 읽기 동작으로 인하여 1% 정도의 쓰기 시간이 증가하지만, 쓰기 전력은 반이상 줄어든다.

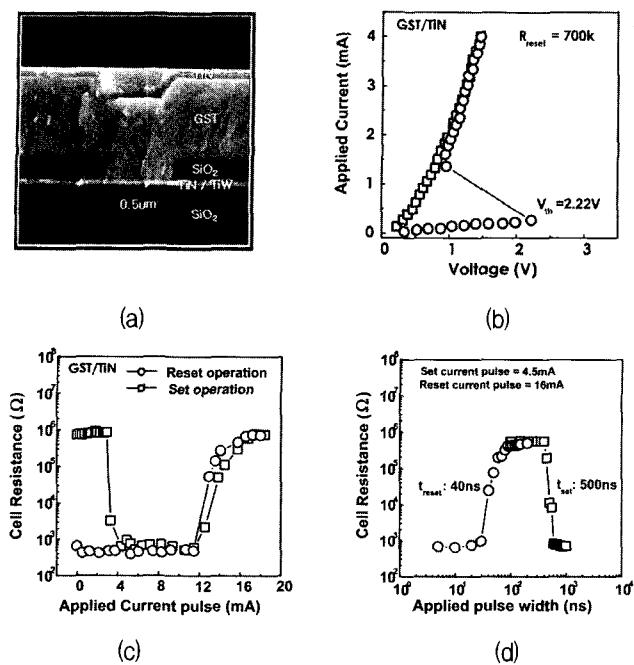


그림 16. GST 셀의 전기적 특성

Fig. 16. Electrical characteristics of the GST cell.

IV. 결 론

본 논문에서는 선택적 데이터 쓰기(SDW)기법을 사용함으로써 큰 쓰기 전력을 감소시킨 저전력 PRAM이 제안하였다. 쓰기 동작 전에 읽기 동작을 수행하여 저장될 셀에 저장되어 있는 데이터를 먼저 읽어온 후, 입력된 데이터와 저장되어 있는 데이터가 다른 경우에만 쓰기 동작을 수행함으로써, 쓰기 전력 소모를 반 이상 줄일 수 있었다. 128×8bits인 1K-bit PRAM 테스트 칩이 0.5μm GST셀과 0.8μm CMOS 공정으로 구현되었다.

감사의 글

칩 제작에 도움을 주신 한국전자통신연구원 유병곤 박사님과 이승윤 박사님께 감사드립니다.

참 고 문 헌

- [1] Hyung-rok Oh, et al., "Enhanced Write Performance of a 64-Mb Phase-Change Random Access Memory," *IEEE J. Solid-State Circuits*, Vol. 41, No. 1, pp. 122-126, Jan. 2006.
- [2] Woo Yeong Cho, et al., "A 0.18-μm 3.0-V 64-Mb Nonvolatile Phase-Transition Random Access Memory (PRAM)," *IEEE J. Solid-State*

- Circuits*, Vol. 40, No. 1, pp. 293-300, Jan. 2005.
[3] Y. N. Hwang, et al, "Full integration and reliability evaluation of phase-change RAM based on 0.24μm-CMOS technologies," *Symp. VLSI Technology Dig.*, pp. 173-174, June 2003.

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산
학과 전기및전자공학전공
학사 졸업2001년 한국과학기술원 전자전산
학과 전기및전자공학전공
석사 졸업2005년 한국과학기술원 전자전산학과 전기및전자
공학전공 박사 졸업2005년~2006년 삼성전자 반도체사업부
책임연구원2006년~현재 충북대학교 전기전자컴퓨터공학부
전자공학전공 전임강사<주관심분야 : 메모리 설계, 디지털 IC 설계, 아
날로그 IC 설계>