

논문 2007-44SD-2-15

Redundant 다치논리 (Multi-Valued Logic)를 이용한 9 Gb/s CMOS 디멀티플렉서 설계

(Design of a 9 Gb/s CMOS Demultiplexer Using Redundant
Multi-Valued logic)

안 선 홍*, 김 정 범**

(Sun Hong Ahn and Jeong Beom Kim)

요 약

본 논문은 redundant 다치논리 (redundant multi-valued logic, RMVL)을 이용하여 디멀티플렉서 (demultiplexer)를 설계하였다. 설계한 회로는 RMVL을 이용하여 직렬 이진 데이터를 입력받아 병렬 다치 데이터로 변환하고 다시 병렬 이진 데이터로 변환한다. RMVL은 redundant 다치 데이터 (multi-valued data) 변환으로써 기존 방식 보다 더 높은 동작속도를 얻을 수 있도록 한다. 구현한 디멀티플렉서는 8개의 적분기로 구성되어 있다. 각 적분기는 누적기, 비교기, 디코더, D 플립플롭으로 구성된다. 0.35 μ m 표준 CMOS 공정으로 구현하였으며 포스트 레이아웃 시뮬레이션 (post-layout simulation)을 통해 검증하였다. 본 논문의 디멀티플렉서의 최대 데이터 전송률은 9.09 Gb/s이고 평균 전력소모는 69.93 mW이다. 높은 동작 주파수를 가지는 초 미세 공정에서 이 디멀티플렉서를 구현한다면 9.09 Gb/s보다 더 높은 속도에서 동작할 수 있을 것이다.

Abstract

This paper describes a 9.09 Gb/s CMOS demultiplexer using redundant multi-valued logic (RMVL). The proposed circuit receives serial binary data and is converted to parallel redundant multi-valued data using RMVL. The converted data are reconverted to parallel binary data. By the redundant multi-valued data conversion, the RMVL makes it possible to achieve higher operating speeds than that of a conventional binary logic. The implemented demultiplexer consists of eight integrators. Each integrator is composed of an accumulator, a window comparator, a decoder and a D flip flop. The demultiplexer is designed with Samsung 0.35 μ m standard CMOS process. The validity and effectiveness are verified through the post layout simulation. The demultiplexer is achieved the maximum data rate of 9.09 Gb/s and the average power consumption of 69.93 mW. This circuit is expected to operate at higher speed than 9.09 Gb/s in the deep-submicron process of the high operating frequency.

Keywords : redundant 다치논리, 다치논리회로, 디멀티플렉서

I. 서 론

광대역 통신의 수요가 증가함에 따라 고속, 저가격의 통신 시스템들이 필요하게 되었다. 이런 시스템들에서 직렬 데이터를 병렬 데이터로 변환하는 디멀티플렉서

(demultiplexer)는 핵심 구성 요소이다. 최근 MOSFET의 소형화로 인해 10 Gb/s 클럭 데이터 복원 회로^[1], 6 Gb/s 디멀티플렉서^[2]와 같은 수 Gb/s의 시스템들이 저전력이면서 저 가격인 CMOS로 구현되어 왔다. 그러나 이 시스템들의 단점은 최대 데이터 전송 속도가 토글 주파수에 의해 제한을 받는다는 것이다. 토글 주파수의 영향을 극복하기 위해서 MOS 전류모드 (MOS current-mode logic)^[3]가 제안되었다. 이 회로는 기존의 CMOS 회로보다 1.5배 정도 더 빠른 데이터 전송 속도를 갖지만, 역시 토글 주파수의 영향을 받게 되어 일정

정회원, ** 평생회원, 강원대학교 전기전자공학부
(Department of Electronics Engineering, Kangwon National University)

※ 본 연구는 강원대학교 정보통신연구소의 지원과 IDEC의 CAD S/W는 지원으로 수행되었음.

접수일자: 2006년8월16일, 수정완료일:2007년1월24일

속도 이상에서는 정확한 동작을 할 수 없다. 따라서 더 빠른 동작을 위해서 새로운 구조가 요구되었다^[4].

기존의 디멀티플렉서는 트리 구조가 고속동작에 용이하므로 이 구조를 적용해 왔다^[5]. 1:4 이상의 디멀티플렉서는 1:2 디멀티플렉서를 계층적으로 구성하여 트리 형태로 설계할 수 있다. 1:2 디멀티플렉서는 마스터-슬레이브-마스터 플립플롭과 마스터-슬레이브 플립플롭으로 구성되어 있고 플립플롭간의 위상차가 180도가 된다. 따라서 1:2 디멀티플렉서는 상승에지와 하강에지 모두에서 데이터를 받아들일 수 있다. 따라서 최대 데이터 전송률은 공정상에서의 최대 동작 주파수의 2배가 된다. 0.35 μ m 표준 CMOS 공정에서 전압제어발진기 (VCO)의 최대 데이터율은 1.5 Gb/s이므로 이진 트리 구조 디멀티플렉서 데이터율은 3 Gb/s가 되고 MCML을 사용하면 4.5 Gb/s가 된다^[6]. 이 속도를 극복하기 위해서는 새로운 기술이 요구된다. 오버샘플링 (oversampling) 방식^{[7],[8]}은 디멀티플렉서가 트리 구조 방식보다 고속 동작을 할 수 있도록 한다. 오버샘플링 방식에 의한 디멀티플렉서는 이진 샘플-홀드 (sample and hold) 회로들로 구성되어 있는데 이 회로들은 동일한 입력 데이터를 받고 입력 데이터 전송 속도의 1/8에 해당하는 클럭 주파수를 사용한다. 샘플 앤 홀드 회로들의 클럭 주파수들은 입력 데이터 1 비트만큼의 위상차를 가진다. 이진 직렬 입력 데이터는 각 클럭의 하강에지에서 샘플링 되고 1 클럭 주기 동안 총 8 비트가 샘플링된다. 오버샘플링 방식의 디멀티플렉서는 1 클럭 주기 동안 여러 비트를 샘플링할 수 있기 때문에 높은 데이터 전송률을 실현할 수 있다. 샘플 앤 홀드 회로의 클럭 주파수가 MOSFET의 최대 토글 주파수와 같게 될 때 샘플-홀드 회로의 준비 시간은 클럭 주기의 1/2에 근접하게 된다. 이 때 데이터 천이와 클럭 천이 사이의 위상차가 줄어들게 되고 샘플링 오류가 빈번히 발생하게 된다. 따라서 높은 오류 발생률이 야기되고 이로 인하여 오류 정정코드가 필요하게 된다^[7].

본 논문에서는 토글 주파수의 한계를 극복하기 위한 방법으로서 redundant 다치논리 (redundant multi-valued logic, RMVL)를 이용한 디멀티플렉서^[4]를 구현하였다. RMVL은 토글 주파수에 의해 제한된 데이터 전송 속도보다 더 빠른 데이터 전송 속도가 가능하도록 할 수 있다. 이 회로는 0.35 μ m 표준 CMOS 공정으로 구현하였고 최대 9.09 Gb/s의 입력 데이터를 처리하였다.

본 논문은 다음과 같이 구성한다. 먼저, II장에서

RMVL을 이용한 디멀티플렉서에 대해 설명한다. III장에서 설계한 회로의 레이아웃 (layout) 과 포스트 레이아웃 시뮬레이션 결과를 분석하며, IV장에서 결론을 맺는다.

II. RMVL을 이용한 디멀티플렉서

1. RMVL의 원리

RMVL은 다치논리 (multi-valued logic, MVL)와 redundant 이진논리 (binary logic)의 장점을 이용한다. 데이터 전송 속도가 $2f$ 라고 할 때 데이터와 관련된 주파수는 f 가 되므로 이 데이터를 처리하는 회로는 f 보다 작은 대역폭을 가져야 한다. 만약 n 비트 데이터가 하나의 다치 데이터로 변환된다면 데이터를 처리하기 위한 주파수는 f/n 가 된다. 따라서 다치논리는 고속 데이터를 처리하는데 효율적인 방법이지만, 신호대잡음비 (Signal to Noise Ratio)가 감소하는 단점이 있다.

기존 MVL과 RMVL의 2 비트 데이터 변환 과정을 살펴보면 기존 MVL에서는 이진 입력 데이터 (00), (01), (10), (11)이 다치 데이터 0, 1, 2, 3으로 변환되는 반면 RMVL에서는 이진 입력 데이터 (01)과 (10)이 구분되지 않고 다치 데이터 0, 1, 1, 2로 변환된다. 따라서 RMVL의 데이터 변환회로는 단순한 축적회로로 구성될 수 있지만 기존의 다치논리 데이터 변환회로는 이보다 복잡하게 구성된다. 따라서, RMVL 데이터 변환회로의 속도가 더 빠르다.

2. RMVL을 이용한 1:8 디멀티플렉서 구조

그림 1은 RMVL을 이용한 1:8 디멀티플렉서의 기본 구조이다. 디멀티플렉서는 적분기 8개로 구성되어 있고 각 적분기는 입력 데이터 속도의 1/8 클럭 주파수를 사용한다. 각 적분기의 클럭은 다른 적분기 클럭과 입력 데이터 1 비트만큼의 시간차를 가진다. 클럭은 샘플링 구간과 홀딩 구간으로 나누어져 있다. 샘플링 구간 동안 입력 데이터 2 비트를 3 치 데이터로 변환하기 때문에 샘플링 구간은 2 비트 입력 데이터 시간이 되고 홀딩 구간은 6 비트 입력 데이터 시간이 된다.

누적기에서 이진 직렬 데이터가 들어오면 데이터는 3 치 데이터로 변환되고 디코딩 블록에서 3 치 데이터는 다시 이진 데이터로 변환된다. 디코딩 블록에서의 데이터 변환 과정은 다음과 같다. 3치 데이터가 이진 데이터로 변환될 때 3치 데이터 0과 2는 각각 (00)과 (11)로 변환되지만 1의 경우 (01)인지 (10)인지 결정하기 위해

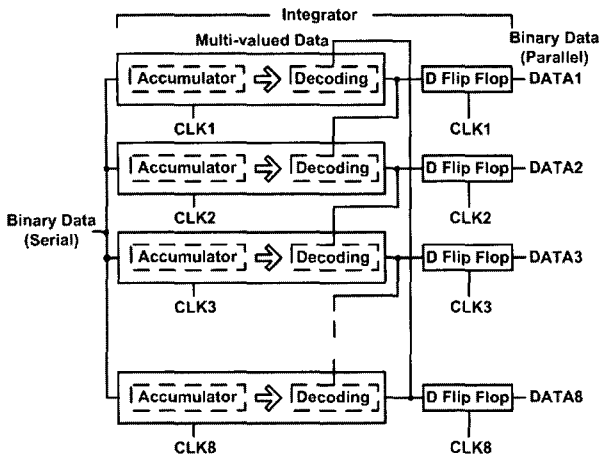


그림 1. RMVL을 이용한 1:8 디멀티플렉서의 기본 구조
Fig. 1. Structure of the 1:8 demultiplexer using RMVL.

서 이전 적분기의 디코딩 블록 값을 참조해야 한다. 3치 값이 1일 때 이전 디코딩 블록 출력이 (00) 또는 (10)이었다면 현재 결과는 (01)이 되고 이전 디코딩 블록 출력이 (11) 또는 (01)이었다면 현재 결과는 (10)이 된다. 이진 직렬 입력 데이터가 101010...과 같이 1과 0이 차례로 반복되는 패턴인 경우 입력 데이터는 정확한 이진 병렬 데이터로 변환될 수 없다. 이전 적분기의 디코딩 블록 출력이 명확하지 않기 때문에 현재 디코딩 블록은 이전 데이터를 적절하게 참조할 수 없다. 이전 데이터를 참조하는 방식 때문에 이런 오류는 다음 적분기의 디코딩 블록으로 전파된다. 그러나 일단 (11)이나 (00)이 들어오면 오류는 더 이상 발생하지 않고 그 이후부터는 올바른 데이터를 출력한다.

디멀티플렉서에서 각 적분기는 하나의 샘플링 구간에 몇 개의 입력 데이터를 읽어 들인다. 즉 샘플링 구간 동안 입력 데이터의 변이가 일어난다. 따라서 준비 시간이 정의될 수 없다. 회로의 최대 데이터 율은 샘플링 회로의 전압 분해능에 의해 결정되므로 기존 방식 회로의 데이터 율보다 더 빠른 데이터 율을 이룰 수 있다.

3. 적분기

그림 2는 적분기 구조이다. 적분기는 누적기, 비교기, 디코더, D 플립플롭으로 구성되어 있다. 이진 직렬 입력 데이터가 누적기에서 다치 데이터로 변환된다. 비교기는 다치 데이터를 높은 참조 전압, 낮은 참조 전압과 비교하여 이진 데이터를 생성한다. 디코더는 비교기의 출력과 이전 적분기의 디코더 출력을 바탕으로 하여 최종값을 결정한다. 디코더의 출력은 클럭의 상승 에지에서 D 플립플롭을 통하여 출력하게 된다. 1:8 디멀티플

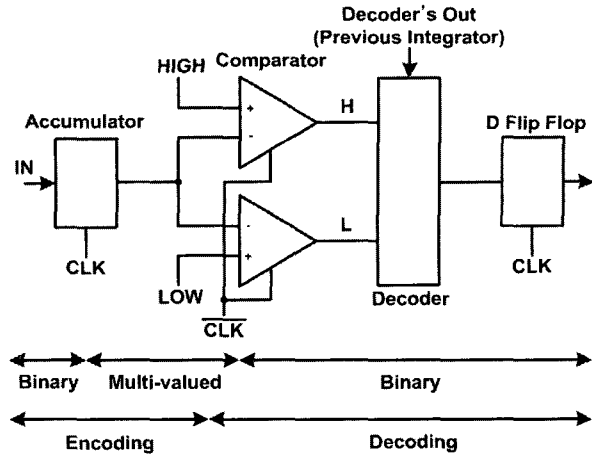


그림 2. 적분기
Fig. 2. Integrator.

렉서를 구현할 때 누적기가 2 비트를 처리하기 때문에 클럭의 샘플링 구간은 2 비트 데이터 입력 시간이 되고 홀딩 구간은 6 비트 입력 시간이 된다. 이는 redundant 다치논리를 이용한 1:4 디멀티플렉서^[4]를 구현할 때 클럭의 홀딩 구간과 샘플링 구간이 2 비트 데이터 입력 시간이 되는 것에 비해 홀딩 구간이 더 증가한다. 그리고 비교기에서 나온 값을 다음 클럭에서 래치를 거쳐 디코더를 통과하게 하면 각 적분기마다 나오는 결과값의 지연시간이 달라진다. 따라서 1:8 디멀티플렉서에서 홀딩 구간이 증가하는 것을 고려하여 비교기에서 나온 값이 바로 디코더를 통과하도록 하였고 다음 클럭에서 D 플립플롭을 통과하도록 하여 각 적분기들에서 나오는 결과값의 지연시간이 일정하도록 구현하였다.

그림 3은 누적기의 구조이다. 홀딩 구간 동안 M1이 켜지고 M3, M4, M5가 꺼져 노드 A는 공급 전압과 같은 전압으로 미리 충전된다. 샘플링 구간 동안 M1은 꺼지고 M3, M4, M5가 켜져 노드 A는 입력 데이터에 따라 방전된다. 샘플링 구간 동안 스위치 M4, M5가 켜지고 노드 A와 노드 B는 서로 연결된다. 샘플링 구간 동안 노드 B는 노드 A의 전압을 따라가기 때문에 C1의 캐패시턴스 값은 C2의 캐패시턴스 값보다 훨씬 커야 한다. 홀딩 구간 동안 스위치 M4, M5가 꺼져 노드 B의 전압은 샘플링 구간 끝에서 생성된 3치 데이터를 유지한다. C1의 최적값은 동작주파수, 공급전압 등에 따라 달라질 수 있기 때문에 C1을 8개의 캐패시터를 이용하여 가변 캐패시터로 구현할 수 있다. 각 캐패시터는 다른 캐패시턴스 값을 가지고 스위치로 만들어 진다. 가변 캐패시터의 스위치는 8 비트 레지스터로 제어한다.

클럭의 홀딩 구간 동안 비교기는 3치 데이터를 이전

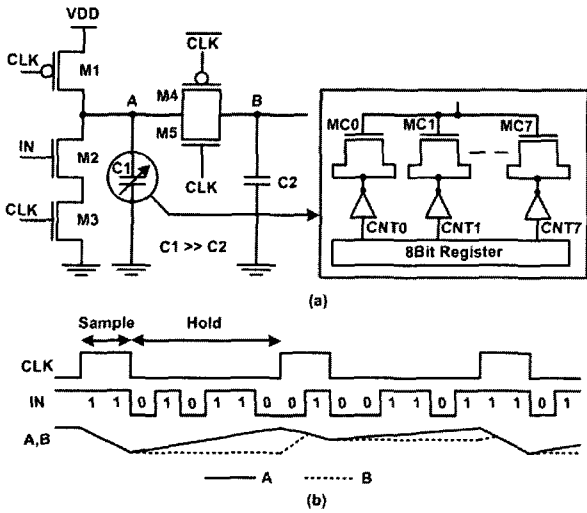


그림 3. (a) 누적기 (b) 누적기의 타이밍도
Fig. 3. (a) Accumulator (b) Timing diagram.

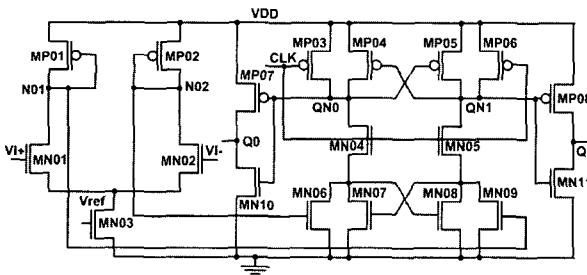


그림 4. 비교기
Fig. 4. Comparator.

데이터로 변환하고 디코더는 비교기 출력과 이전 적분기의 디코더 결과를 근거로 출력을 결정한다. 비교기의 입력 전압이 높은 참조 전압보다 크면 비교기의 출력들 (H, L)은 논리 H값이 된다. 비교기의 입력 전압이 낮은 참조 전압보다 작다면 비교기의 출력들은 논리 L값이 된다. 비교기의 입력 전압이 낮은 참조 전압과 높은 참조 전압 사이의 값인 경우 출력 H는 논리 L이 되고 출력 L은 논리 H가 된다. 비교기의 참조 전압들 (High, Low)은 저항을 분배함으로써 생성할 수 있다.

그림 4는 비교기의 구조이다. 이 비교기는 재생 (regenerative) 래치를 기반으로 한다. 프리앰프와 정채환 (positive feedback) 결정 회로, 출력 버퍼로서 구성되어 있다. 재생 래치는 MP04, MP05, MN07, MN08로써 만들어진다. 클럭이 L일 때 MP04와 MP05가 MN07과 MN08로부터 격리되고 결정 회로의 출력을 H로 만든다. 즉 비교기의 출력 Q0과 Q1을 0으로 만든다. 클럭이 H가 되면 프리앰프와 결합된 래치의 재생 동작이 결정회로에서의 불균형을 야기하고 출력이 VI+와 VI-

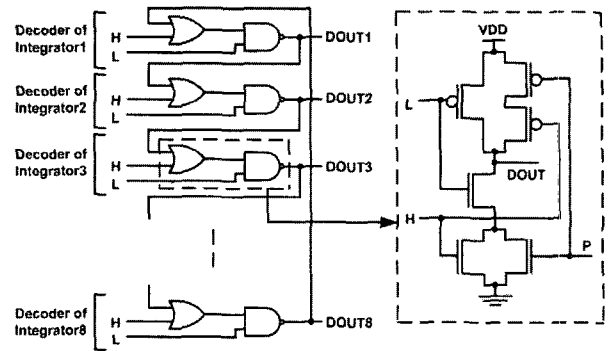


그림 5. 디코더
Fig. 5. Decoders.

의 상태에 따라 결정되도록 한다.

그림 5는 디코더의 구조이다. 다치 데이터는 redundancy를 포함하고 있기 때문에 상관관계를 이용하여 오류 탐지 오류정정 기능을 구현할 수 있지만, 디코더가 복잡하고 속도가 저하될 수 있다. 디코딩 연산은 적분기간 위상차와 동등한 이진 직렬 입력 데이터 1비트 시간 안에 이뤄져야 하기 때문에 연산속도가 빨라야 한다. 따라서 디코더는 그림 5와 같이 설계하였다.

III. 레이아웃 및 시뮬레이션과 결과 분석

설계한 1:8 디멀티플렉서를 공급전압이 3.3V인 0.35um 표준 CMOS 공정 (level 49)으로 설계하였고 레이아웃을 한 뒤 LPE (layout parameter extraction)를 이용하여 포스트 레이아웃 시뮬레이션 하였다.

그림 6은 포스트 레이아웃 시뮬레이션 후 RMVL을 사용한 1:8 디멀티플렉서의 입출력 파형이다. 그림 6에서 첫 번째 파형은 이진 직렬 입력데이터를 나타낸다. 위의 파형은 8개의 이진 병렬 출력 데이터와 클럭 중 하나를 나타낸다. 다른 출력 파형은 이와 유사하고 다른 클럭 파형은 서로 이진 직렬 입력 데이터 1비트만큼의 지연을 갖는다. 디멀티플렉서의 최종 출력들은 데이터가 인코딩되고 디코딩되는 클럭의 다음 클럭 상승 에지에서 생성된다. 최종적으로 출력이 D 플립플롭을 통과하기 때문에 각 출력이 클럭에 대해 동일한 지연이 발생한다. 입력패턴에 따라 출력이 생성되는 것을 그림 6을 통하여 확인할 수 있다. 입력 데이터 전송률이 9.09 Gb/s일 때 출력 데이터 전송률은 입력 데이터 전송률의 1/8에 해당하는 1.14 Gb/s가 된다.

그림 7은 0.35um 표준 CMOS 공정의 레이아웃 규칙에 따라 설계한 1:8 디멀티플렉서의 레이아웃이다. 1:8

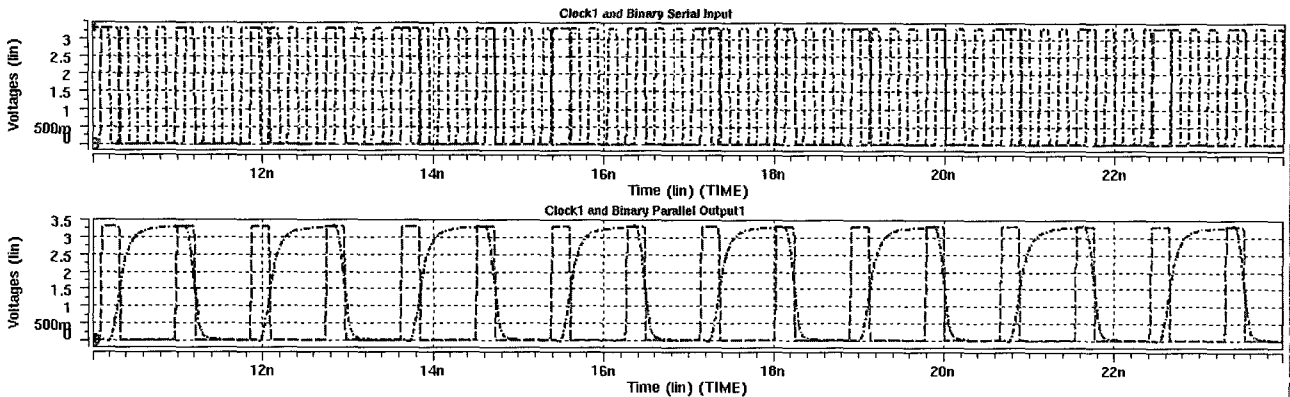


그림 6. RMVL을 이용한 1:8 디멀티플렉서의 입력 파형과 출력 파형
 Fig. 6. Waveforms of 1:8 demultiplexer using RMVL.

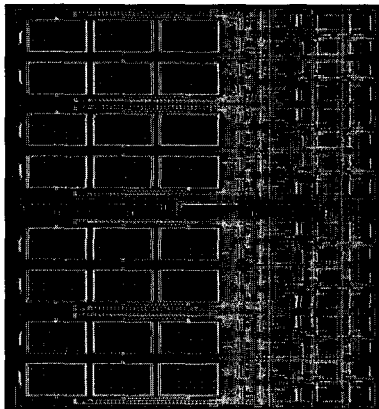


그림 7. RMVL을 이용한 1:8 디멀티플렉서의 레이아웃
 Fig. 7. Layout of the 1:8 demultiplexer using RMVL.

표 1. 비교표
 Table 1. Comparison table.

	[3]의 1:8 디멀티플렉서	[4]의 1:4 디멀티플렉서	본 논문의 1:8 디멀티플렉서
최고 동작속도	10Gb/s	10Gb/s	9.09Gb/s
공급전압	2.0V	1.3V	3.3V
전력소모	48mW	38mW	69.93mW
면적	-	0.4mm X 0.4mm	0.16mm X 0.32mm
공정	0.18um	0.18um	0.35um

디멀티플렉서를 구현할 때 먼저 레이아웃 한 누적기의 인스턴스들을 이용하였다. 설계한 회로의 레이아웃 면적은 160um x 320um이다.

표 1은 기존의 디멀티플렉서와 본 논문에서 설계한 회로의 특성을 비교한 표이다. 기존의 회로는 공급전압이 2.0V 혹은 1.3V의 0.18um CMOS 공정으로 설계한 결과이며, 본 논문에서 설계한 회로는 공급전압이 3.3V인 0.35um CMOS 공정으로 설계한 결과이다. 비교표에서 보면 기존의 회로 특성이 본 논문에서 설계한 회로

의 특성에 비해 다소 우수하다. 그러나 본 논문에서 설계한 회로를 기존 논문과 동일한 조건으로 0.18um CMOS 공정으로 설계한다면, 기존 논문의 특성보다 우수할 것으로 예상된다.

IV. 결 론

본 논문에서는 RMVL을 이용한 1:8 디멀티플렉서를 구현하였다. RMVL은 redundant 다치 데이터 변환을 함으로서 기존방식보다 고속동작을 하기 때문에, RMVL을 이용하여 디멀티플렉서를 설계하면 토글 주파수의 제한을 받지 않는 고속회로의 구현이 가능하다. RMVL을 이용한 1:8 디멀티플렉서를 초미세 공정에서 구현한다면 더 높은 데이터 전송률을 가지는 데이터를 처리할 수 있을 것이다.

참 고 문 헌

[1] J. Savoj and B. Razvi, "A 10Gb/s CMOS clock and data recover circuit with frequency detection", in ISSCC Dig. Tech. Papers, pp. 78-79, 2001.

[2] K. Nakamura, M. Fukaiishi, H. Abiko, A. Matsimoto, and M. Yotsuyanagi, "A 6Gbps CMOS phase detecting DEMUX module using half-frequency clock", in Symp. VLSI Circuits Dig. Tech. Papers, pp. 196-197, June 1998.

[3] A. Tanabe, M. Umetani, I. Fujiwara, T. Ogura, K. Kataoka, M. Okihara, H. Sakuraba, T. Endoh, and F. Masuoka, "0.18 um CMOS 10Gb/s multiplexer/demultiplexer ICs using current mode logic with tolerance to threshold voltage fluctuation", IEEE J. Solid-State Circuits, vol. 36, pp. 988-996, June 2001.

- [4] A. Tanabe, Y. Nakahara, A. Furukawa, and T. Mogami, "A Redundant Multivalued Logic for a 10-Gb/s CMOS Demultiplexer IC", IEEE J. Solid-State Circuits, vol. 38, pp. 107-113, January 2003.
- [5] S. Yasuda, Y. Ohtomo, M. Ino, Y. Kado, and T. Tsuchiya, "3-Gb/s CMOS 1:4 MUX and DEMUX ICs", IEICE Trans. Electron., vol. E78-C, no. 12, pp. 1746-1753, December 1995.
- [6] M. Fukaiishi, "GHz serial link transceiver using multiple-valued data representation", in NEC Corporation, Silicon System Research Laboratories, 2002.
- [7] C. K. Yang, R. Farjad_Rad, and M. Horowitz, "A 0.6 um CMOS 4 Gb/s transceiver with data recovery using oversampling", in Symp. VLSI Circuits Dig. Tech. Papers, pp. 71-72, June 1997.
- [8] H. O. Johansson, J. Yuan, and C. Svensson, "A 4G sample/s line-receiver in 0.8 um CMOS", in Symp. VLSI Circuits Dig. Tech. Papers, pp. 116-117, June 1996.

 저 자 소 개



안 선 홍(정회원)

2005년 강원대학교 전기전자
공학부 학사 졸업.

2007년 강원대학교 전자공학과
석사 졸업.

2007년 강원대학교 전자공학과
석사 졸업.

2007년~현재 동부일렉트로닉스

<주관심분야 : VLSI 설계>



김 정 범(평생회원)-교신저자

1985년 인하대학교 전자공학과
학사 졸업.

1887년 인하대학교 전자공학과
석사 졸업.

1997년 포항공과대학교 전자전기
공학과 박사 졸업.

1987년~1992년 금성반도체 중앙연구소
선임연구원

1994년~1997년 현대전자 시스템IC연구소
책임연구원

1997년~1999년 충북대학교 전기전자공학부

1999년~현재 강원대학교 전기전자공학부
부교수

<주관심분야 : VLSI 설계>