

논문 2007-44SD-2-13

System-On-Panel을 위한 다치 논리 곱셈기 설계

(Multiple-Valued Logic Multiplier for System-On-Panel)

홍 문 표*, 정 주 영**

(Moon Pyo Hong and Ju Young Jeong)

요 약

본 논문에서는 저온 다결정 실리콘 공정에서 얻어지는 박막트랜지스터를 이용하여 7×7 병렬처리 곱셈기를 설계하였다. 7개의 부분곱은 Folding 회로를 기본으로 설계된 다치 논리 회로(7-3 Compressor)와 3-2 Compressor를 통해 2비트로 출력되어 Carry Propagating Adder로 전달되는 구조를 통해 Carry전달 지연을 최소화하여 연산속도를 향상시켰다. 그리고 전류모드로 동작하는 곱셈기에서 사용되는 전류원을 부분적으로 차단함으로써 전력소모를 감소시켰다. HSPICE 시뮬레이션 과정을 통해 제안된 곱셈기는 Wallace Tree 곱셈기에 비해 PDP(Power Delay Product)가 23%, EDP(Energy Delay Product)가 59%, 연산속도가 47% 향상됨을 확인하였다.

Abstract

We developed a 7×7 parallel multiplier using LTPS-TFT. The proposed multiplier has multi-valued logic 7-3 Compressor with folding, 3-2 Compressor, and final carry propagation adder. Architecture minimized the carry propagation. And power consumption reduced by switching the current source to the circuit which is operated in current mode. The proposed multiplier improved PDP by 23%, EDP by 59%, and propagation delay time by 47% compared with Wallace Tree multiplier.

Keywords : SOP, LTPS TFT, Multiplier, Multiple Valued Logic

I. 서 론

최근 디스플레이 기술은 인간이 다양한 정보를 시각적으로 전달 및 인식해주는 장치로써 고도의 정보화 사회로 발전함에 따라 급속히 성장하고 있다. 특히 모바일 디스플레이의 경량화, 박형, 고신뢰성, 저가격화를 실현하기 위해 SOP(System-On-Panel) 개념을 도입하여 데이터 Driver IC 뿐만 아니라 DC-DC 컨버터와 프로세서에 이르기까지 모든 시스템을 하나의 기관위에 집적하려는 연구들이 이루어지고 있다.^[1~3]

최근에는 저온 다결정 실리콘 공정(LTPS)의 개선과 박막트랜지스터의 게이트를 "L"자 형태로 설계하는 방

법을 통해서 별도의 보상회로 없이도 균일한 문턱전압(Threshold Voltage)과 이동도(Mobility)를 갖는 박막트랜지스터를 얻는 방법이 소개되어 SOP 디스플레이의 상용화가 가능할 것이라는 기대가 조금씩 실현되고 있다.^[4,5]

본 논문에서는 DSP와 마이크로 프로세서의 데이터 처리부에서 연산시간이 길고, 많은 전력을 소모하는 곱셈기를 개선하였다. 많은 경우에 있어서 곱셈기의 수행시간이 시스템의 성능을 결정하게 되므로 곱셈기의 성능향상은 시스템의 성능을 좌우하게 된다. 대표적인 병렬처리 곱셈기인 Array 곱셈기는 속도가 느리고 전력소모가 큰 단점을 갖고 있으며, Wallace tree 곱셈기는 Array 구조에 비해 연산속도는 빠르나 전력소모 증가, 칩면적 증가, 그리고 구현이 어려워지는 단점이 있다.^[6,7]

본 논문에서 제안한 다치 논리(MVL: Multiple Valued Logic) 곱셈기는 7개의 부분곱을 다치 논리를

* 학생회원, ** 정회원, 수원대학교 전자공학과
(Department of Electronics Eng., Suwon University)

※ 본 연구는 학술진흥재단의 중점연구소지원사업의 연구비(KRF-2004-005-D00164)에 의해 지원되었다.
접수일자: 2006년12월1일, 수정완료일: 2007년1월15일

이용하여 3비트의 출력을 얻어낸 후(7-3 Compressor), Carry Save Adder(3-2 Compressor)를 통해 2비트의 출력을 얻어내어 마지막 행의 Carry Propagating Adder로 전달되는 구조를 통해 Carry전달 지연을 최소화하여 연산속도를 향상시켰다. 그리고 전류모드로 동작하는 회로에서 발생할 수 있는 정적 전력소모(Static Power Consumption)를 감소시키기 위하여 사용되지 않는 전류원을 차단하였다.

II. 본 론

1. 기존 병렬처리 곱셈기

Array 곱셈기는 그림 1과 같이 전가산기를 이차원 Array 구조로 정렬하여 Multiplicand와 Multiplier를 합하는 가장 단순한 병렬처리 곱셈기이다. 마지막 행을 제외한 Array에는 Carry Save Adder가 사용되며 마지막 행은 Carry Propagating Adder가 사용되어 7×7 연산을 위해 총 13번의 Carry가 전달되어야 최종 출력을 얻을 수 있다. 따라서 마지막행의 Carry Propagating Adder를 대신하여 Faster Carry Propagating Adder를 사용하는 방법과 2비트 Booth's Encoder를 사용하여 Array의 개수를 줄이는 방법을 통해 Array 곱셈기의 딜레이를 감소시키기도 한다.^[8]

Wallace Tree를 이용한 곱셈기는 그림 2와 같이 Carry Save Adder가 3비트의 부분곱을 입력받아 2비트의 출력을 얻어내는 과정을 Tree형태로 병렬처리하여

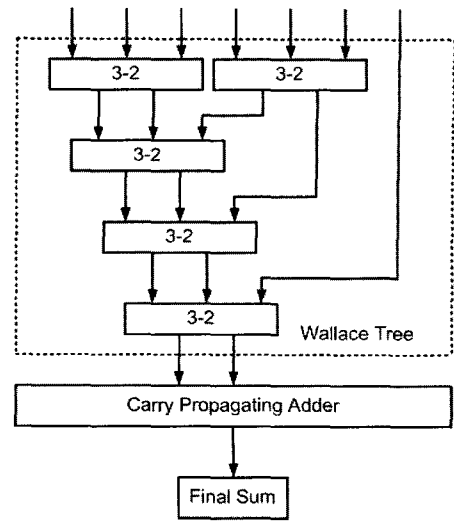


그림 2. Wallace Tree 곱셈기(7×7)
Fig. 2. Wallace Tree multiplier(7×7).

Carry전달 지연을 최소화 하게 된다(3-2 Compressor, 3-2 Counter라고도 함). 따라서 7×7 연산에서 마지막 행의 Carry Propagating Adder까지 도달하기 위한 Carry전달 지연이 Array 곱셈기의 경우에는 7번이지만 Wallace Tree를 이용하였을 경우에는 5번으로 감소하여 연산속도를 향상시킬 수 있다.

2. MVL(Multiple-Valued Logic) 곱셈기

7×7 곱셈을 수행하기 위해서는 그림 3과 같이 최대 7개의 디지털 신호를 더해줘야 한다. 그림 3-(a)는 Array 곱셈기의 Carry 전달을 모식도로 표현한 것이며,

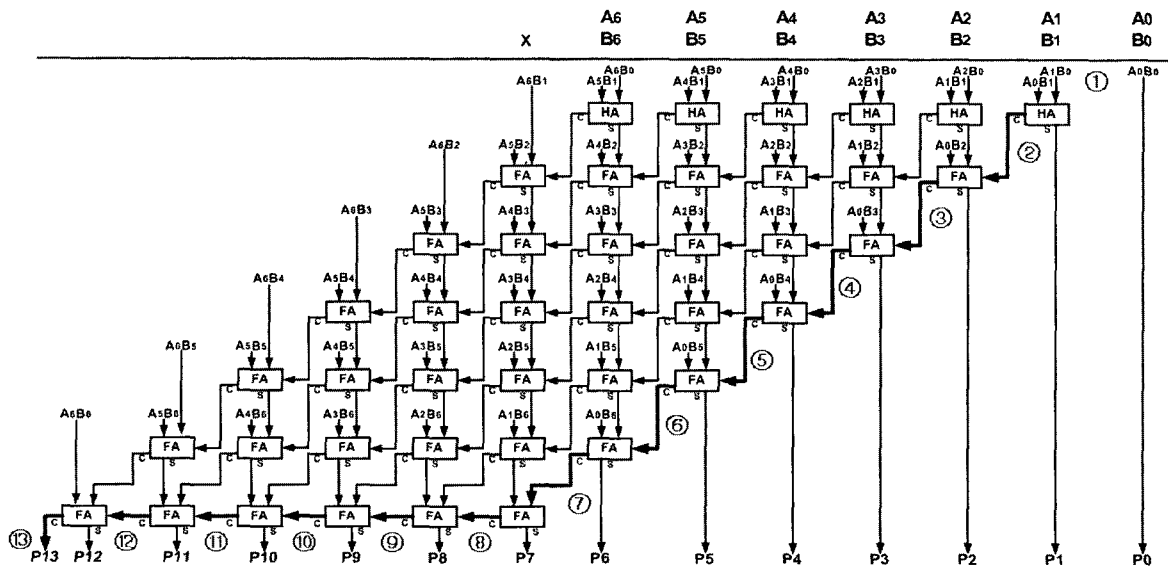


그림 1. Array 곱셈기(7×7)
Fig. 1. Array multiplier(7×7).

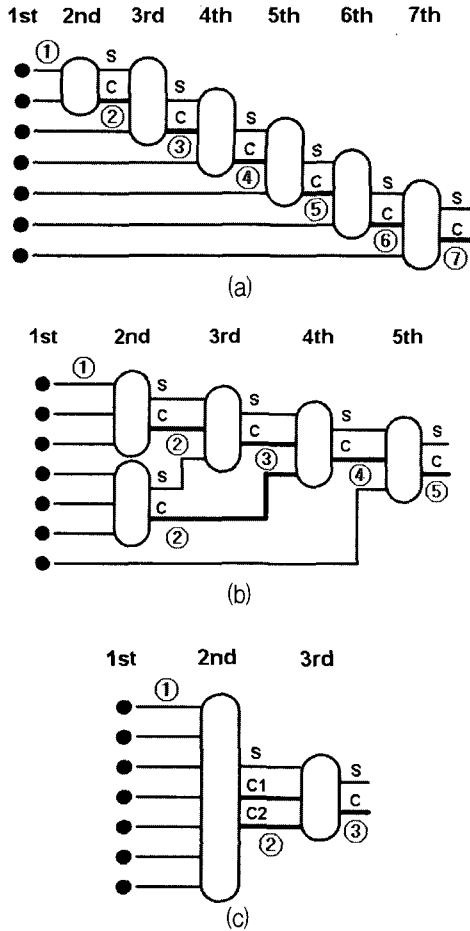


그림 3. 곱셈기들의 Carry 전달 (7X7) (a)Array 곱셈기 (b)Wallace Tree 곱셈기 (c)제안된 곱셈기
 Fig. 3. Multipliers's Carry propagation (7X7) (a)Array multiplier (b)Wallace Tree multiplier (c)proposed multiplier.

그림 3-(b)는 Wallace tree 곱셈기의 Carry 전달을 모식도로 표현한 그림이다. 제안된 병렬처리 곱셈기는 그림 3-(c)와 같이 7개의 부분곱을 다차 논리를 이용하여 3비트의 출력을 얻어낸 후(7-3 Compressor), 3-2 Compressor를 통해 2비트의 출력을 얻어내어 마지막 행의 Carry Propagating Adder로 전달되는 구조를 구상하였다. 이와 같은 구조를 통해 Array 곱셈기(그림 3-(a))나 Wallace Tree 곱셈기(그림 3-(b))에 비해 Carry전달 지연을 최소화 할 수 있다.

1) 기존 MVL 회로

기존 전류모드 CMOS MVL 전가산기 회로는 2차 논리신호를 4차 논리신호로 변환하는 2차-4차 부호기와 4차 논리신호 전가산기와 4차 논리신호를 다시 2차 논리신호로 변환하는 4차-2차 복호기로 구성된다.^[9]

기존 2차-4차 부호기는 그림 4와 같이 생성된 기준

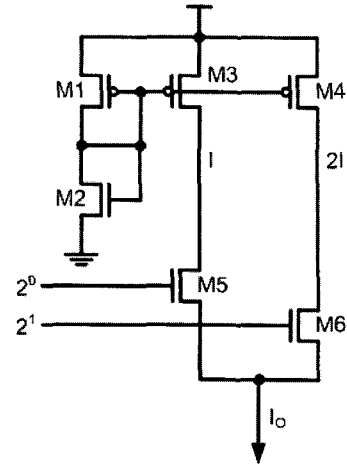


그림 4. 기존 2차-4차 부호기
 Fig. 4. Conventional binary-quaternary logic encoder.

전류가 입력되는 2차 신호에 따라 NMOS가 스위칭하면서 출력전류(I_o)를 생성한다.

기존 2차-4차 부호기를 통해 생성된 4차 논리신호는 그림 5와 같은 기존 전류모드 MVL 전가산기의 입력으로 사용된다. 첫 번째 4차 논리신호(I_{S1})와 두 번째 4차 논리신호(I_{S2})는 $0 \sim 3I$, 입력되는 CARRY(I_C)는 $0 \sim I$ 의 전류를 가지고 있다. 따라서 기존 전류모드 MVL 전가산기의 입력(I_{IN})으로 세 신호가 하나의 노드로 연결되어 형성된 $0 \sim 7I$ 의 전류가 사용된다.

전가산기는 입력전류(I_{IN})와 기준전류($3.5I$)를 비교하여 생성된 D신호를 통해 트랜스미션 게이트를 스위칭하여 CARRY 전류를 출력한다. 그리고 이와 동시에 D신호가 'Low'일 경우 입력전류(I_{IN})와 기준전류($4I$)와의 차이에 해당하는 전류가 I_{IN2} 로 결정되어 M7, M8, M9로 공급되며, D신호가 'High'일 경우 입력전류(I_{IN})와 같은 전류가 I_{IN2} 로 결정되어 M7, M8, M9로 공급한다. 그리고 I_{IN2} 는 $0.5I, 1.5I, 2.5I$ 와 비교하여 A, B, C신호를 생성한 후 트랜스미션 게이트를 스위칭하여 SUM을 출력한다. 따라서 전가산기는 $0 \sim 7I$ 의 입력전류를 통해 $0 \sim I$ 를 출력하는 CARRY와 $0 \sim 3I$ 를 출력하는 SUM을 생성한다.

4차 논리신호 전가산기에서의 연산결과는 $0 \sim 3I$ 의 전류를 출력하기 때문에 이를 2차 논리 시스템에서 사용하기 위해서는 4차-2차 복호기를 통해 2차 논리신호로 변환해 주어야 한다. 기존 4차-2차 복호기는 그림 6과 같이 4차 입력전류($0 \sim 3I$)를 $0.5I, 1.5I, 2.5I$ 와 비교하여 A, B, C신호를 생성한 후 $2^1 = \overline{B}$, $2^0 = \overline{CB} + A$ 로 동작하는 CMOS 논리회로의 입력으로 사용되어 2차 논

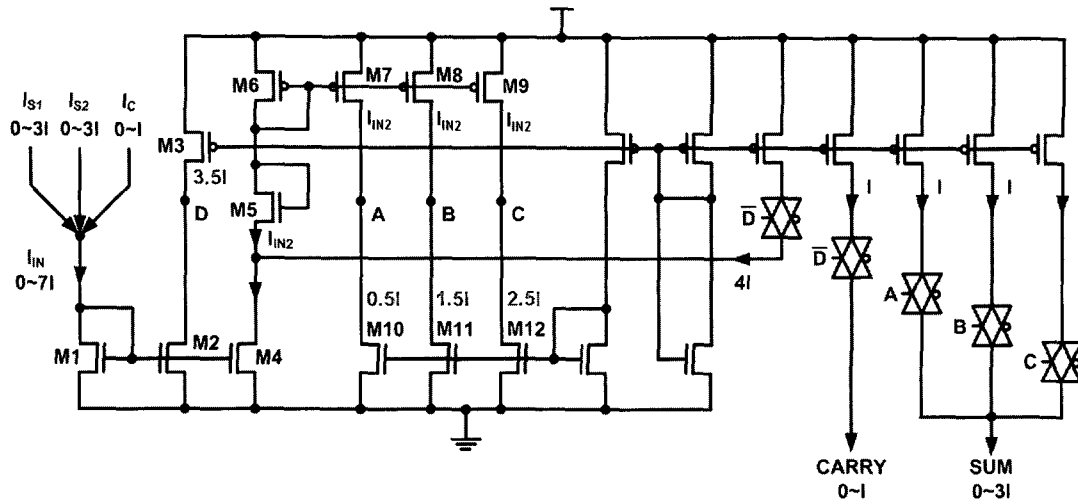


그림 5. 기존 전류모드 MVL 전가산기
 Fig. 5. Conventional Current mode MVL full adder.

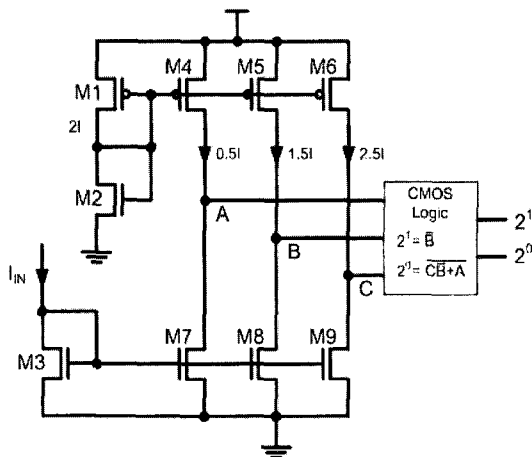


그림 6. 기존 4치-2치 복호기
 Fig. 6. Conventional quaternary-binary decoder.

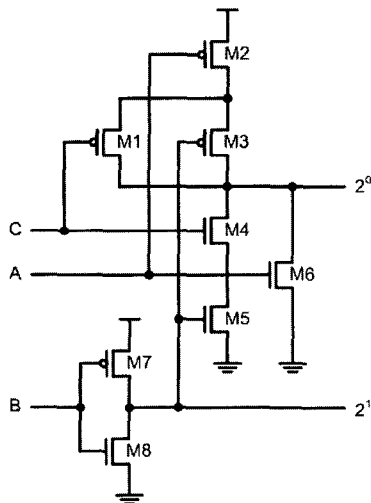


그림 7. 기존 4치-2치 복호기의 CMOS Logic
 Fig. 7. CMOS Logic of Conventional quaternary-binary decoder.

리신호를 생성한다.

기존 MVL 회로에 사용된 Current Comparator는 Current Source의 출력 임피던스와 전류량에 따라 속도가 변한다. 그리고 LTPS-TFT로 Current Comparator를 구성할 경우 출력이 0~Vdd로 Full Swing하지 않기 때문에 Static CMOS Inverter를 1번 또는 2번 통과해 주어야 트랜스미션 게이트와 CMOS 논리회로를 올바르게 동작시킬 수 있다. 따라서 Current Comparator로 회로를 구성할 경우에는 전력소모가 증가하고 속도가 느려질 수 있다.

2) 제안된 MVL 곱셈기

기존 2치-4치 부호기는 가중치가 있는 2비트 디지털 입력을 다치(Multiple-Valued) 신호로 변환하였으나, 곱셈기의 부분곱 연산을 통해 출력된 신호는 비가중치 디지털 값을 갖는다. 따라서 제안된 MVL 곱셈기에 사용되는 부호기는 그림 8과 같이 비가중치 디지털 입력 신호에 의해 트랜지스터를 스위칭하여 'On'된 트랜지스터의 개수에 따라 전류를 조절하고 Current Mirror와 Linear영역에서 동작하는 PMOS에 의해 그림 9와 같이 7단계를 갖는 전압(Vin, /Vin)으로 변환한다.

제안된 부호기는 Source-Coupled 구조를 사용하여 기존 2치-4치 부호기에 비해 속도를 향상시킬 수 있으며 Vin과 /Vin가 동시에 출력되기 때문에 Carry2를 얻을 수 있다.

Carry1과 Sum을 얻기 위해서 Folding 회로를 사용하였다. Folding 회로는 그림 11과 같이 Source-Coupled 구조를 병렬로 구성하여 Vin이 증가됨에 따라 Carry1

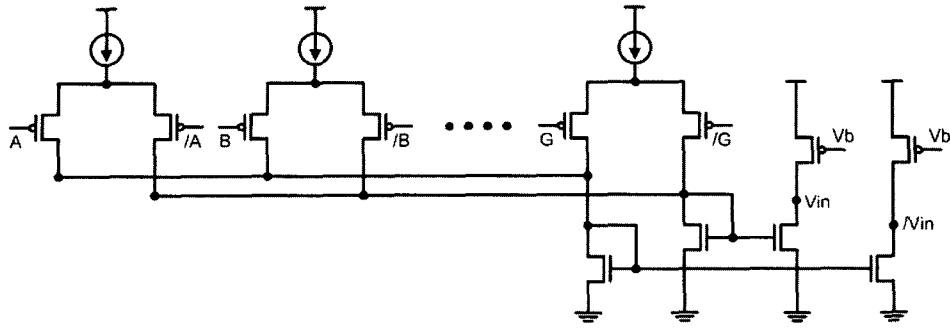


그림 8. 제안된 부호기
Fig. 8. Proposed encoder.

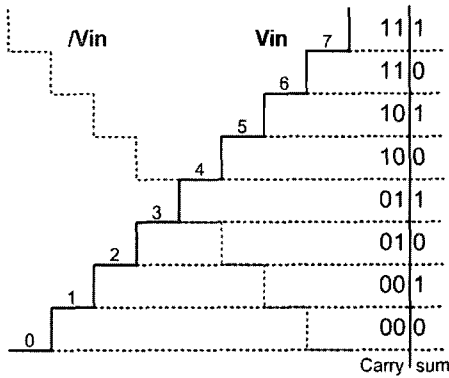


그림 9. 부호기의 동작
Fig. 9. Operation of proposed encoder.

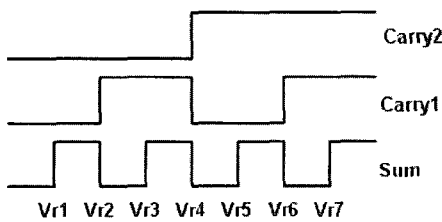


그림 10. 7-3 Compressor의 출력
Fig. 10. Output of 7-3 Compressor.

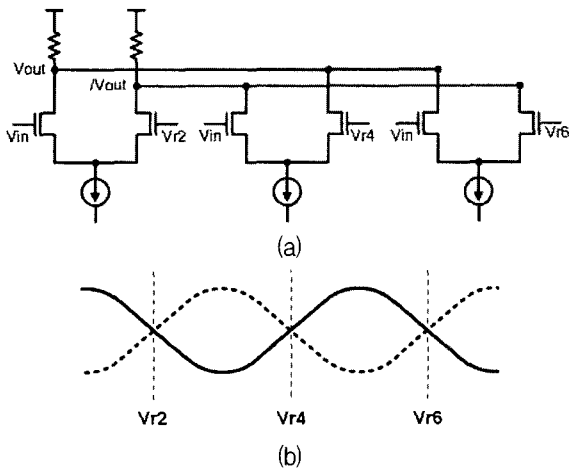


그림 11. Folding 회로 (Carry1) (a)회로도 (b)출력파형
Fig. 11. Folding Circuit (Carry1).
(a)Schematic (b)Waveform of Output

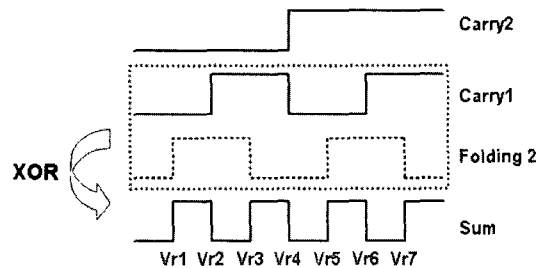
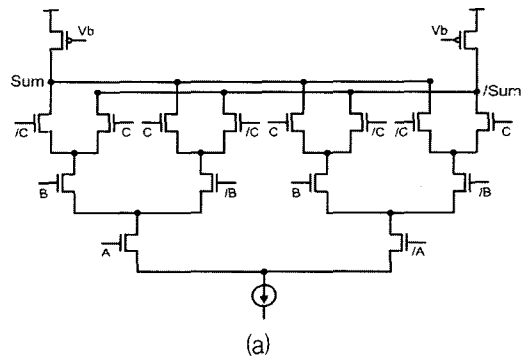
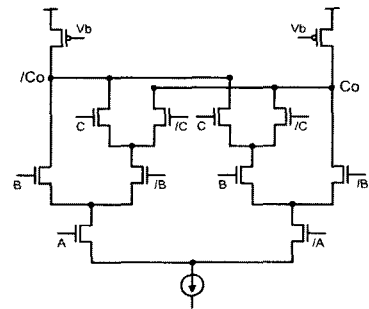


그림 12. 제안된 회로의 출력과정 (Sum)
Fig. 12. Output of proposed circuit. (Sum)



(a)



(b)

그림 13. 전류모드 전가산기 (a)Sum (b)Carry
Fig. 13. Current Mode Full Adder. (a)Sum (b)Carry

과 같이 기준전압(Vr2, Vr4, Vr6)에서 출력이 변화하는 신호를 얻을 수 있다.^[10]

그러나 Sum은 7개의 기준전압(Vr1~Vr7)에서 출력이 변화하는 신호이기 때문에 Source-Coupled 구조가

7개가 사용되어 전력소모와 차지하는 면적이 증가한다. 또한 LTPS-TFT로 구성된 전류원의 출력 임피던스가 작기 때문에 Sum과 같이 출력되는 Folding 회로를 구성할 수 없다. 따라서 그림 12와 같이 4개의 기준전압 (V_{r1} , V_{r3} , V_{r5} , V_{r7})에서 출력이 변화하는 신호(Folding2)를 얻어내어 Carry1과 XOR를 거쳐 Sum을 얻어내는 구조를 통해 전력소모와 면적을 줄이면서 원하는 출력을 얻어내는 방법을 제안하였다.

위와 같은 방법을 통해 7개의 비가중치 디지털 입력으로부터 3비트의 디지털 출력(Carry2, Carry1, Sum)을 얻어냈다. 제안된 회로의 출력은 Source-Coupled 구조로 설계하여 4.2~5V의 출력전압을 갖기 때문에 3-2 Compressor와 Carry Propagating Adder로 그림 13과 같은 전류모드 전가산기를 사용하였다.

3) 제안된 MVL 곱셈기의 전력소모 감소

제안된 병렬처리 곱셈기는 전류모드로 동작하기 때문에 정적(Static) 전류에 의한 전력소모가 증가한다.

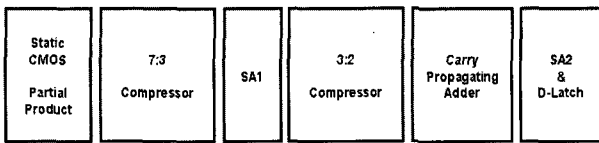


그림 14. 제안된 MVL 곱셈기의 구조
Fig. 14. Architecture of proposed MVL multiplier.

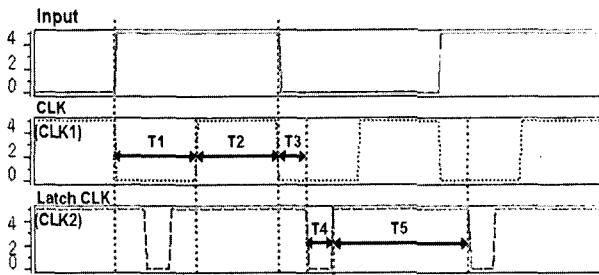


그림 15. 제안된 MVL 곱셈기의 구동파형
Fig. 15. Driving waveform of proposed MVL multiplier.

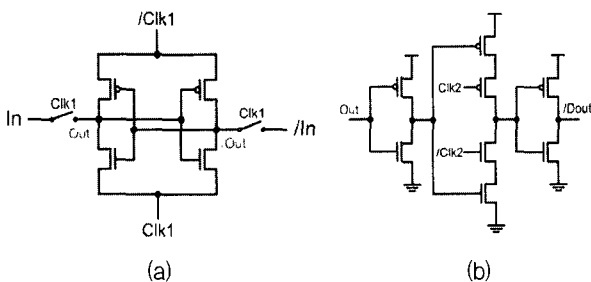


그림 16. (a)Sense Amp (b)Static CMOS D-Latch
Fig. 16. (a)Sense Amp. (b)Static CMOS D-Latch

따라서 동작하지 않는 구간동안 전류원을 꺼주는 방법을 통해 정적 전력소모를 감소시키고자 하였다. 7-3 Compressor의 전류원이 꺼졌을 때 출력을 유지시켜주기 위해 그림 14와 같이 7-3 Compressor와 3-2 Compressor 사이에 Sense Amp(SA1)를 추가하고 그림 15와 같은 구동파형을 인가하여 동작시키도록 하였다.

입력이 인가되면 T1구간동안 Static CMOS Partial Product와 7-3 Compressor가 동작하고 3-2 Compressor와 Carry Propagating Adder의 전류를 차단한다. 그리고 T2구간동안 7-3 Compressor의 전류를 차단하고 Sense Amp(SA1)에 의해 7-3 Compressor의 출력을 유지하고 3-2 Compressor와 Carry Propagating Adder를 동작시켜 최종출력을 얻는다. 여기서 7-3 Compressor의 출력이 4.2~5V의 출력을 갖기 때문에 일반적인 D-Latch를 사용하여 출력을 유지할 수 없다. 따라서 Sense Amp(SA1)를 사용하여 출력전압을 0~5V로 변환하여 D-Latch와 같은 동작을 수행하도록 하였다.

T3구간동안 Carry Propagating Adder의 출력은 Sense Amp(SA2)에 의해 0~5V의 Full Swing으로 변환된다. D-Latch가 T4구간동안 SA2의 출력을 통과하고 T5구간동안 유지하여 D-Flip Flop과 같은 동작을 수행하도록 하였다. 따라서 입력된 신호는 T1~T3구간 동안 곱셈연산을 수행하고 T4~T5구간동안 출력된다.

III. 실험

1. 기존 곱셈기와 제안된 곱셈기의 시뮬레이션 결과
기존 병렬처리 곱셈기의 성능을 측정하기 위해 Array 곱셈기와 Wallace Tree 곱셈기의 전가산기에 그림 17과 같은 CMOS 전가산기를 사용하였다.

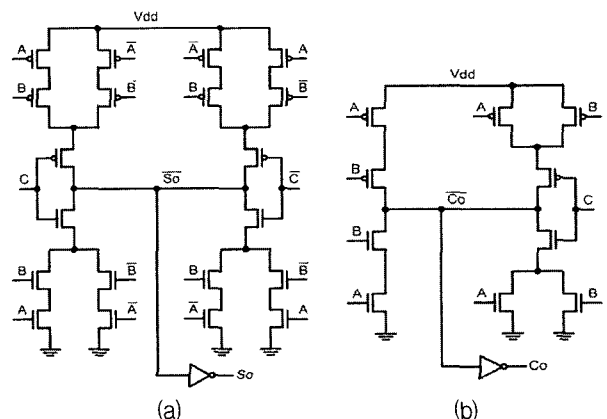


그림 17. CMOS 전가산기 (a)Sum (b)Carry
Fig. 17. CMOS Full adder. (a)Sum (b)Carry

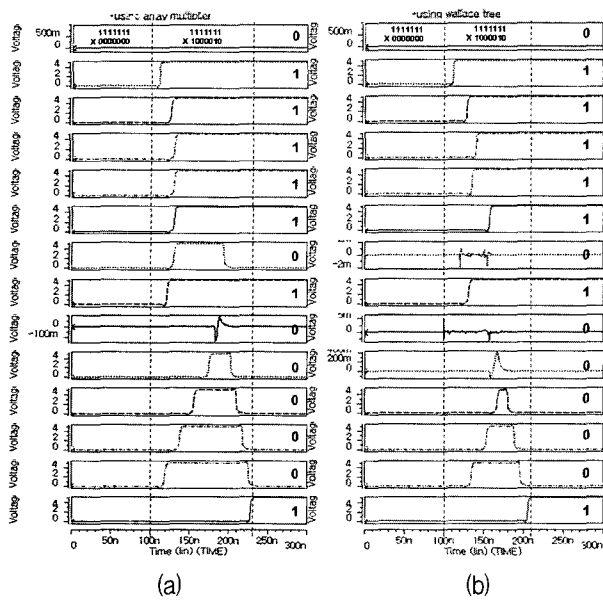


그림 18. 기존 병렬처리 곱셈기 시뮬레이션 결과
 (a) Array 곱셈기 (b) Wallace Tree 곱셈기
 Fig. 18. Simulation result of conventional parallel multiplier.
 (a)Array multiplier (b)Wallace Tree multiplier

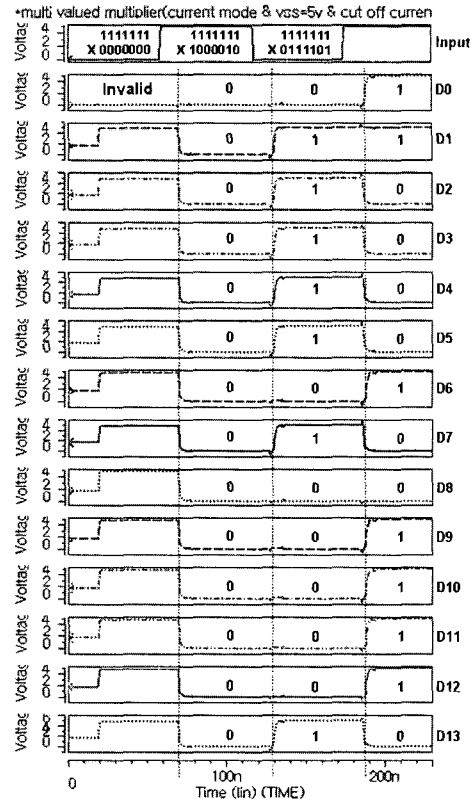


그림 20. 제안된 MVL 곱셈기의 시뮬레이션 결과
 Fig. 20. Simulation result of proposed MVL multiplier.

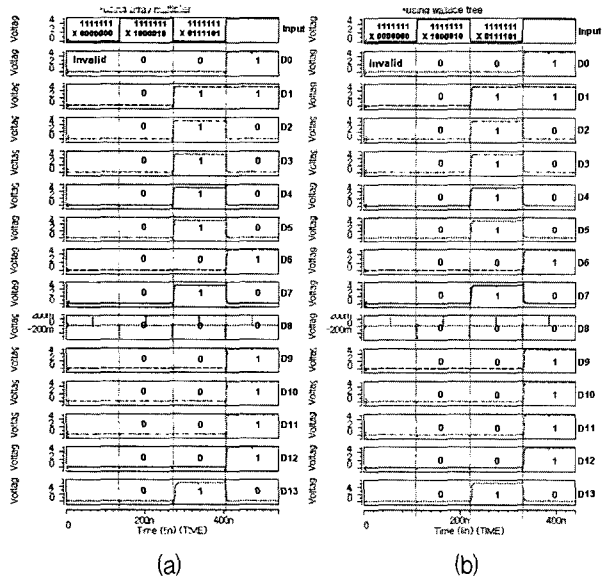


그림 19. 기존 병렬처리 곱셈기 시뮬레이션 결과 (D-Flip Flop 추가)
 (a)Array 곱셈기 (b)Wallace Tree 곱셈기
 Fig. 19. Simulation result of conventional parallel multiplier(added D-Flip Flop).
 (a)Array multiplier (b)Wallace Tree multiplier

LTPS-TFT 파라미터로 설계한 전가산기를 사용하여 기존 병렬처리 곱셈기를 측정하는 결과는 그림 18과 같다. Multiples가 0000000₍₂₎에서 1000010₍₂₎로 변하는 곳(t=100ns)에서부터 모든 출력이 결정되기까지

Array 곱셈기는 130ns(그림 18-(a)), Wallace Tree 곱셈기는 108ns(그림 18-(b))의 시간이 걸린다.

최종 출력파형은 모든 출력이 결정되기까지 유지되어야 하기 때문에 Static CMOS D-Flip Flop을 사용하여 회로를 재구성하였다. 측정결과 Array 곱셈기는 7.4MHz(그림 19-(a)), Wallace Tree 곱셈기는 9.1MHz(그림 19-(b))로 동작함을 확인하였다.

그림 20은 제안된 MVL 곱셈기를 시뮬레이션한 결과이며 최대 동작속도는 17.2MHz로 기존 병렬처리 곱셈기에 비해 매우 빠름을 확인할 수 있었다.

2. 기존 곱셈기와 제안된 곱셈기의 비교

기존 병렬처리 곱셈기(Array 곱셈기, Wallace Tree 곱셈기)와 제안된 곱셈기의 성능을 측정한 결과는 표 1과 같다. 측정결과 제안된 회로는 전류모드로 빠른 동작을 하기 때문에 평균 전력소모가 커짐을 확인하였다. 그러나 평균 전력소모는 단순히 기존 병렬처리 곱셈기의 동작주파수를 낮추는 것으로도 감소되기 때문에 성능을 결정하는 중요한 기준이 되지 않는다. 따라서 제안된 곱셈기의 성능은 Power Delay Product(PDP)와 Energy Delay Product(EDP)를 통해 비교하도록 하였다.

표 1. 곱셈기들의 Performance 요약

Table. 1. Performance Summary of multipliers.

	Power(W)	Delay(ns)	PDP(J)	EDP(J · s)
Array Multiplier	7.31E-04	135	9.87E-11	13.32E-15
Wallace Tree Multiplier	9.81E-04	110	10.79E-11	11.87E-15
MVL Multiplier	1.43E-03	58	8.29E-11	4.81E-15

제안된 MVL 곱셈기는 Sense Amp(SA1)를 추가적으로 사용하고 사용하지 않는 전류원을 차단하였기 때문에 전력소모가 매우 감소하여 기존 병렬처리 곱셈기와 Power Delay Product(PDP)를 비교한 결과 Array 곱셈기에 비해 16%, Wallace Tree 곱셈기에 비해 23%가 향상되었으며, Energy Delay Product(EDP)를 비교한 결과 Array 곱셈기에 비해 64%, Wallace Tree 곱셈기에 비해 59%가 향상됨을 확인하였다. 또한 연산속도는 Array 곱셈기에 비해 57%, Wallace Tree 곱셈기에 비해 47%가 향상되었다.

IV. 결 론

본 논문에서는 저온 다결정 실리콘 공정에서 얻어지는 박막 트랜지스터를 이용하여 고성능 곱셈기를 설계하였다. 제안된 곱셈기는 다치 논리를 이용하여 설계한 7-3 Compressor를 통해 Carry전달 지연을 최소화하여 연산속도를 향상시켰으며, 사용되지 않는 구간동안 전류원을 차단하여 전류모드로 동작하는 회로에서 발생할 수 있는 정적전력소모(Static Power Consumption)를 감소시켰다.

측정결과에서 제안된 MVL 곱셈기는 Wallace Tree 곱셈기에 비해 PDP(Power Delay Product)가 23%, EDP(Energy Delay Product)가 59%, 연산속도가 47% 향상됨을 확인하였다.

제안된 회로는 7단계의 다치 논리를 사용하기 때문에 2차 논리에 비해 잡음여유(Noise Margin)가 감소하는 단점이 있으나, 시스템 측면에서 손실에 비해 성능 개선의 효과가 더욱 크다. 따라서 향후 저온 다결정 실리콘 제조공정이 더욱 발전하여 프로세서까지 패널에 집적할 수 있을 만큼 박막 트랜지스터의 문턱전압과 이동도가 안정화 되면 SOP(System-On-Panel) 디스플레이 시스템의 성능을 개선하는데 크게 기여할 수 있을 것이다.

참 고 문 헌

- [1] Shin-Hung Yeh, Wein-Town Sun, Chien-Chih Chen, Chien-Sheng Yang, "A Novel Integrated DC-DC Converter Using LTPS TFT" SID'05, pp 1442-1445, 2005.
- [2] Hideki Asada, "Invited Paper: Low-Power System-on-Glass LCD Technologies" SID'05, pp 1434-1437, 2005.
- [3] Kyungyoul Min, Changsik Yoo, "System Interface for SoG in LTPS TFT Process" IMID'06, pp 1791-1794, 2006.
- [4] Myung-Kwan Ryu, Eok Su Kim, Yoon Boo Kook, Jung Ho Park, Bin Nal Yoon, Hyuk Soon Kwon, Hyun Ki Hwang, Gon, Son, Cheon Hong Kim, Seung Soo Kim, Jung Mok Jun, and Jung Yeal Lee, "[Invited] SLS Crystallized Poly-Si TFT Technology" IMID'06, pp 501-504, 2006.
- [5] Fang-Tsun Chu, Ding-Kang Shih, Hung-Tse Chen, and Yung-Hui Yeh, "Device Design Considerations and Uniformity Improvement for Low-Temperature Poly-Si TFTs Fabricated by Sequential Lateral Solidification Technology" IMID'06, pp 509-512, 2006.
- [6] Mehdi hatamian, Glenn L. Cash, "A 70MHz 8bit x 8bit Parallel Pipelined Multiplier in 2.5um CMOS" IEEE J. Solid-State Circuits, vol.sc-21, No.4, pp 505-513, 1986.
- [7] Kaoru Awaka, Yutaka Toyonoh, Hiroshi Takahashi, "4-2 Compressor" United State Patent US 7,039,667, 2006.
- [8] Juergen Kernhof, Michiel A. Beunder, Bernd Hoefflinger, and Werner Haas, "High-speed CMOS adder and multiplier modules for digital signal processing in a semicustom environment.", IEEE JSSC, vol. 24, pp. 570 - 575, June 1989.
- [9] K. Wane Current, "Current-Mode CMOS Multiple-Valued Logic Circuits" IEEE J. Solid-State Circuits, vol.29, No.2, pp 95-107, 1994.
- [10] Myung-Jun Choe, Bang-Sup Song, and Kantilal Bacrania, "An 8-b 100-MSample/s CMOS Pipelined Folding ADC" IEEE JSSC, Vol. 36, pp. 184 - 194, Feb 2001.

저 자 소 개



홍 문 표(학생회원)
2005년 수원대학교 전자공학과
학사 졸업.
2005년~현재 수원대학교
전자공학과 석사과정.
<주관심분야 : LCD 구동회로 설
계>

정 주 영(정회원)
대한전자공학회 논문지 제33권 A권 10호 참조