

논문 2007-44SD-2-11

네트워크-온-칩 설계의 전력 소모 분석을 위한 Virtex-II FPGA의 사이클별 전력 소모 측정 도구 개발

(NoC Energy Measurement and Analysis with a Cycle-accurate Energy Measurement Tool for Virtex-II FPGAs)

이형규*, 장래혁*

(Hyung Gyu Lee and Naehyuck Chang)

요약

네트워크-온-칩(NoC, network-on-chip) 기술은 SoC (system-on-a-chip) 설계에서 증가되는 온칩 통신의 복잡성을 해결하고 높은 확장성을 제공할 수 있는 기술이다. NoC를 이용한 설계는 많은 수의 IP들과 통신 네트워크들을 사용하기 때문에 동작이 복잡하고 설계 공간이 커서 많은 전력을 소모 한다. 그러나 기존의 분석적인 방법은 NoC용용의 큰 설계 공간 및 동작의 복잡성에 비해 상대적으로 간소화된 모델을 사용하여 현실적인 설계요소를 반영하지 못하거나 복잡한 시뮬레이션에 따른 많은 노력 및 시간 요구로 사용에 많은 제약이 있었다. 따라서 본 논문에서는 현실적이고 정확한 NoC의 전력 소모 분석을 위해 FPGA 프로토타입(prototype)을 개발하고 이에 대한 전력 소모를 분석을 할 수 있는 사이클별 전력 소모 측정 기법 및 도구를 소개한다. 또한 사례 연구로서 NoC기술을 이용한 JPEG 압축기를 구현하고 이에 대한 전력 소모를 분석하여 그 효율성을 입증한다.

Abstract

The NoC (network-on-chip) approach is a promising solution to the increasing complexity of on-chip communication problems because of its high scalability. But, NoC applications generally consume a lot of power, because they require a large design space to accommodate many parallel IPs and network communication channels. It is not easy to analyze the power consumption of NoC applications with conventional simulation methods using simple power models. In addition, there are also many limitations in using sophisticated simulation models because they require long execution time and large efforts. In this paper, we apply a cycle-accurate energy measurement technique and tool to the FPGA prototypes, which are generally used to verify the correctness of SoC designs, as a practical indication of the power consumption of real NoC applications. An NoC-based JPEG encoder implementation is used as a case study to demonstrate the effectiveness of our approach.

Keywords : FPGA prototype, Power analysis, JPEG encoder, NoC, SoC

I. 서론

반도체 기술의 발달은 복잡한 응용이라 할지라도 하나의 칩(chip)으로 구현할 수 있게 하는 SoC (system

on-a-chip) 기술을 가능하게 하였다. SoC 기술은 독립적으로 설계된 많은 수의 IP (intellectual property)들은 온칩 통신기술(on-chip communication)을 이용하여 연결함으로써 복잡한 응용의 개발을 용이하게 하였을 뿐 아니라 IP 재사용을 통한 빠른 제품개발(short time-to-market)을 가능하게 하였다. 그러나 점차 사용되는 IP의 수가 증가되고 IP사이의 복잡한 통신 구조 및 많은 데이터 전송을 필요로 함에 따라서 기존의 온 칩 통신 구조로 많이 사용되던 점대점(P2P, point-to-point) 연

* 정희원, 서울대학교 전기컴퓨터공학부
(School of Electrical Engineering and Computer Sciences, Seoul National University)

※ 본 연구는 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

접수일자: 2006년10월31일, 수정완료일: 2007년1월24일

결 방식이나 공유 버스(shared bus) 연결방식으로는 이러한 요구를 충족할 수 없게 되었다.

최근 온칩 통신의 복잡도 및 확장성을 고려하여 개발된 통신 구조가 네트워크-온칩(NoC, network-on-chip) 기술이다.^[1,2,3] NoC 기술은 사용되는 IP들을 라우터(router)등으로 구성된 네트워크 통신 채널로 연결함으로써 뛰어난 확장성 및 높은 대역폭을 제공하기 때문에 차세대의 효율적인 통신 구조로서 부각되고 있으며 그 응용은 멀티미디어 시스템 구현 등의 다양한 분야로 확대되고 있다.

기본적으로 NoC를 이용한 설계는 그 설계 영역이 넓고 많은 수의 IP 및 통신 채널을 사용하기 때문에 많은 전력을 소모하게 되었고 이는 NoC에 대한 전력 소모 분석의 필요성을 증대 시켰다. 그러나 기존 연구의 대부분은 NoC구조 최적화 등의 성능 최적화 연구가 대부분으로 전력 소모에 대한 연구는 많이 수행되지 못하고 있다. NoC의 경우 여러 IP들이 병렬적으로 실행되고 IP들 간에 통신 채널을 통해 독립적으로 데이터를 교환하는 방식으로 다른 설계 방법에 비하여 전력 소모에 대한 분석이 어렵기 때문에 기존의 연구들에서는 간소화된 전력 소모 모델들이 많이 사용되었다. 가장 많이 사용되는 방법으로 NoC에서의 전력 소모 분석을 위해 라우터에서 소모되는 에너지를 비트 에너지^[4,5,6](E_{bit} , 한 bit의 데이터를 라우터를 통해 전송하는데 소모되는 에너지)로 모델링한 연구가 존재한다. 그러나 이 에너지 모델은 복잡한 NoC의 구조에 비해 너무 간소화되었기 때문에 다양한 NoC구조 및 구현 방법에 따른 각 구성요소들의 동작 상태 등의 현실적 설계 요소를 반영하기에는 제약이 있다. 이보다 구체적인 연구로서 라우터의 주요 구성 요소인 버퍼, 크로스바 스위치(crossbar switch), 아비터(arbiter)등에 대한 트랜지스터 차원(transistor level)의 캐패시턴스(capacitance)를 계산하여 전력 소모 모델을 제시한 연구^[7]가 존재한다. 그러나 정확한 분석을 위해 설계에 대한 저 수준(low-level)의 정보를 요구하기 때문에 이러한 정보를 이용하기 어려운 시스템 차원(system-level)이나 아키텍처 차원(architecture-level)의 연구에서는 활용하기가 어렵다.

NoC를 이용한 설계에서도 정확하고 상세한 전력 소모 분석을 위해 기존의 다른 설계 방법과 같이 회로 차원에서의 전력 소모 분석 도구인 Spice, Power Mill 및 Power compiler등의 상용 도구를 사용할 수 있다. 하지만 이러한 도구의 사용은 이미 알려진 바와 같이 저수준에서의 많은 정보 요구뿐 아니라 많은 시간과 노력을

필요로 한다. 더욱이 실제 NoC에 대한 응용까지 고려할 경우 큰 시스템 설계 공간으로 인해 그 사용에는 더욱더 많은 제약들이 따르게 된다.

정리하면, 기존의 연구들은 NoC동작의 복잡성으로 인해 상대적으로 간소화된 전력 소모 모델을 사용하였기 때문에 NoC를 이용한 구현에 있어서 현실적 설계요소를 제대로 반영하지 못하고 상대적으로 상세한 전력 소모 모델은 저 수준에서의 설계에 대한 정보를 요구하여 다양한 수준에서의 연구에서 사용되기에는 제약이 따른다. 마지막으로 상용의 회로수준에서의 분석 도구를 이용한 분석은 NoC의 큰 설계공간요구로 인해 많은 시간 및 노력이 요구되기 때문에 사용에 많은 제약이 따르게 된다. 따라서 이러한 기존 방법의 문제점들을 극복하고 실제 응용까지 고려할 수 있는 NoC에서의 현실적인 전력 소모 분석을 위한 유용한 도구가 필요하다. 본 논문에서는 이를 위해 FPGA 프로토타입(prototype)을 통한 측정 기반의 전력 소모 분석 방법을 소개한다.

FPGA 프로토타입은 시뮬레이션과 함께 NoC를 포함하는 SoC설계에 대한 검증 도구로 많이 사용되는 방법으로서 FPGA의 역할이 기존의 주변 회로(glue logic) 대체에서 보다 광범위하게 확대되었음을 의미한다. FPGA를 이용한 프로토타입은 많은 비용을 요구하는 실제 칩 제작에 앞서 설계된 SoC의 정상적인 동작여부 및 성능에 대한 정확하고 실제적인 정보를 제공할 수 있는 장점이 있다. 이에 반해 FPGA의 특성상 전력 소모에 대해 얻을 수 있는 정보에는 많은 제약이 따르기 때문에 기존의 FPGA 프로토타입을 통한 설계 검증 방법이 전력 소모 분석에는 사용되지 못했다. 본 논문에서는 FPGA 프로토타입을 전력 소모 분석에도 활용할 수 있도록 싸이클별 전력 소모 분석 기술^[8]을 이용하여 FPGA의 전력 소모를 정확하고 상세하게 측정할 수 있는 방법을 제안함으로써 FPGA 프로토타입을 이용하여 NoC 구조를 이용한 복잡한 응용에서도 효과적으로 전력 소모 분석을 가능하도록 한다. 또한 제시된 방법의 효용성을 검증하기 위해 NoC를 이용한 실제 응용을 설계하여 FPGA 프로토타입으로 구현하고 이에 대한 전력 소모 분석 결과를 제시한다.

논문의 나머지 구성은 다음과 같다. 먼저 II장에서는 FPGA의 전력 소모와 관련된 기존 연구들에 대해 소개하고 III장에서는 싸이클별 전력 소모 측정 기술을 이용한 FPGA를 위한 전력 소모 측정 도구에 대해 논한다. IV장에서는 사례 연구로서 NoC를 이용한 JPEG 압축기

를 설계 하고 FPGA 프로토타입으로 구현한 후 개발된 도구를 이용하여 전력 소모를 분석한다. 마지막으로 V 장에서는 결론을 맺는다.

II. 관련 연구

FPGA의 전력 소모는 다른 장치들과는 다르게 내부 자원의 사용정도(resource utilization), 회로의 분할(logic partitioning), 사상방법(mapping), 자원 배치(placement) 및 경로배정(routing)등의 설계방법에 따라 상이하기 때문에 FPGA가 사용되는 목적을 예측 하지 못하는 FPGA 제작사는 FPGA의 전력 소모에 대한 상세한 정보를 제공하지 못한다. 따라서 기존의 연구들은 FPGA의 전력 소모 분석을 위해 디지털 멀티미터, 파형 측정기 등의 상용의 측정 도구를 이용하여 실제 전력 소모를 측정^[9,10]하거나 전력 소모 모델을 만들고 시뮬레이션 하는 분석적인 방법^[11,12,13,14,15]들을 이용해야만 했다. 상용도구를 이용한 실측의 경우 평균 전력 소모만을 제공하기 때문에 SoC에서 사용되는 복잡한 설계들에 대한 전력 소모 분석이 어려울 뿐 아니라 저전력 설계를 위한 기반 자료로서 사용되어질 수 없다. 반면 분석적인 방법은 FPGA의 상세한 내부구조에 대한 정보를 요구하기 때문에 분석의 복잡도(complexity)가 높고 분석에도 많은 시간을 요구하기 때문에 사용이 쉽지 않다. 이러한 분석적인 방법의 단점을 보완하기 위해 측정 방법과 병행한 연구^[16]가 이루어 졌다. 다수의 실제 설계에 대한 전력 소모 측정을 통해 FPGA 주요 자원의 내부 캐패시턴스(capacitance) 및 스위칭 빈도를 찾아내 다양한 설계에 대한 FPGA의 전력 소모 예측할 수 있는 방법을 제시 하였다.

최근 FPGA에 대한 전력 소모의 중요성이 증대 되면서 각 FPGA 제작회사에서도 자사의 FPGA에 대해 전력 소모를 분석할 수 있는 상용의 전력 소모 예측 도구를 내놓기도 하였다. Xilinx의 Power^[17], Altera의 PowerPlay^[18] 그리고 Actel사의 SmartPower^[19]등이 있다. 이들 도구에서는 동적 전력 소모의 경우 라우팅(routing)되기 전 혹은 후의 설계 데이터를 읽어서 그것을 가지고 $P = aCV^2f$ 의 계산식을 기반으로 내부 구성 요소의 단위 전력 소모 모델을 만들어 각 구성요소에서 소모되는 평균 전력을 예측한다. 여기서 P 는 평균 전력 소모, a 는 평균 스위칭 확률, C 는 스위칭 캐패시턴스, V 는 공급전압, f 는 동작 주파수를 말한다. 이러한 도구들은 FPGA를 생산하는 회사에 의해 만들어졌기 때문

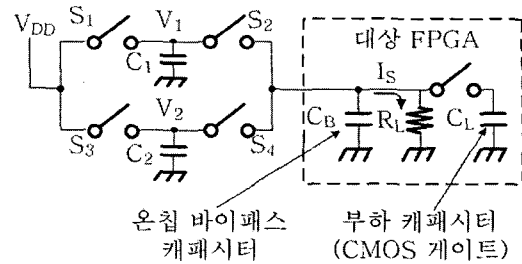


그림 1. FPGA를 위한 사이클별 에너지 측정 회로
Fig. 1. Cycle-accurate energy measurement circuits for FPGAs.

에 상세하고 정확한 물리적 정보를 가지고 있을 뿐 아니라 FPGA를 설계하는데 사용하는 도구들에 포함되어 있어서 사용에도 많은 이점이 있다. 그러나 이러한 도구들이 단지 평균 전력 소모만을 제공한다는 점을 생각하면 앞부분에서 언급한 기존의 캐패시터를 기반으로 한 에너지 예측 도구와 크게 차별성이 없을 뿐 아니라 정확한 결과를 위해서는 시뮬레이션이 필수적이고 따라서 결과를 얻기까지 상당한 시간이 소요된다. 따라서 NoC 같은 복잡한 응용에 대한 FPGA 프로토타입의 전력 소모 분석을 위해 실측을 기반으로 하면서도 전력 소모를 빠르고 쉽게 분석할 수 있는 기술 또는 도구가 필요하다.

최근 사이클별 전력 소모 측정 원리를 이용한 FPGA의 전력 소모 측정 기술^[20]이 개발 되었다. 그러나 제시된 방법 및 도구는 적은 용량의 FPGA를 대상으로 하였기 때문에 큰 설계 공간을 요구하는 NoC 같은 복잡한 응용에는 사용할 수 없을 뿐 아니라 사이클별 에너지 소모를 측정하는 과정에서 부정확한 측정으로 인해 오류를 포함할 수 있다. 무엇보다도 기존의 연구는 측정 도구의 장점을 잘 보여줄 만큼 크기가 크고 복잡한 회로를 예제로 사용하지 않아 그 유용성을 잘 보여주지 못한다. 따라서 본 논문에서는 기존의 개발된 도구의 측정 방법을 보완하고 개선하였으며 대용량의 FPGA를 장착하여 NoC 같은 복잡하고 설계 공간이 큰 응용에 대해서도 전력 소모 분석이 가능 하도록 하였다.

III. 사이클별 에너지 소모 측정

1. 기본 원리

FPGA상에 구현되는 대부분의 설계들이 시스템의 클럭신호(clock signal)에 동기화되기 때문에 캐패시터를 이용한 전력 소모 측정 기술^[8]은 FPGA의 전력 소모를 측정하는데 이상적이다. 본 논문에서는 기존에 개발된

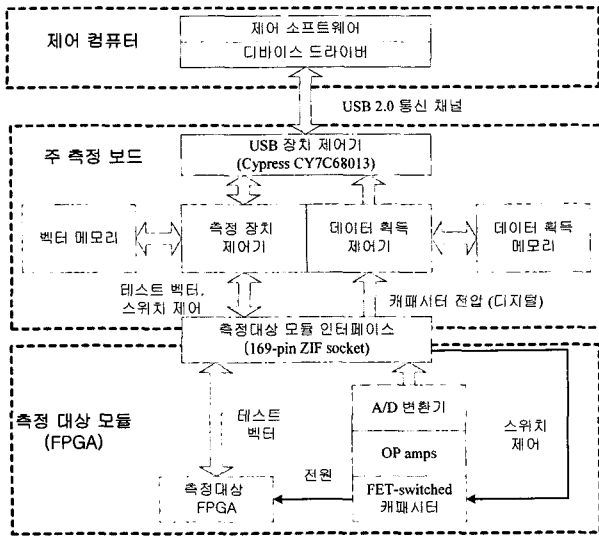


그림 2. 사이클별 FPGA 전력 소모 측정 시스템 구조
Fig. 2. Overall structure of the cycle-accurate energy measurement system for FPGAs.

FPGA를 위한 사이클별 전력 소모 측정 시스템^[20]을 기반으로 하여 NoC같은 복잡한 응용에 대한 전력 소모 분석을 위해서 이를 개선 및 보완 하였다. 먼저 기존의 측정 시스템에서 사용된 방법을 간단히 설명하면, 그림 1은 기존연구에서 제시한 사이클별 에너지 측정 회로를 간소화한 그림으로서 측정 대상이 되는 FPGA의 경우는 많은 누설 전류(leakage current)가 존재하기 때문에 기존의 온칩 바이패스 캐패시터(on-chip bypass capacitor), C_B 및 동적 전력 소모(dynamic power)의 원인인 부하 캐패시터(load capacitor), C_L 로 구성된 모델에 누설 전류를 표현하는 병렬저항(parallel register)을 R_L 로 표현하였다. 기본적인 원리는 스위치 $S_1 \sim S_4$ 를 이용하여 캐패시터 C_1 과 C_2 의 충·방전을 반복하면서 대상 FPGA에 전원을 공급한다. 이때 대상 FPGA는 캐패시터 C_1 과 C_2 로부터만 전원을 공급받기 때문에 캐패시터에 충전된 전하량과 방전된 전하량의 차이를 이용하여 대상 FPGA에서 소모되는 에너지의 양을 정확하게 계산할 수 있으며 충·방전 시기를 위상변조(phase shift)가 된 시스템의 클럭 신호와 동기화시킴으로서 매 사이클별 소모되는 에너지의 양을 정확하게 측정할 수 있다.

그러나 기존의 측정 구조에서는 측정과정에 정적 에너지 소모와 동적 에너지 소모가 공존하는 구간이 존재하며 잘못된 구간의 분리는 에너지 측정 오차를 증가시키는 원인이 되기 때문에 이들을 정확히 분리하는 것은 중요한 문제이다. 따라서 본 논문에서는 이 과정에서 발생하는 오차를 최소화하기 위해 매 측정시마다 여러



그림 3. 구현된 측정 시스템의 사진
Fig. 3. The photograph of the implemented measurement system.

표 1. FPGA 에너지 측정 시스템의 사양
Table 1. Specification of the measurement system.

<ul style="list-style-type: none"> ● 주 측정 보드 <ul style="list-style-type: none"> - 측정대상 FPGA: Xilinx VirtexII (XC2V3000) - 벡터 및 데이터 획득 제어용 FPGA: Xilinx Spartan2 (XC2S200FG456) - 벡터 메모리: SRAM 8Mbytes - 데이터 획득 메모리: SRAM 8Mbytes ● 측정 대상 보드 <ul style="list-style-type: none"> - AD 변환기: 10bit @50MS/s - 스위치: Power MOSFET FDS9926 - 캐패시터: COG 타입 ● 제어 컴퓨터 인터페이스: USB 2.0

동작 주파수대를 대상으로 측정한 후 회귀분석 방법을 사용하여 동적 에너지 소모와 정적 에너지 소모를 분리 시킴으로서 발생할 수 있는 오차를 최소화 한다. 이와 같은 회귀분석 절차는 측정 시스템에 포함되는 제어 소프트웨어에 의해 자동으로 제어되고 또한 실제 측정에만 소요되는 시간은 수 밀리초(ms) 이기 때문에 이로 인한 추가적인 오버헤드는 많지 않다. 이외에도 기존 측정 도구의 개선에 대한 사항에 대해서는 다음 장에서 보다 자세히 설명한다.

2. 측정 도구 설계

사이클별 전력 소모 측정 기술은 짧은 시간에 많은 데이터를 발생시킨다. 따라서 이 기술의 현실적 적용을 위해 발생하는 데이터를 효율적으로 제어할 수 있는 자동화된 측정 도구의 제작이 필수적이다. 그림 2는 사이클별 전력 소모 측정 기술을 이용한 FPGA의 전력 소모 측정 도구의 구조를 나타낸다. 측정 시스템은 제어 소프트웨어가 탑재되어 전체 시스템을 관리하는 제어용 컴퓨터, 벡터 메모리, 데이터 획득 메모리, 벡터 발생기, 그리고 데이터 획득 제어기 등으로 구성되는 주 측정 모듈, 마지막으로 측정 대상 FPGA 및 전력 소모 측정 회로로 구성되어 있는 측정 대상 모듈의 세 부분으로 구성되어 있으며 그림 3과 같이 주 측정 모듈과 측정

대상 모듈을 분리하여 제작함으로써 추후 측정 대상 모듈의 확장 또는 변경 시 비용 및 개발 시간을 최소화 하였다. 새로이 구현된 측정 시스템은 먼저 NoC같은 설계영역이 큰 응용에 대한 전력 소모 측정을 위해 측정대상 FPGA로 XC2V3000을 탑재 하였으며 측정 대상 FPGA를 제어하기 위한 벡터 메모리, 전원공급용 캐패시터의 전압 변화를 기록하는 데이터 획득 메모리를 8Mbyte로 확장함으로써 최대 1,000,000 클럭 사이클에 대한 전력 소모 정보를 저장할 수 있으며 자세한 사양은 표 1에 제시되어 있다.

또한 본 도구는 측정 보드와 제어용 컴퓨터 사이를 고속의 USB 2.0 통신 채널을 통해 데이터를 주고받을 수 있도록 설계하였기 때문에 Xilinx의 XChecker나 JTAG 케이블 없이도 FPGA의 비트 스트림(bit stream)을 빠르게 다운로드 할 수 있는 기능을 제공하고 실험을 위한 벡터데이터 및 측정 결과를 주고받을 수 있다. 또한 전체 측정 과정이 윈도우 기반의 소프트웨어로 제어되기 때문에 복잡하고 반복적인 측정 과정을 간소화 하고 자동화 시킬 수 있는 편리한 기능들을 제공한다.

IV. 사례 연구: JPEG 압축기의 전력 소모 분석

본 장에서는 사례연구로서 앞장에서 설계된 전력 소모 측정 도구를 이용하여 NoC의 응용에 대한 전력 소모를 분석한다. 이를 위해 먼저 NoC 구조를 이용하여 정지영상의 압축에 가장 많이 사용되는 멀티미디어 응용중 하나인 JPEG 압축기를 구현하고 이를 FPGA 프로토타입으로 구현한 후 개발된 전력 소모 분석 도구를 이용하여 전력 소모를 상세히 분석한다.

1. NoC를 이용한 JPEG 압축기의 설계

NoC을 이용한 설계는 IP를 주요 구성요소로 하는 PE (processing element), 온칩 라우터(on-chip router), 네트워크 인터페이스(NI, network interface), 그리고 통신 채널(communication link)의 4가지 요소에 대한 설계로 나누어 질 수 있다. 또한 각 PE들을 온칩 라우터에 어떤 형태로 연결하는가에 따라서 다양한 구조(topology)를 갖도록 설계할 수 있으며 이러한 구조에 따라서 그 성능 및 전력 소모는 다르게 나타난다.

가) 온칩(on-chip) 라우터의 설계

온칩 라우터는 NoC 설계에서 가장 중요한 요소이다. 그림 4는 설계된 온칩 라우터의 간소화된 구조를 나타

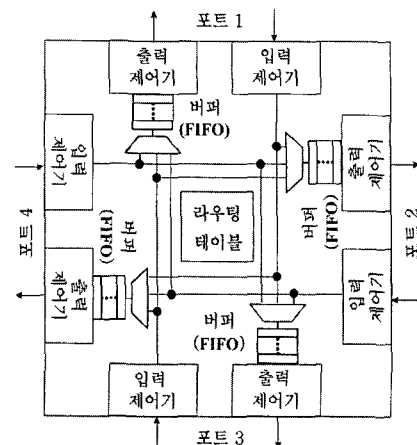


그림 4. NoC 설계에 사용된 온칩 라우터의 구조

Fig. 4. Block diagram of the on-chip router used in the NoC implementation.

낸다. PE간의 통신에서 기본이 되는 단위는 패킷(packet)이며 패킷단위로 라우팅이 이루어지게 된다. 패킷은 라우팅 정보를 포함하는 하나의 헤더 플릿(header flit)과 데이터를 포함하는 다수의 데이터 플릿(data flit)으로 구성된다. 구현된 라우터는 헤더 플릿에서만 라우팅 결정이 이루어지는 웜홀 라우팅(wormhole routing) 기법을 지원하기 때문에 적은 크기의 버퍼만을 가지고도 높은 전송능력을 보인다. 라우팅 정보가 포함된 헤더 플릿(header flit)이 라우터를 통과하기 까지 4 클럭 사이클이 소요되며 헤더 플릿의 통과 후에 데이터를 담고 있는 나머지 플릿들은 파이프라인 방식으로 통과하게 되기 때문에 매 클럭당 1 플릿의 데이터 플릿을 전송할 수 있다. 패킷 크기는 전송의 효율성을 위해 최대 255플릿 까지 실시간으로 변경 가능하게 구현하였으며 다양한 라우팅 정책(routing strategy)을 위해 룩업 테이블(look-up-table) 형태로 라우팅 회로를 구현하였다.

또한 다양한 구조에서 사용되어 질 수 있도록 포트의 수도 3개에서 6개까지 지원하도록 설계하였다. 각 포트에는 PE 또는 다른 라우터가 연결되어질 수 있으며 포트의 수가 늘어나면서 사용되는 자원의 수도 늘어나게 된다.

나) NoC의 구조(topology) 설계

NoC를 이용한 설계에서는 라우터와 PE들을 연결하는 형태에 따라서 다양한 구조가 존재한다. NoC구조의 선택은 전체 시스템의 지연시간(latency), 전력 소모(power consumption), 면적(area)등을 결정하는 주요한 요소이기 때문에 사용되는 온칩 라우터 종류, PE의 개수, 요구되는 성능 등을 고려하여 응용의 특성에 맞는

효율적인 구조를 선택하여야 한다.

NoC를 이용한 설계에 있어서 일반적으로 많이 알려진 구조로서 스타형(star), 계층적 스타형(hierarchical star), 그물형(mesh), 3차원 입방체형(hyper cube) 구조 등이 있다. 성능과 직접 관련된 지연시간은 이러한 구조들에 따라 다르게 나타나며 일반적으로 다음의 수식 [21]에 의해 계산될 수 있다.

$$L_C = H \cdot L_R + \left\lceil \frac{N_{Data} - W}{W} \right\rceil \quad (1)$$

수식에서 H 는 데이터를 전송하는 PE와 수신하는 PE 사이의 홉 수(hop count)이며 L_R 은 헤더플릿이 라우터를 통과하는데 소요되는 시간, N_{Data} 는 전송되는 데이터의 양, 그리고 W 는 통신 채널의 대역폭(bandwidth)을 의미한다. 수식 (1)에서 같은 종류의 라우터 및 대역폭이 동일한 통신 채널을 사용한다고 가정하면 H 를 제외한 모든 값들은 같게 된다. 즉 지연 시간은 홉 수와 밀접한 관련이 있게 된다.

스타형 구조는 하나의 라우터를 사용하기 때문에 라우터의 설계가 쉽고 차지하는 면적이 작을 뿐 아니라 지연시간과 직접적으로 관련이 있는 홉 수가 항상 1이 되기 때문에 패킷 전송 시 지연시간이 최소인 장점이 있어서 적은 수의 PE를 사용하는 시스템에 있어서는 성능/비용 측면에 있어서 효율적이라고 알려져 있다.^[22] 본 논문에서 사례 연구로 구현되는 JPEG 압축기는 사용되는 IP의 수가 적은 반면 높은 성능을 요구하기 때문에 이에 적합한 스타형 구조를 선택하여 사용한다.

다) 네트워크 인터페이스(NI, network interface) 설계

마지막으로 PE와 라우터와의 연결을 위해 NI를 설계한다. NI는 라우터로부터 들어오는 패킷 데이터를 분해하고 PE로부터 출력되는 데이터를 패킷으로 변환하는 기능이 포함된 입출력 제어기와 FIFO를 이용하여 설계된 입출력 버퍼의 간단한 구조로 되어 있다. PE가 전송할 데이터를 NI에 있는 FIFO로 보내게 되면 NI는 패킷 형태로 데이터를 변환 후 연결된 라우터 및 통신 채널의 상황에 따라서 패킷을 전송하게 된다.

2. FPGA 프로토타입

그림 5는 스타형 네트워크 구조를 기반으로 하는 JPEG 압축기의 NoC구현으로서 입출력 모듈, 2차원 DCT (discrete cosign transform) 모듈, 지그재그 변환(zigzag encoding) 및 양자화(quantization) 모듈, 그리

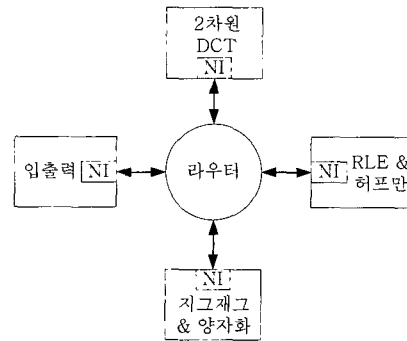


그림 5. NoC를 이용한 JPEG 압축기의 구조
Fig. 5. NoC-based JPEG encoder implementation.

표 2. 개발된 JPEG압축기의 자원 사용 및 성능
Table 2. Resource utilization and performance of the implemented JPEG encoder.

구분	값	
	자원 사용 (LUTs)	계산요소
통신요소		1,702
계		7,512
성능 (프레임/초)	47	

고 RLE 및 허프만(Huffman) 변환의 4개의 PE 및 하나의 라우터로 구성되어 있으며 각 PE는 하나의 NI를 갖는다. Verilog HDL를 사용하여 구현 후 본 논문에서 제안된 사이클별 전력 소모 측정 도구를 이용하여 성능 및 전력 소모를 분석하였다. 구현된 JPEG 압축기는 비트맵(bitmap) 형식의 이미지 데이터를 입력으로 하며 JFIF 형식의 데이터를 출력한다.

표 2는 PE들로 구성되어지는 계산 관련 요소 (computing resource)와, 온칩 라우터, NI등으로 구성되어지는 통신관련 요소(communication resources)로 구분된 JPEG 압축기 설계에 사용된 FPGA자원의 수를 사용된 LUT (look-up table)의 개수로 표현 하였으며 성능은 1280×1024해상도의 이미지를 초당 압축할 수 있는 프레임(frame) 수로 나타내었다. 본 논문의 주요 관점은 전력 소모 분석으로서 이에 대해서는 다음 장에서 보다 자세히 설명한다.

3. 전력/에너지 소모 분석

본 논문에서 제시된 도구는 측정 기반의 전력 소모 분석 도구로서 전체 시스템에서 소모되는 전력을 직접 측정할 뿐 아니라 분석적 방법(analytical approach)에서 사용되는 정확한 에너지 모델을 확보하기 위하여 사용될 수도 있다. 다음에서는 본 논문에서 제시된 도구

를 분석적인 방법을 이용하여 전체 시스템 전력 소모를 분석하는 방법과 측정을 통한 전체 시스템 전력 소모를 분석하는 예를 보여준다.

가) 분석적 방법에 의한 시스템의 전력 소모 분석
 시스템 전체의 에너지 소모는 수식 (2)와 같이 각 구성요소에서 소모되는 에너지의 합으로 계산될 수 있다.

$$E_{SYSTEM} = \sum_{i=1}^{N_C} E(c_i) \quad (2)$$

위의 식에서 N_C 는 시스템을 구성하는 구성요소(component)의 개수이며 $E(c_i)$ 는 구성요소 c_i 에서 소모되는 에너지를 나타내는 함수로서 구성요소의 정확한 에너지 소모를 반영하기 위해 다음의 식과 같이 계산될 수 있다.

$$E(c_i) = \sum_{j=1}^{N_{LP}} (\pi_j \cdot p_j) \cdot t \quad (3)$$

위의 식에서 N_{LP} 는 구성요소 c_i 의 동작 상태에 따른 전력 소모 상태의 종류수를 나타내며 π_j 는 구성요소 c_i 가 전체실행시간 t 에서 전력 소모 상태 j 에서 머무를 확률을, 그리고 p_j 는 전력 소모 상태 j 에서 소모되는 평균 전력을 나타낸다. 이러한 전력 소모 분석 방법은 각 구성요소의 전력 소모 상태를 얼마나 자세히 분석하는가에 따라서 모델의 정확성이 결정된다. 일반적인 IP들에 대해서는 이러한 전력 소모 모델을 제공하지 않기 때문에 본 논문에서 제시한 도구를 이용하여 각 구성요소에서 소모되는 전력을 다음과 같이 분석하였다.

표 3은 JPEG의 PE모듈에서 소모되는 전력을 표현한다. 본 논문에서는 NoC구조에 대한 전력 소모 분석에 중점을 두었기 때문에 PE에서 소모되는 전력 소모는

표 3. 계산관련 요소의 전력 소모 (mW)
 Table 3. Power consumption of the computational resources (mW).

PE	전력 모드	전력 소모
입출력 모듈	유휴	60.1
	실행	109.2
2차원 DCT 모듈	유휴	121.7
	실행	465.9
지그재그 및 양자화 모듈	유휴	85.2
	실행	235.6
RLE & 허프만	유휴	210.3
	실행	626.5

표 4. 통신 관련 요소의 전력 소모 (mW)
 Table 4. Power consumption of the communicational resources(mW).

자원	전력 모드	전력 소모
네트워크 인터페이스 (NI)	유휴	4.7
	송신	38.5
	수신	37.8
	송수신	62.1
라우터	유휴	88.7
	1 포트	151.5
	2 포트	161.5
	3 포트	215.8
	4 포트	268.3
통신 채널	채널당	12.5 - 16.2

유휴 상태(idle state) 및 실행상태(active state)의 두 가지로 간소화하여 구분하였다.

표 4는 네트워크 인터페이스, 라우터, 통신 채널로 구성되는 통신관련 구성요소에서 소모되는 전력 소모를 나타내며 구성요소의 동작 상태에 따라서 계산관련 요소보다 다양한 상태로 분류하여 측정하였다.

나) 측정에 의한 시스템 에너지 분석 및 기존 측정 방법과의 비교

개별 구성요소에 대한 전력 소모 분석을 통한 분석적인 방법의 경우 다양한 NoC구조, 매핑(mapping), 응용 등에 대한 전력 소모를 분석할 수 있는 융통성(flexibility)에 있어서 많은 장점이 있지만 전체 시스템에 대한 전력 소모 분석 시 사용된 전력 소모 모델의 오류 및 시뮬레이션 과정 등에서의 오류의 누적으로 인해 시스템의 전력 소모가 부정확해 질 수 있다. 이를 보완하기 위해 전체 시스템에 대한 전력 소모를 직접 측정할 수 있다. 본 논문에서 개발된 측정 도구는 용량이 큰 FPGA를 탑재하였기 때문에 응용 전체를 하나의 시스템으로 설계하여 FPGA 프로토타입으로 개발 후 이에 대한 전력 소모 분석도 가능하게 하였다. 표 5는 개발된 JPEG 압축기 전체에 대한 전력 소모를 분석한 결과를 나타낸다.

정확성 및 효율성을 검증하기 위해 Xilinx ISE에서 제공하는 전력 분석 도구인 XPower와 상용의 멀티미터를 이용한 결과와도 비교 하였다. XPower의 경우 ModelSim 도구를 이용해 대용량의 시뮬레이션 데이터를 생성 후 XPower를 실행하여 결과를 획득하였기 때문에 결과를 얻기까지 많은 시간이 소요(수 시간)되었다. 또한 멀티미터의 경우 일반적으로 동적, 정적 전력

표 5. 기존 측정 방법과의 비교

Table 5. Comparisons with conventional methods.

측정 방법	동적 전력 소모 (mW)		정적 전력 소모 (mW)
	평균	최대	
XPower	1428.2	3565.4	40.5
멀티미터	1100.6	측정불가	11.8
개발된 측정 도구	1179.1	3216.9	11.2

소모를 구분하여 측정할 수 없지만 이를 구분하기 위해 다양한 주파수대에서 전체 전력 소모를 측정 후 회귀 분석의 추가적인 분석 방법을 수행하였다. 이 역시 수동의 반복적인 많은 실험 및 추가 분석 작업을 필요로 하기 때문에 많은 시간이 소요되는 단점이 있었다. 반면 본 논문에서 제공한 도구는 전체 결과를 얻는데 수분 이내 (측정 및 분석 포함)이며 측정 및 분석 과정이 자동화되었기 때문에 사용이 용이하다. 또한 위의 표에서 알 수 있듯이 개발된 측정 도구는 평균 전력 소모 측면에 있어서 상용도구인 멀티미터와 7%의 오차범위 내로 정확할 뿐 아니라 사이클별 전력 소모에 대한 정보를 제공하기 때문에 시스템 설계에 있어서 중요한 최대 전력 소모 같은 정보뿐 아니라 시스템 차원의 저전력 연구에도 활용할 수 있도록 다양한 정보를 제공할 수 있다.

V. 결 론

SoC 설계에 있어서 증가되는 온칩 통신의 복잡성을 해결할 수 있는 통신 구조로서 NoC 기술이 개발 되었다. 일반적으로 NoC 응용은 큰 설계 공간으로 많은 전력을 소모하고 있지만 복잡한 동작으로 인해 전력 소모에 대한 분석 및 예측이 어렵다. 따라서 본 논문에서는 NoC 기술 및 이에 대한 응용의 전력 소모 분석을 가능하게 하는 방법을 제안하였다. 이를 위해 먼저 FPGA 프로토타입을 개발하고 이에 대한 전력 소모를 분석할 수 있도록 사이클별 전력 소모 측정 기술을 이용한 FPGA 전력 소모 분석 도구를 개발하였다. 또한 사례연구로서 NoC를 이용한 JPEG 압축기를 설계하고 개발된 도구를 이용하여 상세한 전력 소모를 분석함으로써 그 효용성을 입증하였다. 개발된 측정 도구는 기존 도구에 비해 수십에서 수백 배 빠르게 동작할 뿐 아니라 상용의 측정 도구인 멀티미터와 비교하여 7% 이내의 오차로 정확한 측정값을 제공한다. 또한 사이클별 전력 소모 측정 기능을 기본으로 제공하기 때문에 최대 전력

소모 정보 같은 시스템 설계 및 저 전력 연구에 중요한 정보를 제공할 수 있다.

참 고 문 헌

- [1] W. Dally, B. Towles, "Route packets, not wires: On-chip interconnection networks," *Proc. of DAC*, June 2001.
- [2] L. Benini, G. De Micheli, "Networks on chips: A new SoC paradigm," *IEEE Computer*, 35(1), 2002.
- [3] A. Jantsch, H. Tenhunen (Eds.). *Networks on Chip*. Kluwer, 2003.
- [4] J. Xu, W. Wolf, S. Chakradhar, and T. Lv, "A Case Study in Networks-on-Chip Design for Embedded Video," *Proc. of DATE*, March 2004.
- [5] T. T. Ye, L. Benini and G. De Micheli, "Analysis of power consumption on switch fabrics in network routers," *Proc. of DAC*, June 2002.
- [6] T. T. YE, L. benini and De Micheli, "Packetized on-chip interconnect communication analysis for MPSoC," *Proc. of DATE*, March 2003.
- [7] H. Wang et al, "Power model for routers: modeling Alpha 21364 and InfiniBand routers," *IEEE Micro*, vol. 24, No.1, pp 26-35, Jan 2003.
- [8] N. Chang, K. Kim and H. G. Lee, "Cycle-accurate energy measurement and characterization with a case study of the ARM7TDMI," *IEEE Transactions on VLSI Systems*, Vol. 10, pp. 146 - 154, Apr. 2002.
- [9] G. C. Cardarilli, A. D. Re, A. Nannarelli, and M. Re, "Power characterization of digital filters implemented on FPGA," *Proc. of ISCS*, 2002.
- [10] Altera Corporation, "Power consumption comparison: APEX 20K vs. Virtex devices," *Altera Technical Brief*, no. 57, October 1999.
- [11] C.-S. Chen, T. Hwang, and C. L. Liu, "Low power FPGA design-A re-engineering approach," *Proc. of DAC*, pp. 656-661, June 1997.
- [12] V. George, H. Zhang, and J. Rabaey, "The design of a low energy FPGA," *Proc. of ISLPED*, 1999.
- [13] T. Osmulski, J. T. Mudhring, N. Veale, J. M. West, H. Li, S. Vanichayobon, S. H. Ko, J. K. Antonio, and S. K. Dhall, "A probabilistic power prediction tool for the Xilinx 4000 series FPGA," *Proc. of International Workshop on Embedded/Distributed HPC Systems and Applications*, 2000.
- [14] E. A. Kusse, "Analysis and circuit design for low power programmable logic modules,"

Master's thesis, Dept of Electrical Engineering and Computer Science, University of California at Berkeley, 1998.

- [15] L. Shang and N. K. Jha, "High-level power modeling of CPLDs and FPGAs," *Proc. of ICCD*, 2001.
- [16] L. Shang, A. S. Kaviani, K. Bathala, "Dynamic Power Consumption in Virtex-II FPGA Family," *Proc. of FPGA Conference*, pp. 157 - 164, 2002.
- [17] S. Wenande and R. Chidester, "Xilinx Takes Power Analysis to New Levels with XPower," *Xcell Journal Online*, no. 41, Fall-Winter, 2001, pages 26-27.
- [18] Altera Corporation, "Evaluation power for Altera Devices," *Altera Application Note*, July, 2001.
- [19] Actel Corporation, "Design for Low Power in Actel Antifuse FPGAs," *Actel Application Note*, September, 2000.
- [20] H. G. Lee, K. Lee, Y. Choi, and N. Chang, "Cycle-accurate energy measurement and Characterization of FPGAs," *Analog Integrated Circuits and Signal Processing*, vol. 42, pp. 239 - 251, March 2005.
- [21] J. Duato, et. al., "Interconnection Networks: an Engineering Approach," *Morgan Kaufmann*, 2002.
- [22] S. J. Lee, K. Lee and H. J. Yoo, "Analysis and Implementation of Practical, Cost-Effective Network on Chips," *IEEE Design and Test of Computers*, pp. 422 - 433, September - October, 2005.

저 자 소 개



이 형 규(정회원)
1999년 동국대학교 컴퓨터공학과
학사 졸업.
2001년 서울대학교 전기컴퓨터
공학부 석사 졸업.
2005년 미국 Carnegie Mellon
University 방문연구원.

2006년 현재 서울대학교 전기컴퓨터공학부
박사 과정.

<주관심분야 : 저전력 시스템, 내장형 시스템,
NoC 설계>



장 래 혁(정회원)
1989년 서울대학교 제어계측
공학과 학사 졸업.
1992년 서울대학교 제어계측
공학과 석사 졸업.
1996년 서울대학교 제어계측
공학과 박사 졸업.

1997년 미국 University of Michigan 연구원.
2005년 미국 Arizona State University 방문교수.
1997년~현재 서울대학교 전기컴퓨터공학부
부교수.

<주관심분야 : 저전력 시스템, 내장형 시스템>