

논문 2007-44SD-2-8

## 2배 해상도를 가지는 픽셀 어레이 광학 각도 센서 ( A Double Resolution Pixel Array for the Optical Angle Sensor )

최 근 일\*, 한 건 희\*\*

( Kunil Choe and Gunhee Han )

### 요 약

본 논문에서는 1차원 CMOS 포토다이오드 픽셀 어레이를 이용한 광학 각도 센서에서, 해상도를 2배 향상시키는 인터폴레이션 방법을 제안한다. 제안된 구조는 인터폴레이션을 위하여 모든 픽셀을 짝수 픽셀 그룹과 홀수 픽셀 그룹으로 나누어, 각 그룹에서 가장 밝은 빛이 들어오는 픽셀(winner)을 winner take all 회로를 이용하여 찾아 이로부터 인터폴레이션을 수행하여 각도 센서의 해상도를 2배 향상시킨다. 제안된 인터폴레이션 방법은 픽셀이나 WTA 회로의 추가없이 간단히 하나의 XOR 게이트와 전압 비교기 회로를 이용하여 구현할 수 있다.  $5.6\mu\text{m}$ 의 픽셀 피치를 가진 336개의 포토다이오드 픽셀 어레이를  $0.35\mu\text{m}$  CMOS 공정으로 구현한 후, 그 위에  $50\mu\text{m}$  폭의 슬릿을 붙여서 광학 센서를 구성하여 실험하였다. 측정된 각도 해상도는  $0.1^\circ$ 이며  $35\text{mW}$ 의 전력을 소모하고 최대 초당 8000번 각도를 측정할 수 있다.

### Abstract

This paper presents a compact double resolution scheme for the optical angle sensor based on 1-dimensional CMOS photodiode pixel array. All the pixels are divided into the even pixel and the odd pixel groups. The winner take all circuit is provided for each group. The proposed interpolation scheme increases the resolution by 2 from the winner addresses and winner values. The interpolation scheme can be implemented without any additional pixels or winner take all circuits and require only a comparator and a XOR gate. The proposed pixel array chip that has 336 photodiode pixels with  $5.6\mu\text{m}$  pitch was fabricated with  $0.35\mu\text{m}$  CMOS process and was assembled with a  $50\mu\text{m}$  slit to form an angle sensor. The measured resolution is  $0.1^\circ$  with the proposed interpolation. The chip consumes  $35\text{mW}$  and provides  $8\text{k}$  samples per second.

**Keywords :** 광학 각도 센서, 인터폴레이션, CMOS 이미지 센서, 스마트 센서, WTA

### I. 서 론

광학 각도 센서는, 센서가 광원을 바라보는 각도를 측정하는 장치로서, 삼각 측량법을 이용한 위치 측정에 널리 쓰인다. 주로 빛의 입사 지점을 측정하는 PSD(Position Sensitive Detector)의 전면에 슬릿이나 렌즈를 두어 구현한다. 따라서 각도 측정의 해상도는 PSD의 해상도에 의해 좌우된다.

PSD는 그 표면에 입사하는 빛의 중심, 즉, 가장 밝은

부분을 찾는 반도체 소자로서, 종래의 방법으로는 LEP(Lateral Effect Photodiode)를 이용하여 구현된다. LEP는 두 개의 전극을 가지는 p-n 포토다이오드 센서로, 입사광의 위치에 따라 두 전극으로부터 흘러나오는 전류 사이의 비가 결정된다<sup>[1][2]</sup>. 흔히 감도를 높이기 위해 p와 n 영역 사이에 진성(intrinsic) 영역을 둔다<sup>[3]</sup>. 그러나 표준 CMOS 반도체 공정에서는 진성 영역이 정의되지 않으므로, CMOS LEP는 감도가 낮아 좋은 해상도를 얻기 힘들다. 또한 출력의 잡음을 줄이기 위해 두 전극간의 저항을 높여야 하지만, CMOS 공정에서 큰 저항을 가지는 포토다이오드를 구성하기가 용이하지 않다. 또한, LEP의 출력이 아날로그 전류 신호이므로, 센서 신호 컨디셔닝 회로(signal conditioning circuit) 및 A/D 변환기가 필요하다는 단점이 있다. 한편 LEP의 동

\* 학생회원, \*\* 정회원, 연세대학교 전기전자공학과  
(Dept. of Electrical and Electronic Engineering  
Yonsei Univ.)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.  
접수일자: 2006년11월28일, 수정완료일: 2007년1월25일

작속도는 두 전극간의 저항과 p-n 접합 커패시턴스가 작을수록 빨라지는데, 이와 동시에 LEP의 신호 대역폭도 넓어져서 잡음량이 증가하므로, 좋은 해상도를 얻기 힘들다.

한편, 근래의 CMOS 이미지 센서 기술의 발전에 힘입어, CMOS 포토다이오드 픽셀 어레이의 감도 및 다이내믹 렌지가 크게 향상 되었으므로, 이를 이용한 PSD가 LEP의 좋은 대안이 되고 있다<sup>[4][5]</sup>. 픽셀 어레이를 이용한 PSD에서는, 가장 밝은 빛을 받을 픽셀의 주소를 소프트웨어 또는 아날로그 회로로 구현된 WTA(Winner Take All) 블록을 이용하여 찾는다.

그러나 픽셀 어레이 PSD의 공간 해상도는 픽셀 피치와 같다. 그러므로 제조 공정이 허용하는 픽셀의 최소 피치에 따라 PSD의 공간 해상도가 결정된다. 주어진 픽셀 피치보다 좋은 해상도를 얻기 위해, 각 픽셀의 출력값을 이용하는 인터폴레이션을 적용할 수 있다. 이때 보다 많은 픽셀의 출력을 이용할수록, 보다 높은 인터폴레이션 해상도를 얻는데, 입사광 중심의 140개의 픽셀을 이용하여 픽셀 피치의 0.013배로 해상도를 향상시키거나<sup>[6]</sup>, 10개의 픽셀을 이용하여 0.25배 까지 향상시킨 예가 보고 되었다<sup>[7]</sup>. 그러나 많은 픽셀 출력을 사용하기 위해서는 보다 복잡한 하드웨어와 긴 연산 시간이 필요하다.

본 논문에서는 입사광 중심 주변의 2개 픽셀 출력을 이용하여 해상도를 2배 향상시키는 매우 간단한 방법을 제시한다. II장에서는 픽셀 어레이 PSD를 이용한 각도 센서의 구성을 보이고, III장에서는 PSD의 구조 및 인터폴레이션 방법을 제안한다. IV장에서는 픽셀 어레이 PSD에서 인터폴레이션을 구현하는 회로를 설명하며, V장에서는 제작된 PSD 칩으로 구성된 각도 센서의 성능 측정 결과를 보이고, VI장에서 결론을 맺는다.

## II. 광학 각도 센서의 구성

그림 1에서 광학 각도 센서의 구성을 나타내었다. 슬릿을 통과한 빛이 PSD 표면에 입사하는 각도는 PSD의 픽셀 중에서 가장 밝은 빛을 받은 픽셀, 즉, '최대 픽셀'의 주소를 찾으면 알 수 있다. 그때의 빛의 입사각은

$$\theta(n) [\text{rad}] = \arctan \frac{d}{r} = \arctan \left( \frac{p}{r} \cdot n \right) \quad (1)$$

와 같이 구해진다. 여기서  $r$ 은 슬릿에서 PSD 표면 사이의 거리이고,  $p$ 는 픽셀 피치,  $n$ 은 PSD 중심에서부터

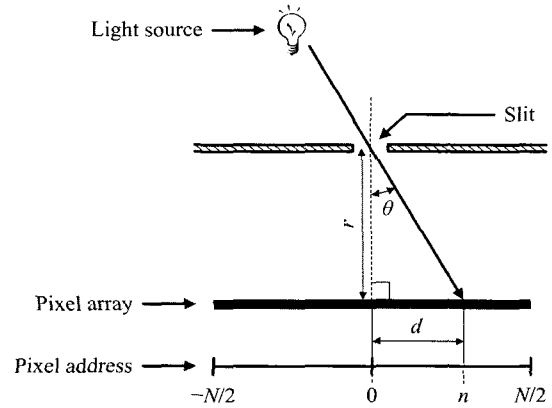


그림 1. 광학 각도 센서의 기본 개념도

Fig. 1. Concept of an optical angle sensor using a pixel array.

헤아려진 최대 픽셀의 주소이다. 가장 낮은 각도 해상도는 PSD의 중앙 부분에서 일어나며 다음과 같은 값을 가진다.

$$\max \frac{d\theta(n)}{dn} = \frac{p}{r}. \quad (2)$$

식 (2)에 의하면, 광학 각도 센서의 해상도는 픽셀 피치  $p$ 가 작을수록 향상됨을 알 수 있다.

입사광의 파장이 슬릿의 폭 보다 충분히 크다면, 슬릿을 통과한 빛의 파워 분포는 가우스 함수 형태이고, 그 너비는 슬릿의 폭에 비례한다. 한편 가우스 함수는 폭에 상관없이 '유일한' 최대값을 '항상' 가지므로, 넓은 폭의 슬릿을 사용하여도 빛의 입사 각도를 찾을 수 있다. 단 너비가 넓은 입사광은 최대 픽셀의 값과 그 주변 픽셀 값 사이의 차이를 크게 만들지 못하므로, 잡음의 영향을 많이 받는다.

## III. 제안하는 인터폴레이션 방법

그림 2는 제안하는 인터폴레이션을 위한 1차원 픽셀 어레이 PSD의 블록도이다. 모든 픽셀은 그 주소에 따라, 홀수 주소 그룹과 짝수 주소 그룹으로 나뉘었고, 각 그룹에 최대 픽셀을 찾기 위한 WTA 회로가 하나씩 할당되었다. 각 WTA 회로는 최대 픽셀의 주소 ( $n_E$  또는  $n_O$ ) 및 값 ( $y_E$  또는  $y_O$ )을 찾는다. 최종 인터폴레이션 된 픽셀 주소  $n_I$ 는 WTA 회로의 출력을 이용하여 인터폴레이션 블록에 의해 계산된다.

각 픽셀의 출력은 바로 옆이 아닌 하나씩 건너 띄어 비교되므로, WTA 입장에서는 보다 큰 차이를 비교하게 된다. 따라서 픽셀 출력의 잡음에 덜 영향을 받는

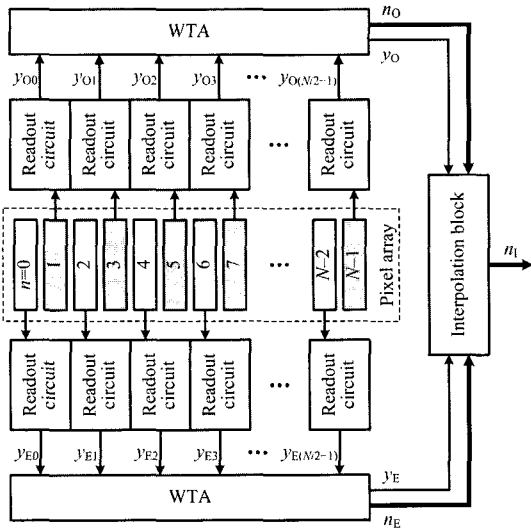


그림 2. 제안된 PSD의 구조  
Fig. 2. Architecture of the proposed PSD.

효과도 기대할 수 있다.

PSD 표면에 입사하는 빛의 파워 분포가 가우스 함수 형태인 경우, 짝수 최대 픽셀  $n_E$ 와 홀수 최대 픽셀  $n_O$ 는 반드시 서로 인접하여 있다. 따라서 전체 픽셀 어레이의 최대 픽셀  $n_C$ 는 다음의 식으로 구할 수 있다.

$$n_C = n_E + n_O \quad (3)$$

그림 3의 예에서 나타낸 최대 입사광의 위치 'A'와 'B'에 대해  $n_C$ 는 모두 3이다. 주어진  $n_C=3$ 에 대해, 왼쪽 절반은 홀수 최대 픽셀의 영역이고, 오른쪽 절반은 짝수 최대 픽셀의 영역이다. 최대 입사광의 위치가 'A'인 경우, 홀수 최대 픽셀 위에 있으므로, 반드시  $y_E < y_O$ 가 된다. 따라서  $n_C=3$ 이고  $y_E < y_O$ 라면, 입사광은 주어진  $n_C=3$ 의 왼쪽에 위치함을 알 수 있다. 반면, 최대 입사광의 위치 'B'인 경우, 짝수 최대 픽셀 위에 있으므로,  $y_E > y_O$ 가 되게 한다. 따라서  $n_C=3$ 이고  $y_E > y_O$ 라면,

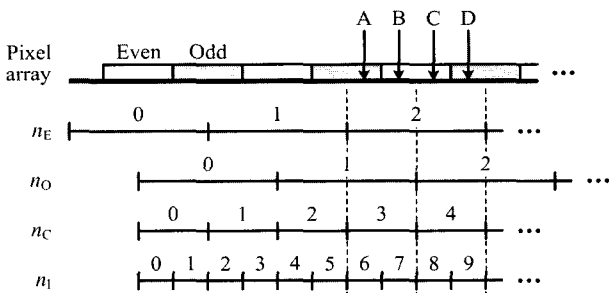


그림 3. 각 픽셀 주소와 입사광의 위치 사이의 관계 도해  
Fig. 3. Illustration of the relationship between the each pixel address and the light incident position.

표 1. 인터플레이션 주소  $\Delta$

Table 1. Subpixel address  $\Delta$  for interpolation.

$\Delta$	$y_E < y_O$	$y_E > y_O$
$n_C$ 가 짝수	0	1
$n_C$ 가 홀수	1	0

입사광은  $n_C=3$ 의 오른쪽에 위치함을 알 수 있다. 같은 방법으로,  $n_C=4$  일 때, 입사광 'C'와 'D'에 대해서는,  $y_E > y_O$  라면  $n_C$ 의 왼쪽 절반(즉, 'C')에,  $y_E < y_O$  라면  $n_C$ 의 오른쪽 절반(즉, 'D')에 입사광이 존재한다는 것을 알 수 있다.

정리하면,  $y_E$ 와  $y_O$ 의 크기를 비교함으로써 주어진  $n_C$ 의 양쪽 절반 중에 어느 쪽에 입사광의 중심이 있는지 알 수 있다. 따라서 새로운 인터플레이션 된 픽셀 주소  $n_I$ 를 다음과 같이 정의된다.

$$n_I = 2 \cdot n_C + \Delta \quad (4)$$

여기서 인터플레이션 주소  $\Delta \in \{0,1\}$ 는 표 1에 나타난 바와 같다.  $\Delta=0$ 이면 주어진  $n_C$ 의 왼쪽 절반에,  $\Delta=1$ 이면 오른쪽 절반에 입사광이 있음을 나타낸다. 식 (4)는 픽셀의 주소 개수를 실제 픽셀 개수의 2배로 늘리므로, 공간 해상도를 2배로 늘린다고 할 수 있다.

WTA 회로의 복잡도는 입력의 개수에 비례한다. 따라서, 인터플레이션 블록을 제외한다면, 그림 2에 제안된 PSD 구조는 1개의 WTA를 사용하는 기존의 PSD와 동일한 하드웨어 복잡도를 가지므로, 추가되는 하드웨어는 인터플레이션 블록 뿐이다.

#### IV. 회로의 구현

그림 4(a)에 포토다이오드 픽셀 회로와 그 출력을 읽어내기 위한 회로를 나타내었다. 픽셀 회로는 보통의 3-트랜지스터 구조의 APS(Active Pixel Sensor)<sup>[8]</sup>와 같으며, 포토다이오드는 n-well/p-sub pn 접합을 이용하였다.  $M_{RST}$  트랜지스터는 포토다이오드를 초기화하기 위한 것이며,  $M_{SF}$  트랜지스터는 포토다이오드 전압을 읽기 위한 버퍼이다.

각 픽셀간의 오프셋(offset) 전압 차이를 상쇄하기 위해, CDS(Correlated Double Sampling) 동작을 스위치-커패시터(Switched-Capacitor; SC) 적분기를 사용하여 구현하였다<sup>[9]</sup>. 그림 4(b)는 포토다이오드 픽셀과 SC 적분기를 동작시키기 위한 타이밍도이다. 최초에,  $M_{RST}$ 를 켜서 포토다이오드를 초기화 시킨다. 이와 동시에 SC

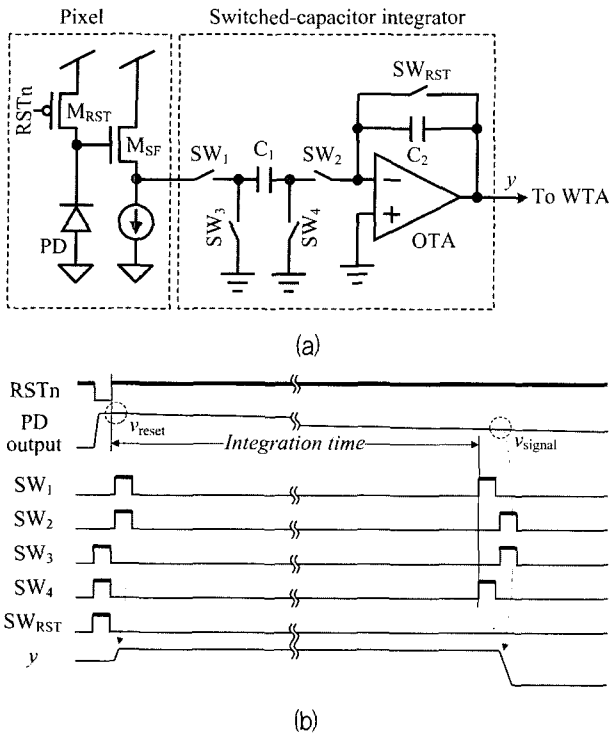


그림 4. 포토다이오드 픽셀 및 스위치-커패시터 적분기의 (a) 회로도 (b) 동작 타이밍도  
 Fig. 4. Employed photodiode pixel and switched-capacitor accumulator; (a) schematic diagram, (b) operational timing diagram.

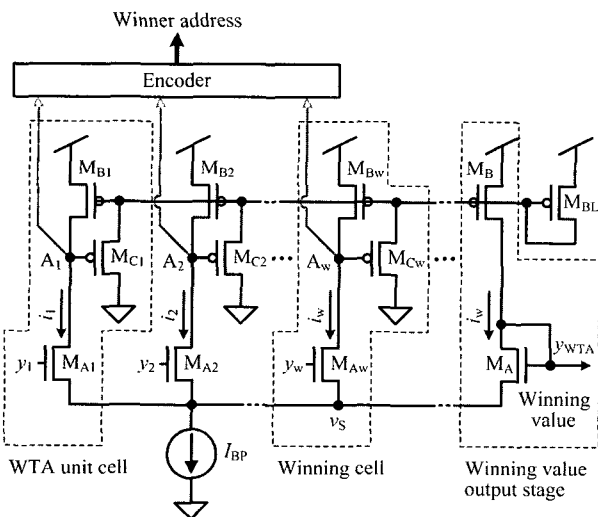


그림 5. 간략화된 WTA의 회로도  
 Fig. 5. Simplified schematic diagram of the WTA.

적분기의  $C_1$ 과  $C_2$ 를 방전시킨다.  $M_{RST}$ 를 끄고 동시에 픽셀의 초기값  $v_{reset}$ 을 SC 적분기의  $C_2$ 에 '비반전'으로 누적한다. 필요한 노출 시간(integration time)이 흐른 후, SC 적분기의  $C_1$ 에 픽셀 출력  $v_{signal}$ 을 샘플링 한 후 이를  $C_2$ 에 '반전'으로 누적하여 픽셀 오프셋이 제거된 신호를 얻는다.

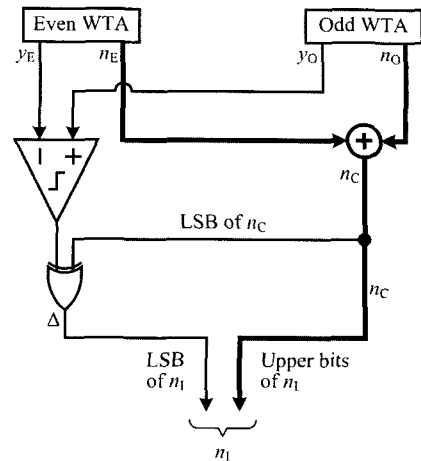


그림 6. 제안된 인터폴레이션 방법의 구현  
 Fig. 6. Implementation of the proposed interpolation scheme.

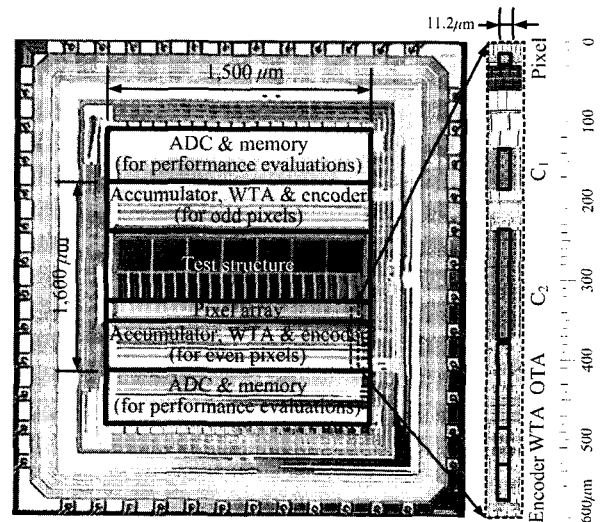


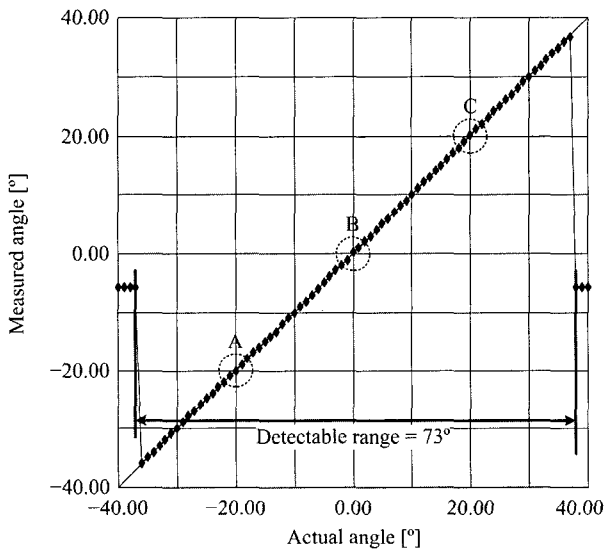
그림 7. 구현한 광학 각도 측정 칩의 사진  
 Fig. 7. Microphotograph of the angle detector chip.

그림 5는 WTA의 회로도<sup>[10]</sup>,  $y_i$ 는 SC 적분기의 출력이다. 모든  $M_A$  트랜지스터가 같은 소스 노드  $v_S$ 를 공유하고, 또한 드레인 전류의 합이 전류원  $I_{BP}$ 에 의해 일정하게 유지되므로,  $M_A$ 가 이상적인 트랜지스터처럼 동작하는 경우,  $v_S$ 는 가장 높은 게이트 전압  $y_w$ 를 가진 오직 하나의 트랜지스터  $M_{Aw}$ 만이 켜지도록 결정된다. 결국  $M_{Aw}$ 에만 드레인 전류  $i_w$ 가 흐르고, 드레인 노드  $A_w$ 만이 낮은 전압이 된다. 따라서  $M_{Cw}$ 를 제외한 모든  $M_C$ 가 꺼진다. 한편 모든  $M_B$  트랜지스터가 같은 게이트-소스 전압을 가지므로,  $i_w$ 가 흐르는  $M_{Bw}$ 만이 소스-드레인 전압이 0이 아닌 값을 가진다.  $i_w$ 는 출력단으로 복사되어, 최대 출력전압  $y_{WTA}$ 를 발생시키며 이는 최대 입력 신호와 같다. 최대 출력 주소는 A 노드 전압들을 2진수로 인코드 하여 구한다.

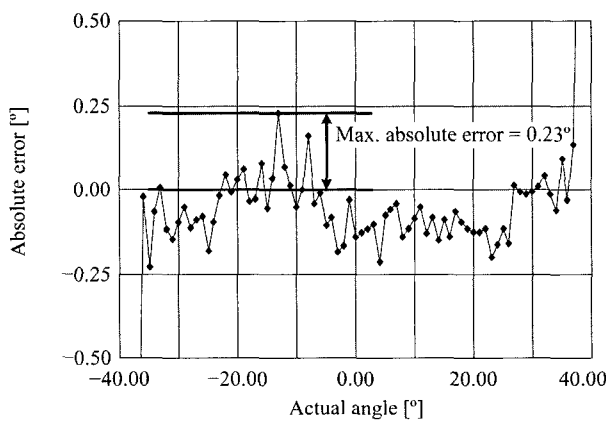
식 (4)로 이루어진 인터폴레이션은 그림 6에 나타난 바와 같은 매우 간단한 회로로 구현할 수 있다. 표 1에서 주어진 인터폴레이션 주소  $\Delta$ 는  $y_E$ 와  $y_0$ 간의 대소 비교 결과와  $n_C$ 의 LSB(Least Significant Bit)간의 XOR 연산으로 구할 수 있으며, 'x2'와 '+' 연산은  $\Delta$ 를  $n_1$ 의 LSB로 두고,  $n_C$ 를 그 상위비트로 뒀으로써 구현된다.

V. 실험

제안된 PSD는  $0.35\mu\text{m}$  CMOS 공정으로  $5.6\mu\text{m}$  피치를 가진 336개의 포토다이오드 픽셀로 구현하였다. 그림 7은 제작된 프로토타입(prototype) 칩의 사진이다.  $50\mu\text{m}$  폭의 슬릿을 칩 패키지 위에 붙여 각도 센서를 구성



(a)



(b)

그림 8. 광학 각도 측정기의 (a) 측정된 각도 (b) 측정 오차

Fig. 8. Measured characteristics of the fabricated angle detector; (a) measured angle, (b) absolute error.

하였으며, 슬릿과 PSD 표면 사이의 거리  $r=1.3\text{mm}$  이다. 따라서 식 (2)로부터 구한 이론적인 최저 해상도는  $0.25^\circ$  이고, 식 (1)로부터 구한 측정 가능한 입사각의 범위는  $73^\circ$  이다.

슬릿과 PSD로 구성된 광학 각도 센서는  $0.01^\circ$  단위로 각도를 조절할 수 있는 회전단(rotation stage)에 장착하였고, 광원은 각도 측정기로부터 일정한 거리에 고정시켰다.

그림 8(a)는 각도 센서를  $-40^\circ$ 에서  $+40^\circ$ 까지 회전시킴에 따라 측정된 빛의 입사각이다. 그림 8(b)는 빛의 실제 입사각과 측정된 입사각 사이의 차이를 절대값으로 나타내었다. 최대 측정오차는 대략  $\pm 0.23^\circ$  이다.

그림 9는 광학 각도 측정기의 스텝폭을 히스토그램으로 나타내었다. 제안된 인터폴레이션을 적용한 후 평균 측정 스텝폭이  $0.196^\circ$ 에서  $0.101^\circ$ 로, 약 1/2이 되었다. 이는 공간해상도가 2배 되었음을 나타낸다.

표 2에서는 시제품 각도 센서 칩의 성능을 요약하였다. LEP PSD와 비교하였을 때, 시제품 각도 센서 칩은

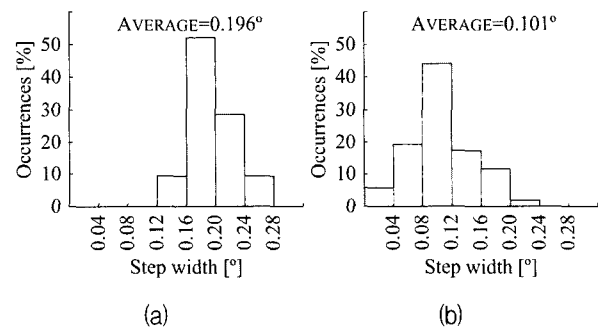


그림 9. 구현된 광학 각도 측정기의 스텝폭 히스토그램; (a) 인터폴레이션 전 (b) 인터폴레이션 후

Fig. 9. Measured step-width histogram; (a) before interpolation, (b) after the proposed interpolation.

표 2. 칩 성능 요약

Table 2. Chip performance summary.

	LEP PSD[11]	제안된 칩
공정	Al/p-Si	$0.35\mu\text{m}$ CMOS
크기 (코어)	$15000\mu\text{m} \times 5000\mu\text{m}$	$1500\mu\text{m} \times 600\mu\text{m}$
픽셀 수	-	$1 \times 336$
픽셀 크기	-	$5.6\mu\text{m} \times 22.4\mu\text{m}$
절대 측정 오차	$< \pm 0.449^\circ$	$\pm 0.23^\circ$
해상도	$0.449^\circ$	$0.110^\circ$
최대 속도	400k samples/sec (ADC시간 제외)	8k samples/sec
전력 소모	-	35mW@3.3V

작은 픽셀 피치와 인터플레이션에 힘입어 4배 가량의 해상도 향상을 보여준다.

## VI. 결 론

본 논문은 1차원 픽셀 어레이 PSD를 위한, 2배 해상도를 가지는 인터플레이션을 혼성신호 회로를 이용하여 구현하는 방법을 제안하였다. 제안된 인터플레이션은 WTA 회로를 2개로 나누고, XOR 로직게이트 한 개와 전압 비교기 만을 이용하므로 추가되는 하드웨어는 매우 작다. 동일한 개수의 픽셀과 WTA 회로를 사용하였을 때, 제안된 PSD를 이용한 광학 각도 센서의 측정 결과, 인터플레이션 방법은 PSD의 해상도를 2배 향상시켰으며, 각도 센서에서  $0.1^\circ$  해상도를 얻을 수 있었다.

## 참 고 문 헌

- [1] A. Mäkynen, J. Kostamovaara, and T. Rahkonen, "CMOS photodetectors for industrial position sensing," *IEEE Trans. on Instrumentation and Measurement*, vol. 43, no. 3, pp. 489-492, June 1994.
- [2] M. de Bakker, P. W. Verbeek, G. K. Steenvoorden, and I. T. Young, "The PSD transfer function," *IEEE Trans. on Electron Devices*, vol. 49, no. 1, pp. 202-206, Jan. 2002.
- [3] I. Abdulhalim, S. Millward, G. Moores, L. Firth, and F. Placido, "Operation of lateral effect photosensitive position sensors using differential time delay mode," *SPIE Optical Engineering*, vol. 41, no. 12, pp. 3265-3269, Dec. 2002.
- [4] A. L. Virto and A. Calderun, "Study of CMOS image sensor for laser beam position detection," in *Proc. of 2004 IEEE Instrumentation and Measurement Technology Conference*, pp. 2358-2360, Como, Italy, May 2004.
- [5] F. D. Nisi, F. Comper, L. Gonzo, M. Gottardi, D. Stoppa, A. Simoni, and J.-A. Beraldin, "A CMOS sensor optimized for laser spot-position detection," *IEEE Sensors Journal*, vol. 5, no. 6, pp. 1296-1304, Dec. 2005.
- [6] N. Massari, L. Gonzo, M. Gottardi, and A. Simoni, "A fast CMOS optical position sensor with high subpixel resolution," *IEEE Trans. on Instrumentation and Measurement*, vol. 53, no. 1, pp. 116-123, Feb. 2004.
- [7] Y. Oike, M. Ikeda, and K. Asada, "A  $375 \times 365$  high-speed 3-D range-finding image sensor using row-parallel search architecture and multisampling technique," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 2, pp. 444-453, Feb. 2005.
- [8] A. E. Gamel and H. Eltoukhy, "CMOS image sensor," *IEEE Circuits System Magazine*, vol. 45, no. 1, pp. 6-20, May/June 2005.
- [9] S. Kavadias, "Offset-free column readout circuit for CMOS image sensors," *IEE Electronics Letters*, vol. 35, no. 24, pp. 2112-2113, Nov. 1999.
- [10] I. E. Opris, "Rail-to-rail multiple-input min/max circuit," *IEEE Trans. on Circuits Systems II: Analog and Digital Signal Processing*, vol. 45, no. 1, pp. 137-140, Jan. 1998.
- [11] J. Henry and J. Livingstone, "Aging effects of schottky barrier position sensitive detectors," *IEEE Sensors Journal*, vol. 6, no. 6, pp. 1557-1563, Dec. 2006.

## 저 자 소 개



최 근 일(학생회원)  
1999년 연세대학교 전자공학과  
학사  
2001년 연세대학교 전기전자  
공학과 석사  
2002년~현재 연세대학교 전기  
전자공학과 박사 과정

<주관심분야 : 아날로그 회로, CMOS Image  
Sensor, Position Sensitive Detector>



한 건 희(정회원)  
1990년 연세대학교 전자공학과  
학사  
1997년 Texas A&M 박사  
1998년 Texas A&M 조교수  
1998년~현재 연세대학교 부교수

<주관심분야 : 아날로그 회로, CMOS Image  
Sensor, 고속 직렬 통신 회로,  $\Sigma\Delta$  모듈레이터>