

논문 2007-44SD-2-6

시그마-델타 A/D 컨버터용 디지털 데시메이션 필터 설계

(Design of digital decimation filter for sigma-delta A/D converters)

변산호*, 류성영*, 최영길*, 노형동*, 남현석*, 노정진**

(Sanho Byun, Seongyoung Ryu, Youngkil Choi, Hyungdong Roh, Hyunseok Nam, and Jeongjin Roh)

요약

오버샘플링(oversampling) 방식의 시그마-델타(sigma-delta) A/D 컨버터에서는 오버샘플링된 신호를 최종 Nyquist rate 으로 낮춰주는 디지털 데시메이션 필터가 필수적이다. 본 논문에서는 면적을 크게 줄이면서 time-to-market의 이점을 가져다주는 고효율 시그마-델타(sigma-delta) A/D 컨버터용 디지털 데시메이션(decimation) 필터의 Verilog-HDL 설계 및 구현을 보였다. 디지털 데시메이션 필터는 CIC(cascaded integrator-comb) filter와 두 개의 half-band FIR filter로 이루어져 있다. FIR 필터에서 곱셈연산의 복잡성을 줄이고 면적을 최소화하기 위해 계수를 CSD(canonical signed digit) 코드로 표현하여 사용하였다. 곱셈 연산은 일반 곱셈기 없이 쉬프트와 덧셈방식을 이용하여 구현되었다. 3단 데시메이션 필터는 0.25- μm CMOS 공정으로 제작되었고, 필터의 면적은 1.36 mm^2 이며 2.8224 Mhz의 클럭 주파수에서 4.4 mW의 파워소모를 보였다. 측정 결과 높은 신호대 잡음 비(SNR)를 요구하는 디지털 오디오용 데시메이션(decimation) 필터의 사양을 충분히 만족시키고 있음을 볼 수 있다.

Abstract

Digital decimation filter is inevitable in oversampled sigma-delta A/D converters for the sake of reducing the oversampled rate to Nyquist rate. This paper presented a Verilog-HDL design and implementation of an area-efficient digital decimation filter that provides time-to-market advantage for sigma-delta analog-to-digital converters. The digital decimation filter consists of CIC(cascaded integrator-comb) filter and two cascaded half-band FIR filters. A CSD(canonical signed digit) representation of filter coefficients is used to minimize area and reduce in hardware complexity of multiplication arithmetic. Coefficient multiplications are implemented by using shifters and adders. This three-stage decimation filter is fabricated in 0.25- μm CMOS technology and incorporates 1.36 mm^2 of active area, shows 4.4 mW power consumption at clock rate of 2.8224 Mhz. Measured results show that this digital decimation filter is suitable for digital audio decimation filters.

Keywords : CIC filter, CSD, decimation filter, audio codec, FIR filter, sigma-delta ADC

I. 서론

디지털 오디오용 고효율도 A/D 컨버터는 오버샘플링(oversampling) 방식의 시그마-델타(sigma-delta) A/D 컨버터가 대부분을 차지하고 있다. 모바일 및 의료기기, 오디오 전자 제품의 시장이 커지면서 시그마-델타 A/D 컨버터의 빠른 설계와 면적 및 파워소모를 줄이는 것이

큰 관심거리이다. 오버샘플링 방식 시그마-델타 A/D 컨버터의 파워소모 및 면적은 디지털 데시메이션 필터의 영향을 크게 받는다^[1]. 오디오용 시그마-델타 A/D 컨버터에서 디지털 데시메이션 필터의 주 기능은 그림 1에서 보이는 바와 같이 비 신호대역의 양자화 노이즈를 제거하는 기능과 데시메이션 필터의 입력 샘플링 주

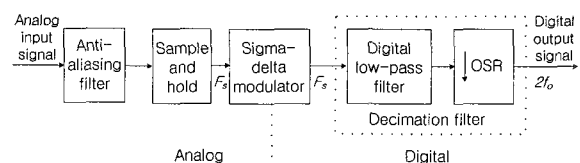


그림 1. 시그마-델타 A/D 컨버터의 구조

Fig. 1. The structure of sigma-delta A/D converter.

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터공학
(Hanyang University, Dep. of Electrical and
Computer Engineering)

※ 본 논문은 IT-SoC 사업의 지원을 받았으며, IDEC
의 지원 장비를 활용하였습니다.

접수일자: 2006년12월12일, 수정완료일: 2007년1월12일

과수(F_s)를 OSR(oversampling ratio)만큼 낮추어 최종 Nyquist 주파수($2f_n$, f_n =신호대역 주파수)로 낮추는 기능이 있다^[2]. 이 기능들을 수행하기 위해 디지털 데시메이션 필터는 몇 개의 선형 위상을 갖는 필터의 연속으로 구현된다. 이 디지털 데시메이션 필터는 전체 주파수 대역에 비해 변이 주파수 대역이 매우 좁기 때문에 높은 차수의 필터를 필요로 한다. 이로 인해 면적과 파워 소모가 커진다^[3]. 디지털 데시메이션 필터의 면적과 파워 소모를 줄이기 위한 많은 연구가 행해지고 있으며 효율적인 여러 기법이 제시되었다. Crochiere^[3]는 디지털 데시메이션 필터의 구조를 multi-rate multi-stage로 구현하는 것이 디지털 데시메이션 필터의 면적과 파워 소모를 효율적으로 줄일 수 있다고 하였다. Goodman and Carey^[4]는 넓은 주파수대역에 적용 가능하고 최적의 계수를 지닌 half-band FIR 필터에 대해 논하고 있다. Hogenauer^[5]는 크게 샘플링 주파수를 낮출 수 있는 효율적인 CIC(cascade integrator-comb) 필터를 제안하고 있다. Hewlett^[6]는 FIR 필터에서 하드웨어 구현의 복잡성을 줄일 수 있는 필터 계수의 CSD(canonical signed digit) 표현 방법을 제시하고 있다. 본 논문에서는 위 기법 및 구조를 참고하여 CIC 필터와 계수의 CSD 표현 방식을 이용한 두 개의 half-band FIR 필터로 파워와 면적에 효율적인 디지털 데시메이션 필터의 설계 및 구현을 보였다. 또한, 데이터의 전송 및 계수의 저장을 위해 RAM과 ROM을 사용하는 대신 Verilog-HDL 합성만으로 공정 및 시그마-델타 모듈레이터의 사양 변화에도 신속하고 간단하게 설계 가능한 방법을 제시하였다. 신속한 디지털 데시메이션 필터의 설계를 위해 필터의 차수 및 계수 값 결정은 MATLAB 시뮬레이션을 통해 결정하였다.

본 논문이 다루고 있는 내용은 다음과 같다. II장에서 필터의 구조 및 특성에 대해 논하고 III장에서는 II장에서 논의된 필터구조를 설계 및 구현하는 과정을 다루었다. IV장에서는 구현한 디지털 데시메이션 필터의 측정결과 및 다른 논문과의 비교결과를 나타내었다.

II. 데시메이션 필터의 구조 및 특성

본 논문에서 제안한 디지털 데시메이션 필터는 1-bit, 4차, OSR=64인 디지털 오디오용 시그마-델타 모듈레이터를 대상으로 설계되었고 표 1과 같은 사양을 목표로 한다. 표 1과 같은 사양을 만족시키기 위한 선형 위상을 갖는 FIR 필터의 탭(tap) 개수 및 곱셈 연산량은 필

표 1. 디지털 데시메이션 필터의 목표 사양

Table 1. Target specifications of digital decimation filter.

Input data rate(F_s)	2.8224 MHz
Output data rate($f_s=2f_n$)	44.1 kHz
Passband(F_{pass})	0-20 kHz
Stopband(F_{stop})	> 24.1 kHz
Minimum stopband attenuation	80 dB
Passband ripple(δ_p)	0.01 dB

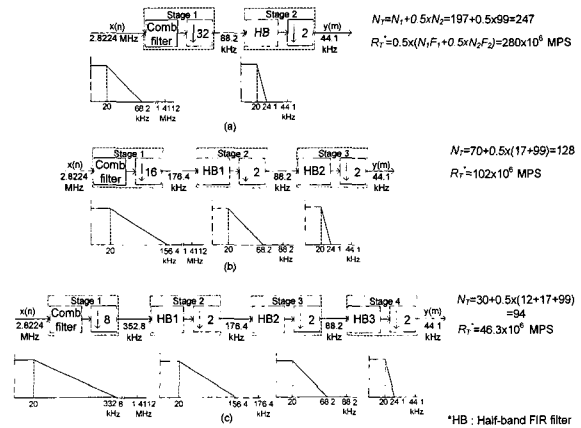


그림 2. 디지털 데시메이션 필터 구조 비교

Fig. 2. Comparison of three digital decimation filter architectures.

터의 파워소모와 복잡성에 큰 영향을 미친다. 필터의 파워소모와 복잡성에 효율적이고 표 1과 같은 사양을 만족시킬 수 있는 데시메이션 필터의 구조를 선택해야 한다. 그림 2에서 몇 가지 설계 가능한 데시메이션 필터의 구조를 비교해 보았다. 첫 단(stage)은 선형 위상을 갖는 FIR 필터 중에 큰 다운 샘플링에 효과적인 콤브(comb)필터로 가정하고 나머지 단은 일반 direct-form FIR 필터에 비해 연산량을 1/2로 줄일 수 있는 half-band FIR 필터로 가정하였다^[1,7]. 그림 2에서 N_T 는 전체 필터의 탭 개수로서 각 단의 탭 개수를 합한 값이 된다. 각 단의 탭 개수(N_i)는 계산의 편의를 위해 equiripple FIR 필터 설계를 위한 공식을 사용하였고 식 (1)에 나타내었다^[3].

$$N_i \approx \frac{D_\infty (\delta_p, \delta_s)}{\Delta F_i / F_i} \tag{1}$$

식 (1)에서 δ_p 와 δ_s 는 필터 전체의 통과대역 리플



그림 3. 3단 디지털 데시메이션 필터

Fig. 3. Three-stage digital decimation filter.

(ripple)과, 정지대역 리플을 나타내고 ΔF_i 와 F_i 는 각단에서의 전이대역과 입력 샘플링 주파수를 의미한다. 콤브 필터 단과 half-band FIR 필터 단에서의 $D_{\infty}(\delta_p, \delta_s)$ 는 각각 $D_{\infty}(\delta_p/I, \delta_s)$, $D_{\infty}(\delta, \delta)$ 로 나타낼 수 있다. I 는 단의 총 개수를 의미하며 $\mathcal{E} = \min[\delta_p/I, \delta_s]$ 로 나타낼 수 있다. 그림 2의 (a)를 예로 들었을 경우, 콤브 필터 단과 half-band FIR 필터단의 $D_{\infty}(\delta_p, \delta_s)$ 는 각각 $D_{\infty}(\delta_p/2, \delta_s) = D_{\infty}(0.01/2, 0.0001) = 3.37$, $D_{\infty}(\delta, \delta) = D_{\infty}(0.0001, 0.0001) = 4.6$ 이다. $D_{\infty}(\delta_p, \delta_s)$ 의 자세한 계산식은 [3]에서 알 수 있다. 그림 2. (a)구조 전체의 탭 수(N_T)를 계산하는 과정에서 N_2 에 곱해진 0.5의 계수를 볼 수 있다. 이는 half-band FIR 필터에서 계수는 대략 절반이 0의 값을 가지고 있기 때문에 탭 수가 반으로 줄어드는 것을 의미한다. 그림 2에서 R_T^* 는 이 시스템을 구현하기 위해 필요한 초당 곱셈수(MPS)로써 각 단의 R_i 를 합한 값이 된다^[3]. R_T^* 는 식 (2)와 같이 각 단에서 탭 수(N_i)와 입력 샘플링 주파수(F_i)의 곱인 R_i 의 합으로 나타낼 수 있다.

$$R_T^* = \sum_{i=1}^I R_i = \sum_{i=1}^I (N_i F_i), i = 1, 2, \dots, I \quad (2)$$

그림 2. (a)의 R_T^* 계산에서 두개의 0.5계수는 순서대로 다음과 같은 이유로 추가하였다. 처음의 0.5계수는 필터 전체의 대칭성을 고려했을 때이고 다음으로 보이는 0.5계수는 half-band FIR 필터를 고려함으로써 추가로 계산해 줘야 하는 계수이다. 그림 2의 세 가지 구조를 비교해 봤을 때 (a)의 구조는 탭 수가 매우 크게 나타난다. 그림 2. (a) 구조에서 첫 번째 단의 입력 샘플링 주파수와 탭 수가 매우 높기 때문에 이 구조는 많은 파워 소모가 예상된다. 다음으로 (b)와 (c) 구조의 N , R_T^* 를 비교해 봤을 때 (c) 구조의 N 및 R_T^* 가 월등히 낮게 나타난다. 두 구조의 파워소모를 비교해 보면 (c) 구조가 (b) 구조보다 파워소모를 크게 줄일 수 있다. 그러나 (c) 구조를 하드웨어로 구현 시 첫 번째 단인 콤브 필터에서 (b) 구조에 비해 면적이 줄어들 수 있겠지만 추가된 두 번째 단의 필터로 인해 면적이 매우 커질 것으로 예상된다. 본 논문에서는 위와 같은 trade-offs를 고려하여 면적과 파워소모를 줄일 수 있고 간단한 필터 설계에 적합한 (b) 구조를 선택하였다.

그림 3은 선택된 구조를 바탕으로 한 본 논문의 디지털 데시메이션 필터를 나타낸다. 5차 CIC 필터는 16배 만큼 샘플링 주파수를 낮추고 2개의 연속된 half-band FIR 필터가 나머지 샘플링 주파수를 Nyquist 주파수인

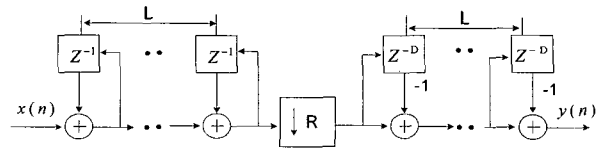


그림 4. Hogenauer CIC 데시메이션 필터 구조

Fig. 4. The structure of Hogenauer CIC decimation filter.

44.1 kHz로 낮춘다. 5차 CIC 필터는 큰 다운샘플링에 적합하면서 곱셈기와 계수를 저장할 ROM 없이 적분기와 미분기만으로 쉽게 구현 가능한 장점을 가지고 있는 Hogenauer CIC 필터를 사용하였다^[5]. 첫 번째 half-band FIR 필터는 차수가 19인 Goodman and Carey의 F9 half-band FIR 필터를 사용하였다^[4]. 두 번째 half-band FIR 필터는 좁은 전이대역과 정지대역에서 80 dB의 감쇄를 얻을 수 있도록 첫 번째 half-band FIR 필터에 비해 높은 차수인 98차로 설계하였다. 두 번째 half-band FIR 필터에 사용된 계수는 Remez exchange algorithm을 이용하여 결정하였다^[8]. 이 계수 값들은 곱셈연산을 할 때 효율적인 CSD 표현방식으로 Verilog-HDL 합성을 통해 저장하여 사용되었다^[6]. 첫 번째와 두 번째 half-band FIR 필터의 구조는 polyphase 구조로 구현되었다^[3,7].

이 구조에서 resampling 동작은 연산 동작 및 지연 요소 전에 이루어지기 때문에 필터 전체가 출력 주파수로 동작을 한다^[1,3]. 이로 인해 필터의 파워 소모와 하드웨어의 복잡성을 크게 줄일 수 있다. 두 번째 half-band FIR 필터는 전이대역이 가장 좁고 필터의 차수가 매우 높기 때문에 파워소모나 면적에 큰 영향을 미친다. 따라서, 파워소모를 줄이기 위해 샘플링 주파수가 가장 낮은 마지막 단에 위치시켰다. 본 논문의 디지털 데시메이션 필터는 고해상도 디지털 오디오용으로 최종 출력은 23-bit, 2의 보수(two's complement)형태이며 각 단의 필터에서 1-bit 씩 비트 증가를 갖도록 하였다. 5차 Hogenauer CIC 필터와 첫 번째 및 두 번째 half-band FIR 필터의 자세한 구현에 관해서는 다음 장에 기술하였다.

III. 데시메이션 필터의 설계 및 구현

본 논문에서는 샘플링 주파수를 큰 폭으로 낮추는 첫 번째 필터 단으로 그림 4에 나타난 Hogenauer CIC 데시메이션 필터를 사용하였다^[5]. 본 논문의 5차 CIC 필터는 적분기와 미분기 파트(콤브 필터)로 구성되어 있

다. 5차 CIC 필터의 적분기 단은 높은 입력 주파수 ($64f_s$, $f_s=44.1$ kHz)에서 동작하는 5($L=5$)개의 디지털 적분기로 구성되어 있다. 하나의 적분기에 대한 전달 함수는 식 (3)과 같다.

$$H_I(z) = \left(\frac{1}{1-z^{-1}}\right) \quad (3)$$

콤브 필터 단은 $64f_s$ (적분기의 동작 주파수) 보다 R (다운샘플러에 의한 다운샘플링 비)만큼 낮은 주파수에서 동작한다. 이 콤브 필터는 각 단에서 D 개의 지연(delay)을 갖는 L 개의 콤브 단으로 이루어져 있다. 한 개의 콤브 단 전달 함수는 다음 식 (4)와 같다.

$$H_C(z) = (1-z^{-RD}) \quad (4)$$

식 (3), (4)를 바탕으로 5차 CIC 필터의 전달 함수를 구해보면 식 (5)와 같다.

$$H(z) = \frac{(1-z^{-RD})^L}{(1-z^{-1})^L} = \left[\sum_{k=0}^{RD-1} z^{-k} \right]^L \quad (5)$$

식 (5)는 RD 개의 레지스터를 가지고 있는 FIR 필터와 특성이 같음을 보여준다. 5차 CIC 필터의 주파수 응답식은 다음의 조건을 적용하여 구할 수 있다.

$$z = e^{j\Omega}, \quad \text{where } \Omega = \frac{2\pi f}{f_{sa}} \quad (6)$$

식 (6)에서 f_{sa} 는 5차 CIC 필터의 입력샘플링 주파수에서 R 만큼 감소된 출력 샘플링 주파수를 의미한다. 식 (6)을 식 (5)에 대입한 결과 5차 CIC 필터의 주파수 응답식은 식 (7)과 같다.

$$H(f) = \left[\frac{\sin(RD\Omega/2)}{\sin(\Omega/2)} \right]^L \quad (7)$$

식 (7)로부터 5차 CIC 필터의 주파수 특성은 저역통과 필터의 특성을 가지고 있고 $1/RD$ 의 배수에서 널(null)이 생기는 것을 알 수 있다. 본 논문의 5차 CIC 필터에서는 16배만큼 다운샘플링을 하므로 R 은 16이 된다. 5차 CIC 필터의 차수는 시그마-델타 모듈레이터의 차수보다 한 차수 높아야 한다^[9]. 설계 대상 시그마-델타 모듈레이터가 4차 구조로 이루어져있기 때문에 L 은 5로 정하였다. 다운샘플러의 위치가 적분기와 콤브 필터 사이에 오기 때문에 콤브 필터에 사용되는 지연은 RD 개에서 D 개로 줄어들게 된다. D 의 값은 1 또는 2로 정할 수 있는데 본 설계에서는 2로 정하였다. 5차

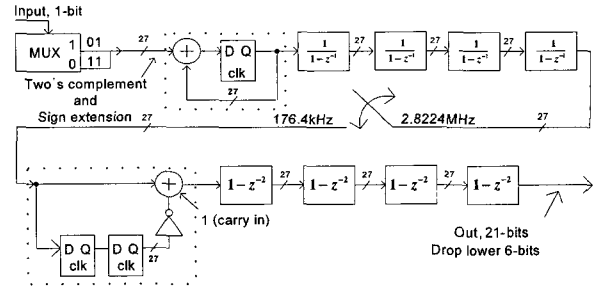


그림 5. CIC 필터의 블록 다이어그램
Fig. 5. Block diagram of CIC filter.

CIC 필터의 출력은 176.4kHz에서 resampling 동작을 하게 된다. 이때 널 주변의 성분이 신호대역 안에서 얼라이어링(aliasing) 신호로 발생될 수 있다. 얼라이어링 신호를 줄이기 위해서는 널 주변의 성분을 줄이는 것이 필요하다. 널 주변의 성분은 콤브 필터의 지연 개수(D)를 1에서 2로 늘림으로써 줄일 수 있다. 그림 5에 구현된 5차 CIC 필터를 보였다. 그림 5에 보인 5차 CIC 필터 설계 시 적절한 워드(word) 크기와 포맷(format)을 선택해야 한다. 5차 CIC 필터의 각 적분기단은 피드백 계수가 1이어서 오버플로우(overflow) 문제가 생길 수 있다. 따라서 오버플로우의 문제가 생기지 않게 하기 위해 첫째로 필터 안에서의 데이터 포맷은 2의 보수로 구현되었다^[5]. 시그마-델타 모듈레이터의 출력(1-bit)을 2의 보수로 변환시킨 5차 CIC 필터의 입력 데이터 크기(B_{in})는 2-bit(01 or 11)이고 $L=5$, $R=16$, $D=2$ 인 본 논문의 5차 CIC 필터에서 오버플로우 문제가 일어나지 않게 하기 위해 내부의 워드 크기를 다음 식 (8)에서 결정하였다^[10].

$$Wordlength = L(\log_2 RD) + B_{in} \quad (8)$$

식 (8)에 의해 본 논문에서 구현된 5차 CIC 필터 내부의 워드크기는 27-bit 이다. 그림 3에서 디지털 데시메이션 필터의 최종 출력 비트는 23-bit 이고 이어지는 두 FIR 필터 단에서 비트증가량이 1-bit 씩 발생하므로 하위 6-bit 는 버리고 상위 21-bit 를 출력으로 내보낸다. 중간에 위치하고 있는 다운 샘플러는 적분 파트와 미분 파트에 있는 레지스터의 동작주파수를 각각 2.8224 MHz 와 176.4 kHz 로 동작시켜 구현 될 수 있다. 시그마-델타 모듈레이터의 출력(1-bit)을 2의 보수(two's complement) 형태로 만들기 위해 MUX(multiplexer)를 이용하였다. 그리고 워드 크기로 비트 증가 연산을 적분 연산 전에 위치 시켰다. 미분 파트에서 2의 보수의 뺄셈 연산은 인버터와 캐리(carry) 입력을 통해 쉽게 구

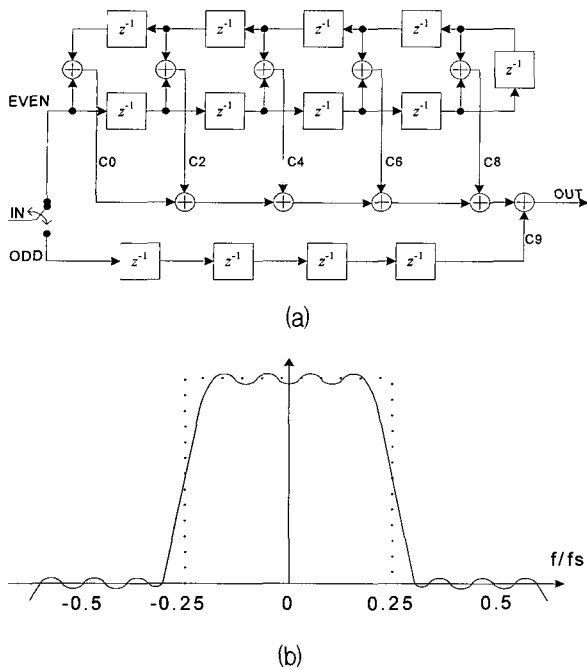


그림 6. (a) Half-band polyphase FIR 필터(order=19)
 (b) Half-band FIR 필터의 주파수 특성
 Fig. 6. (a) Half-band polyphase FIR filter(order=19).
 (b) Spectral characteristics of Half-band FIR filter.

현이 가능하다.

설계된 5차 CIC 필터는 구조가 간단하고 큰 다운샘플링을 할 수 있다. 그러나, 정지대역에서의 감쇄 능력이 부족하기 때문에 정지대역에서의 불충분한 감쇄를 보완해 주기 위해 연속된 두 개의 half-band FIR 필터를 사용하였다. 본 논문에서는 계수 곱셈 연산의 하드웨어 복잡성과 파워소모를 줄이기 위해 half-band FIR 필터를 polyphase direct-form 필터로 구현 하였다^[37]. 이 구조는 필터의 임펄스 응답이 짝수와 홀수로 구분되어 있다. 홀수 번째 중간 값의 임펄스 응답을 제외한 모든 홀수 번째 임펄스 응답이 0인 특징을 가지고 있다. 한 개를 제외한 모든 홀수 번째 계수가 0의 값을 가지므로 총 곱셈과 덧셈연산의 수가 direct-form FIR 필터보다 줄어들게 된다^[1]. 그림 6. (a)는 half-band polyphase FIR 필터구조를 보여주고, 그림 6. (b)는 필터의 대칭적인 주파수 특성을 나타낸다. 5차 CIC 필터의 출력 주파수(176.4 kHz)는 첫 번째 half-band FIR 필터의 입력 주파수가 된다. Half-band FIR 필터는 입력 샘플링 주파수를 1/2로 만들기 때문에 본 논문의 첫 번째 half-band FIR 필터의 출력 샘플링 주파수는 88.2 kHz가 된다. 첫 번째 half-band FIR 필터에서 표준화 시킨 통과대역($F_{N,pass}$)과 정지대역($F_{N,stop}$)은 식 (9)와 같

표 2. Goodman F9필터계수의 2의 보수 형식

Table 2. Two's complement format of Goodman F9 filter.

계수 값	14비트 2의 보수													
18	0	0	0	0	0	0	0	0	0	1	0	0	1	0
-116	1	1	1	1	1	1	1	0	0	1	1	1	0	0
429	0	0	0	0	0	1	1	0	1	0	1	1	0	1
-1278	1	1	1	0	1	1	0	0	0	0	0	0	1	0
5042	0	1	0	0	1	1	1	0	1	1	0	0	1	0

표 3. Goodman F9 필터계수의 CSD number

Table 3. CSD number of Goodman and Carey F9 half-band FIR filter.

계수 값	CSD number													
18	0	0	0	0	0	0	0	0	0	1	0	0	1	0
-116	0	0	0	0	0	0	-1	0	0	1	0	-1	0	0
429	0	0	0	0	1	0	0	-1	0	-1	0	-1	0	1
-1278	0	0	0	0	-1	0	-1	0	0	0	0	0	1	0
5042	0	1	0	1	0	0	0	-1	0	-1	0	0	1	0

이 구할 수 있다.

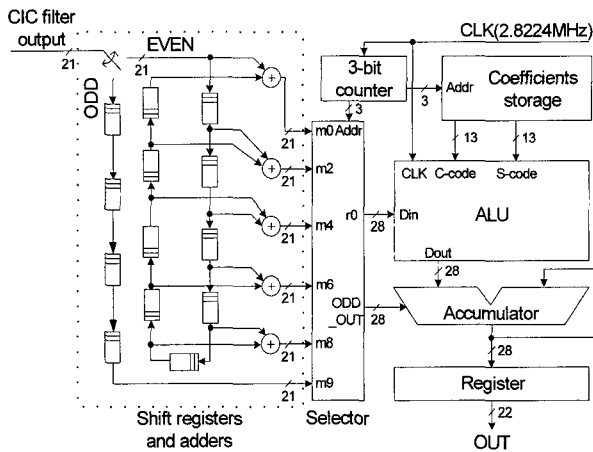
$$F_{N,pass} = \frac{20}{88.2} = 0.227, F_{N,stop} = \frac{68.2}{88.2} = 0.773 \quad (9)$$

식 (9)에서 변이대역 폭은 $F_{N,stop} - F_{N,pass} = 0.546$ 으로 비교적 넓기 때문에 낮은 차수의 필터로 구현이 가능하다. 첫 번째 half-band FIR 필터는 Goodman and Carey의 F9 half-band FIR 필터를 사용하였다^[4]. 이제부터 Goodman and Carey의 F9 half-band FIR 필터를 간단하게 Goodman F9 필터라 하겠다. Goodman F9 필터는 정지대역 감쇄가 80 dB이고 통과대역에서의 리플이 0.001 dB로 매우 작아 첫 번째 half-band FIR filter에 적합하다. Goodman F9 필터의 계수는 모두 6개이지만 홀수 번째 중간 계수는 오른쪽으로 1-bit 쉬프트(shift)를 통해 구현될 수 있다. 따라서 단지 5개의 계수 값 저장 및 곱셈연산이 필요하다.

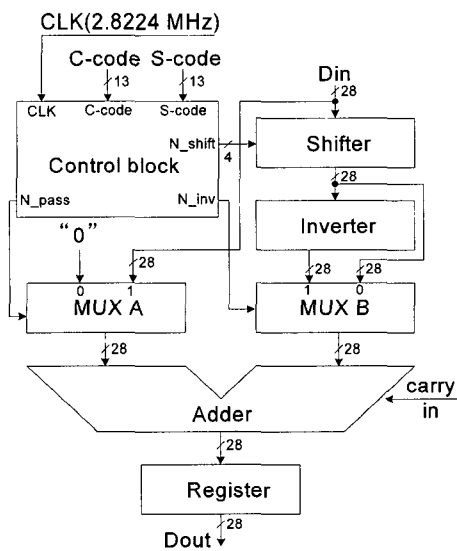
본 논문에서는 하드웨어 복잡성과 면적을 줄이기 위해 계수의 곱셈 연산을 일반 곱셈기 대신 쉬프터와 덧셈기로 곱셈연산을 하였다. 이와 같은 곱셈 연산에서는 계수를 CSD 또는 2의 보수로 표현하는 것이 필요하다^[6]. CSD 또는 2의 보수로 표현된 계수에서 0이 아닌 값이 많아질수록 연산량이 늘어난다. 본 논문에서는 연산량을 줄이기 위해 계수의 0이 아닌 값을 줄여주는 CSD표현법을 사용했다. Goodman F9 필터계수의 CSD 표현 방식에서 각 비트는 {1, 0, -1} 이 될 수 있다. 표 2는 2의 보수로 나타낸 Goodman F9 필터의 계수를 보여주고 표 3은 CSD 표현 방식으로 나타낸 Goodman

표 4. CSD 표현방식을 이용한 계수 저장 예
Table 4. The storage of coefficients represented by CSD format.

계수	$-116/2^{14} = -2^{-7} + 2^{-10} - 2^{-12}$													
CSD number	0	0	0	0	0	0	-1	0	0	1	0	-1	0	0
C-code	0	0	0	0	0	0	1	0	0	1	0	1	0	0
S-code	0	0	0	0	0	0	1	0	0	0	0	1	0	0



(a)



(b)

그림 7. (a) F9 필터의 구조
(b) ALU의 구조

Fig. 7. (a) Structure of F9 filter.
(b) Structure of ALU.

F9 필터의 계수를 보여주고 있다. 표 2, 3을 비교해보면 CSD 표현 방식이 2의 보수 표현법보다는 0이 아닌 값의 개수가 더 작은 것을 볼 수 있다.

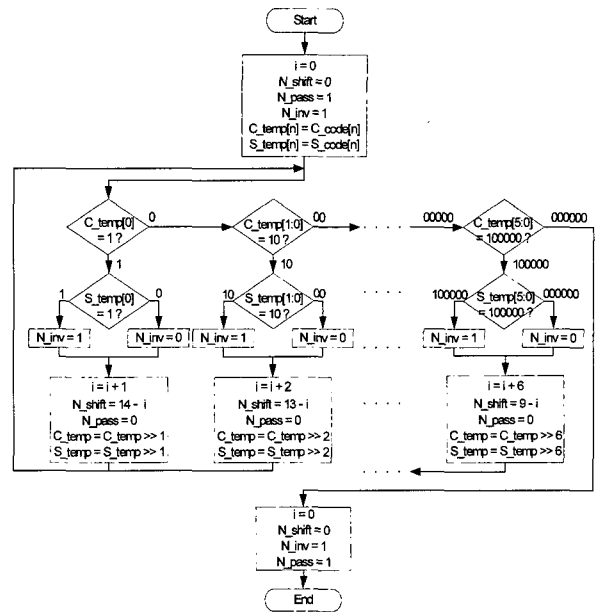


그림 8. 컨트롤 블록의 순서도
Fig. 8. Flow chart of control block.

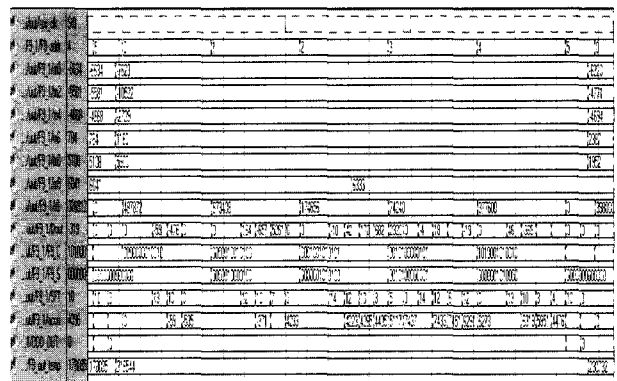


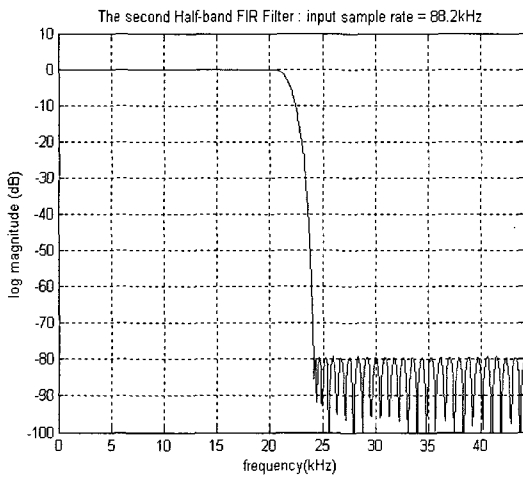
그림 9. 디지털 데시메이션 필터의 시뮬레이션 결과 파형
Fig. 9. Digital decimation filter simulation result waveforms.

그림 7. (a)는 그림 6. (a)의 블록 다이어그램을 바탕으로 구현한 첫 번째 half-band FIR 필터의 구조를 나타낸다. 5차 CIC 필터의 출력은 출력 샘플링 주파수로 동작하는 쉬프트 레지스터에 저장되고 지연된 쉬프트 레지스터의 출력과 더해진다. 더해진 쉬프트 레지스터의 덧셈 값(그림 7. (a)에서 $m_0, m_2, m_4, m_6, m_8, m_9$)은 동시에 선택기(selector)로 옮겨진다. 선택기는 동시에 받은 쉬프트 레지스터의 덧셈 값 6개 중 계수와 곱셈연산을 해야 하는 5개(m_0, m_2, m_4, m_6, m_8)의 데이터를 곱셈연산 후에 생길 수 있는 roundoff 노이즈를 최소화하기 위해 28-bit 으로 비트 확장시키고, 3-bit counter로 생성된 주소에 맞게 순차적으로 ALU에 보내준다. 그리고 마지막 주소에서 m_9 데이터를 비트 확

장과 동시에 1-bit 오른쪽 쉬프트 연산을 취한 후 *ODD_OUT*값으로 Accumulator에 보낸다. ALU에서 쉬프트와 덧셈 방식으로 곱셈연산을 한 뒤 Accumulator는 ALU의 출력을 더해간다.

표 4에서 데이터의 오른쪽 자리 이동을 이용한 곱셈 연산을 위해 계수를 2^{-n} 의 합으로 나타낼 수 있고 계수의 CSD 표현 시 1 과 -1 을 구분하기 위해 C-code와 S-code로 구분하여 저장한 예를 보여주고 있다. C-code와 S-code는 Verilog-HDL 합성을 통해 저장되었다. C-code와 S-code 역시 3-bit counter에 의해 생

성된 주소에 맞춰 ALU로 보내진다. 인코딩된 CSD 코드 중 -1은 표 4에서 볼 수 있듯이 C-code 와 S-code 둘 다 1을 저장하여 나타낸다. 반면에 1을 표현 시 C-code만 1을 저장하여 구분 하였다. 그림 7. (b)는 ALU의 구조를 나타낸다. 컨트롤 블록은 곱셈연산에 필요한 $N_shift(SFT)$, N_inv , $N_pass(PASS)$ 신호를 생성시킨다. 그림 8에 컨트롤 블록이 동작하는 과정을 순서도로 나타내었다. 우선 C-code를 읽어와 첫 번째 1이 나올 수 있는 미리 지정된 패턴과 비교를 하고 다음으로 S-code를 비교한다. S-code의 값이 1이면 N_inv 신호는 1이 된다. 이는 CSD 코드 계수에서 -1연산을 하기 위한 것이다. N_shift 신호는 표 4에 예를 보인 계수의 2^{-n} 에서 n 값으로 나타나는데 이는 C-code에서 1의 위치를 나타내는 값(그림 8., i 값)을 이용하여 생성된다. 컨트롤 블록은 C-code에서 최종 1의 값을 찾을 때까지 위 과정을 반복한다. 순서도의 마지막에 있는 명령은 계수의 0이 아닌 값이 다른 계수에 비해 적은 경우 여분의 시스템 클럭 사이클 동안 연산이 이루어지지 않게 하기 위한 것이다. 쉬프트는 N_shift 신호 값만큼 입력 데이터를 오른쪽으로 이동시킨다. MUX B는 N_inv 신호가 1이면 반전된 shifter 출력을 통과 시킨다. 첫 번째 half-band FIR 필터는 곱셈연산을 하기 위해 32개 (2.8224 Mhz/88.2 khz)의 시스템 클럭을 사용할 수 있다. 표 3에 나타낸 5개 각각의 CSD 계수에서 0 이 아닌 값(1,-1)은 최대 5개 이다. 곱셈 연산을 할 계수는 5개이고 계수 당 최대 연산 횟수는 5개 이므로 곱셈연산 한번에 6개의 클럭 씩 총 30개의 시스템 클럭을 사용하였다. 그림 9에서 총 30개의 시스템 클럭을 6개의



$h(0) = h(98) = 1.0657310686E-04$	$= 2^{-13} - 2^{-16} - 2^{-22}$
$h(2) = h(96) = -1.4615068899E-04$	$= 2^{-13} - 2^{-15} + 2^{-17} - 2^{-20} - 2^{-22}$
$h(4) = h(94) = 2.4271011353E-04$	$= 2^{-12} - 2^{-19} + 2^{-22}$
$h(6) = h(92) = -3.7789344788E-04$	$= -2^{-11} + 2^{-13} - 2^{-16} + 2^{-18} + 2^{-22}$
$h(8) = h(90) = 5.6076049805E-04$	$= 2^{-11} + 2^{-14} + 2^{-16} - 2^{-18} - 2^{-22}$
$h(10) = h(88) = -8.0275535583E-04$	$= -2^{-10} + 2^{-12} - 2^{-14} - 2^{-17} - 2^{-20} - 2^{-22}$
$h(12) = h(86) = 1.11556053162E-03$	$= 2^{-10} + 2^{-13} + 2^{-16} + 2^{-19} - 2^{-21}$
$h(14) = h(84) = -1.51348114014E-03$	$= -2^{-9} + 2^{-11} - 2^{-14} + 2^{-16} - 2^{-19} - 2^{-21}$
$h(16) = h(82) = 2.01201438904E-03$	$= 2^{-9} + 2^{-14} - 2^{-16} + 2^{-20} + 2^{-22}$
$h(18) = h(80) = -2.62904167175E-03$	$= -2^{-8} + 2^{-10} + 2^{-12} + 2^{-14} - 2^{-18} - 2^{-22}$
$h(20) = h(78) = 3.3850668608E-03$	$= 2^{-8} - 2^{-11} - 2^{-15} - 2^{-18} - 2^{-20}$
$h(22) = h(76) = -4.30488586426E-03$	$= 2^{-8} - 2^{-11} + 2^{-13} - 2^{-15} - 2^{-19} + 2^{-21}$
$h(24) = h(74) = 5.41782379150E-03$	$= 2^{-7} - 2^{-9} - 2^{-11} + 2^{-14} - 2^{-16} + 2^{-21}$
$h(26) = h(72) = -6.7615500332E-03$	$= -2^{-7} + 2^{-10} + 2^{-14} + 2^{-15} - 2^{-19} + 2^{-21}$
$h(28) = h(70) = 8.38518142700E-03$	$= 2^{-7} + 2^{-11} + 2^{-13} - 2^{-15} - 2^{-17}$
$h(30) = h(68) = -1.03564262901E-02$	$= -2^{-7} - 2^{-9} - 2^{-11} - 2^{-13} + 2^{-16} + 2^{-18} + 2^{-20}$
$h(32) = h(66) = 1.277279853821E-02$	$= 2^{-6} - 2^{-8} + 2^{-10} + 2^{-14} + 2^{-16} + 2^{-20} - 2^{-22}$
$h(34) = h(64) = -1.57828330937E-02$	$= -2^{-6} - 2^{-13} - 2^{-15} - 2^{-18} - 2^{-20}$
$h(36) = h(62) = 1.962518692017E-02$	$= 2^{-6} + 2^{-6} + 2^{-13} - 2^{-15} + 2^{-19}$
$h(38) = h(60) = -2.471423149109E-02$	$= -2^{-5} + 2^{-7} - 2^{-10} - 2^{-12} - 2^{-14} + 2^{-17} - 2^{-19} - 2^{-22}$
$h(40) = h(58) = 3.183484077454E-02$	$= 2^{-5} + 2^{-11} + 2^{-13} - 2^{-15} + 2^{-18} + 2^{-20}$
$h(42) = h(56) = -4.267573356628E-02$	$= -2^{-4} + 2^{-6} + 2^{-8} + 2^{-12} + 2^{-14} - 2^{-16} + 2^{-18} - 2^{-21}$
$h(44) = h(54) = 6.163692474365E-02$	$= 2^{-4} - 2^{-10} + 2^{-13} - 2^{-17} - 2^{-20} - 2^{-22}$
$h(46) = h(52) = -1.0487747192383E-01$	$= -2^{-3} + 2^{-6} + 2^{-8} + 2^{-11} + 2^{-13} - 2^{-16} - 2^{-19} + 2^{-22}$
$h(48) = h(50) = 3.1789922714233E-01$	$= 2^{-2} + 2^{-4} - 2^{-9} - 2^{-11} + 2^{-15} - 2^{-19} - 2^{-21}$
$h(49) = 0.5000429153442$	$= 2^{-1}$

그림 10. 98차 half-band FIR filter의 크기 응답곡선 및 계수

Fig. 10. Magnitude response of 98-order half-band FIR filter and coefficients.

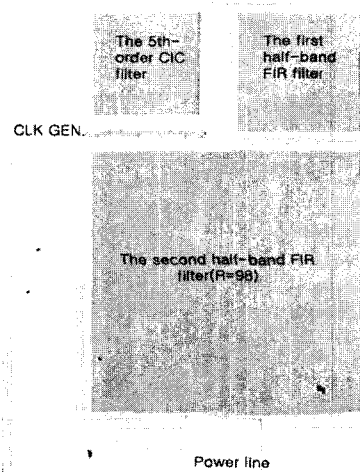


그림 11. Die chip 사진

Fig. 11. Die chip photograph.

표 5. 구현된 디지털 데시메이션 필터의 성능
Table 5. Performance of implemented digital decimation filter.

Input data rate	2.8224 Mhz
Output data rate	44.1 kHz
Passband	0-20 kHz
Stopband	> 24.1 kHz
Minimum stopband attenuation	80 dB
Phase distortion	0° (linear phase)
Area	1.36 mm ²
Resolution	23-bit
Technology	0.25- μ m CMOS

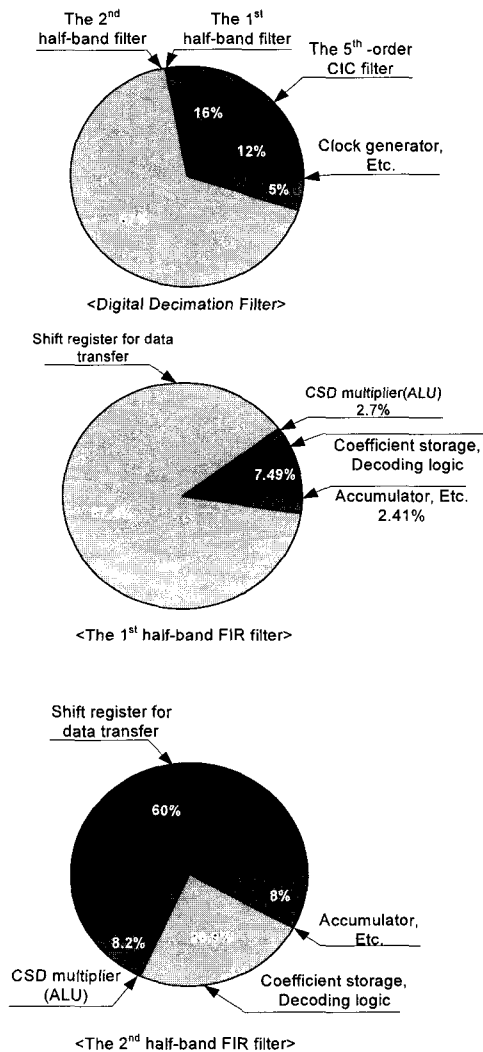


그림 12. 디지털 데시메이션 면적 분석
Fig. 12. An area analysis of digital decimation filter.

시스템 클럭씩 나누어 5개의 계수 곱셈연산이 이루어지는 것을 볼 수 있다. 그리고 나머지 2개의 클럭 동안 가운데 홀수 계수의 곱셈연산이 이루어진다. 가운데 홀수 계수의 곱셈연산은 1-bit 만 오른쪽으로 이동 시키면 된다. 쉬프트 레지스터에서 더해진 값들(m_0, m_2, m_4, m_6, m_8)은 r_0 레지스터에 부호를 생략하고 비트 확장

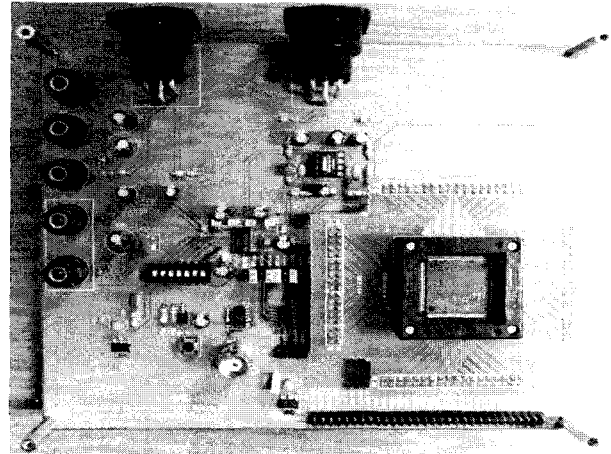


그림 13. 디지털 데시메이션 필터 테스트 보드
Fig. 13. The test board for digital decimation filter.

된 값으로 저장이 되고, ALU 에서 곱셈연산을 위한 N_{shift} 신호가 SFT 로 나타나는 것을 그림 9에서 확인할 수 있다. $Dout$ 은 SFT 값만큼 r_0 의 값을 자리이동 시킨 결과 값이다. 최종 첫 번째 half-band FIR 필터의 출력 값은 $Dout$ 값과 홀수 계수 곱셈 값을 순차적으로 더한 후 하위 6-bit을 버린 값이 된다. 위와 같이 구현된 첫 번째 half-band FIR 필터에서 곱셈 연산은 1 개의 ALU 로 구현되었다.

세 번째 단의 필터도 첫 번째 half-band FIR 필터와 구현방법이 유사하다. 차이점은 첫 번째 half-band FIR 필터보다 전이대역이 좁기 때문에 필터의 차수가 크게 늘어나는 것과 계수 곱셈을 위한 시스템 클럭의 제한이 계수 개수에 비해 커진 것을 들 수 있다. 세 번째 단 필터의 입력 주파수는 88.2 kHz이고 출력주파수는 44.1 kHz이다. 통과대역이 20 kHz이고 정지대역이 24.1 kHz일 때 표준화된 통과대역과 정지대역은 식 (10)과 같다.

$$F_{N,pass} = \frac{20}{44.1} = 0.453, F_{N,stop} = \frac{24.1}{44.1} = 0.546 \quad (10)$$

식 (10)의 조건과 정지대역에서 최소 80 dB 감쇄의 조건을 만족시키는 두 번째 half-band FIR 필터의 계수는 Remez exchange algorithm을 이용한 MATLAB 시뮬레이션을 통해 결정하였다^[8]. 그림 10은 두 번째 half-band FIR 필터의 주파수 응답과 사용된 계수를 나타내고 계수 중 0의 값이 아닌 수가 최대 8개인 것을 보여주고 있다. 곱셈연산에 필요한 계수의 총 개수는 25개이므로 전체 곱셈연산을 하는데 필요한 최소 클럭 수는 $8 \times 25 = 200$ 개이다. 그러나 여유를 두고 한 계수 당 10개의 클럭을 사용하였다. 결국 1개의 ALU 가 6개의 곱셈연산까지 할 수 있게 되고 최소 5개의 ALU 가 필요하

게 된다. 그러므로 5개의 ALU 를 병렬로 동작 시켜 64 개의 클럭 안에 모든 곱셈연산이 이루어지도록 하였다.

IV. 측정 결과

본 논문의 디지털 데시메이션 필터는 0.25- μm CMOS 공정을 사용하여 제작되었고, 전체 면적은 1.36 mm²(940 μm \times 1450 μm)이다. 그림 11에는 구현된 디지털 데시메이션 필터의 칩 사진을 보였고, 표 5에 필터의 사양을 나타내었다. 본 논문의 디지털 데시메이션 필터는 1-bit 4차, OSR 이 64인 시그마-델타 모듈레이터를 대상으로 구현 되었으며 모듈레이터의 출력 주파수를 Nyquist 주파수로 낮추고 있다. 본 논문의 디지털 데시메이션 필터는 디지털 오디오용이므로 통과 대역이 20 kHz 이고 정지 대역에서 최소한의 감쇄는 80 dB 가 되도록 구현 되었다. 그리고 최종 해상도는 23-bit 이다. 그림 12에 디지털 필터를 구성하고 있는 블록에 대한 면적 분석을 나타내었다. 두 번째 half-band FIR 필터는 전체 면적 중 67%를 차지하고 첫 번째 half-band FIR 필터와 5차 CIC 필터는 각각 16%, 12%를 차지하고 있다. 면적을 가장 많이 차지하고 있는 두 번째 half-band FIR 필터에서 계수의 저장과 디코딩 관련 로직의 면적은 23.9%를 차지하고 있고 곱셈 연산이 이루어지는 ALU 는 8.2%를 차지하고 있다. 이를 제외한 나머지의 면적은 데이터 전송을 위한 쉬프트 레지스터로 이루어져 있다. 이는 두 번째 half-band FIR 필터의 곱셈연산이 다른 필터보다 많고 복잡하므로 제일 큰 면적을 차지하고 있는 것을 보여준다. [1]에서는 RAM과 ROM이 전체 면

적의 각각 47%와 17%를 차지하고 있다. 본 논문의 필터는 계수의 저장과 디코딩을 담당하는 즉 [1]의 ROM 과 비슷한 역할을 하는 부분은 전체 면적 중 16%를 차지하고 있다. [1]에서의 RAM과 달리 쉬프트 레지스터로 구현된 본 논문에서 쉬프트 레지스터의 면적은 전체 면적 중 53%로 [1]의 RAM 면적과 비교해 볼 때 6% 정도 높게 나타났다. 반면 곱셈연산을 담당하고 있는 ALU 블록의 경우 [1]에서는 14%를 차지하고 있는 데 반해 본 논문에서는 6%를 차지하고 있는 것으로 나타났다.

클럭 발생기는 각기 다른 3 개의 샘플링 주파수를 발생시켜 각각의 필터에 제공하고 있다. 데시메이션 필터의 샘플링 주파수는 점점 낮아지므로 클럭 스큐(skew) 및 지연(delay)에 대한 문제는 크게 중요시 되지 않는다. 그러나 이런 문제들을 방지하고자 각 필터에 최단 거리로 클럭을 제공할 수 있는 위치인 5차 CIC 필터와 두 번째 half-band FIR 필터 사이에 위치시켰다. 그림 13은 디지털 데시메이션 필터 측정을 위한 테스트 보드로 노이즈를 최소화 하여 시그마-델타 A/D 컨버터의 최대성능을 얻을 수 있도록 설계 되었고, 4층 기판으로 제작 되었다. 디지털 데시메이션 필터는 2.5-V의 전원으로 동작하고 23-bit, 2의 보수형태의 출력을 가진다. 그림 14와 15는 각각 -0.5 dB 입력과 -60 dB 입력에 대한 8192 개 출력 샘플을 Logic Analyzer를 통하여 얻어낸 후 FFT(Fast Fourier Transform)한 결과를 나타낸다. 출력 스펙트럼에서 보듯이 신호의 손실 없이 시그마-델타 변조(modulation) 과정에서 생성되는 양자화 노이즈 대부분을 감쇄시키고 resampling시 통과대역 안

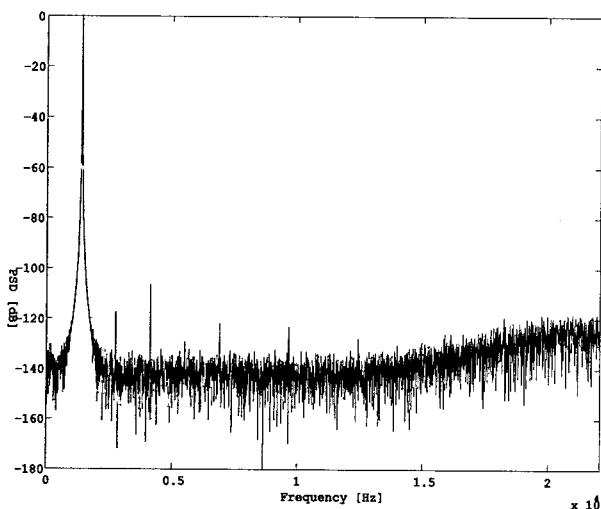


그림 14. 1.3 kHz, -0.5 dB 입력(8192-point FFT)
Fig. 14. 1.3 kHz, -0.5 dB input(8192-point FFT).

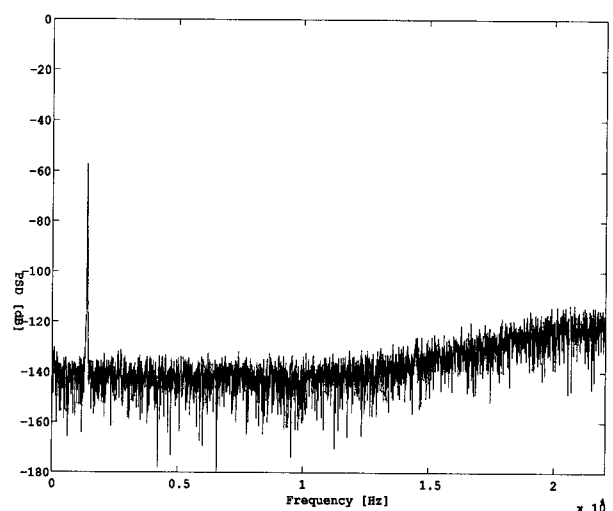


그림 15. 1.3 kHz, -60 dB 입력(8192-point FFT)
Fig. 15. 1.3 kHz, -60 dB input(8192-point FFT).

표 6. 타 디지털 데시메이션 필터와의 사양 비교

Table 6. The comparison of specifications with different digital decimation filters.

	[1]	[11]	This work
Number of filter stage	4	2	3
Filter order	3-19-110 -8(droop compensation filter)	11-135	5-19-98
Stop-band Attenuation (dB)	80	110	80
Data transfer	RAM	RAM	shift registers
Area (mm ²)	2.37	≅ 10	1.36
Clock frequency (MHz)	11.3	6.144	2.8224
Resolution (bits)	16	24	23
Power (mW)	6.5	20(two channels)	4.4
Voltage (V)	3	3.3	2.5
Process	1- μ m CMOS	0.7- μ m CMOS	0.25- μ m CMOS

에서 생성될 수 있는 얼라이어싱 신호를 -100 dB 이하로 충분히 감쇄시키고 있다.

표 6에서 이상 설계된 디지털 데시메이션 필터를 타 논문과 비교하였다. 본 논문의 필터는 [1]의 필터에 비해 동작 클럭 주파수, 동작 전원, 공정에서 각각 1/4, 1/1.2, 1/4로 낮은 것을 볼 수 있다. 위와 같은 스케일을 고려하여 파워소모를 계산하면 [1]의 필터에서 소모하는 파워에 비해 대략 95.7%의 감소를 보여야 한다. 그러나 [1]의 필터는 4차 시그마-델타 모듈레이터를 대상으로 하고 23-bit의 높은 해상도를 위한 데시메이션 필터를 구현한 본 논문과 달리 2차 시그마-델타 모듈레이터를 대상으로 하고 16-bit의 낮은 해상도를 위한 데시메이션 필터를 구현하였기 때문에 95.7%의 파워 감소는 정확한 파워 소모비교라 할 수 없다. [1]의 데시메이션 필터에 비해 본 논문의 필터는 위에서 언급한 이유로 인하여 필터 내부의 워드크기가 21-bit에서 28-bit으로 매우 크다. RAM을 통하여 데이터 전송방식을 구현한 [1]의 필터와 달리 레지스터를 이용한 본 논문에서 워드의 크기가 커질수록 큰 파워소모를 보이는 것으로 예상된다. [11]의 필터는 스테레오 동작인 두 개의 시그-

마-델타 모듈레이터로 구성되어 있지만 데시메이션 필터는 같은 하드웨어를 사용하고 있다. [11]의 데시메이션 필터는 [1]과 같이 데이터 전송에 RAM을 사용하였으며 계수의 곱셈연산 및 낮은 샘플링 주파수로 동작하는 콤비 필터에서 bit-serial 구조를 사용하였다. [11]의 파워소모는 높은 해상도에 대한 조건을 무시했을 때 [1]의 필터에 비해 동작 클럭 주파수, 동작 전원, 공정에서 각각 1/1.84, 1.1, 1/1.4로 높거나 낮은 것을 볼 수 있다. 위 스케일을 고려하면 [1]의 필터에서 소모하는 파워에 비해 대략 47%의 파워소모를 보여야 한다. 그러나 높은 해상도를 고려한다고 해도 [1]의 필터만큼 큰 이득은 없을 것으로 예상된다. 본 논문의 필터 또한 [11]의 필터와 비교 시 큰 파워 소모를 보이고 있음을 알 수 있다. 파워 소모와 본 논문의 필터 면적은 공정 스케일을 고려하고 [11]의 면적과 비교하였을 때 일반 레지스터를 사용함 예도 불구하고 비슷한 면적을 보이고 있으며 낮은 공정으로 인한 작은 면적을 잘 나타내고 있다. 본 논문의 디지털 데시메이션 필터는 RAM과 ROM을 사용하지 않고 Verilog-HDL 합성만으로 구현하여 RAM과 ROM을 사용한 타 논문의 필터에서 소모되는 파워에 비해 다소 높은 파워 소모를 보이고 있으나 면적에서 낮은 공정 스케일과 필터구조 및 여러 기법을 통해 작은 면적을 나타내고 있다. 이밖에도 [1]과 [11]의 논문과 달리 RAM과 ROM을 설계하기 위해 공정에 따라 새로운 설계를 해야 하는 번거로움이 없는 장점이 있다. 모듈레이터의 사양변화에 따른 디지털 데시메이션 필터의 재설계와 같이 타 논문과 공통적으로 가지고 있는 장점과 달리 빠른 설계 및 사전 검증을 위해 데시메이션 필터를 FPGA로 구현하는 시스템에 유용하고 많은 시간 절약을 제공할 수 있다.

V. 결 론

본 논문에서는 time-to-market의 이점을 가져다 주는 CIC-FIR-FIR 필터의 3단 구조를 갖춘 오디오 코덱용 디지털 데시메이션 필터 설계에 대해 논하였다. 이 디지털 데시메이션 필터는 0.25- μ m CMOS 공정을 이용하여 설계되었고 전체 면적은 1.36 mm²로 작은 면적을 보이고 있다. 시그마-델타 모듈레이터의 noise-shaping 차수와 OSR이 높아질수록 디지털 데시메이션 필터의 많은 연산과 큰 면적을 요구하게 된다. 하드웨어의 부담과 면적을 줄이기 위해 계수의 곱셈 연산을 CSD 표현 방식을 이용한 쉬프트 와 덧셈기로 구현하였고 디지털 데시-

메이션 필터의 구조를 단일 구조가 아닌 3단 구조로 설계하였다. 본 논문에서는 데이터 전송 및 계수의 저장을 RAM이나 ROM을 사용하는 대신 Verilog-HDL 합성으로 구현하여 시그마-델타 모듈레이터의 사양 변화나 공정 변화에 빠르게 설계할 수 있는 큰 장점을 가지고 있다. 그리고, 여러 시스템에서 많이 사용되고 있는 FPGA로도 쉽게 구현이 가능한 장점을 가지고 있다. 제작된 디지털 데시메이션 필터의 측정 결과 파워소모와 면적에서 RAM과 ROM을 사용한 타 논문과 비슷한 뛰어난 성능을 보이고 있으며, 신호대역의 얼라이어링 신호 및 비 신호대역의 양자화 노이즈를 대폭 감쇄 시켜 디지털 오디오, 모바일 기기, 통신용에 적합한 우수한 성능을 보여준다.

참 고 문 헌

- [1] B. P. Brandt and B. A. Wooley, "A low-power, area-efficient digital filter for decimation and interpolation," *IEEE J. Solid-State Circuits*, vol. 29, no. 6, pp. 679-687, June 1994.
- [2] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
- [3] R. E. Crochiere and L. R. Rabiner, *Multi-rate digital signal processing*. Englewood Cliffs, New Jersey: Prentice-Hall, 1983.
- [4] D. J. Goodman and M. J. Carey, "Nine digital filters for decimation and interpolation," *IEEE Trans., Acoust., Speech, Signal Processing*, vol. ASSP-25, pp. 121-126, April. 1977.
- [5] E. B. Hogenauer, "An Economical class of Digital Filters for Decimation and Interpolation," *IEEE Trans., Acoust., Speech, Signal Processing*, vol. ASSP-29, No. 2, pp. 155-162, April. 1981.
- [6] R. M. Hewlitt, E. S. Swartzlander, Jr., "Canonical signed digit representation for digital filters," *IEEE Workshop on Signal Processing Systems, SiPS 2000*, pp. 416-426, October. 2000.
- [7] J. G. Proakis, D. G. Manolakis, *Digital Signal Processing Principles, Algorithms, and Applications*. Third Edition, New Jersey: Prentice Hall, 1996.
- [8] F. J. Harris, *Multirate signal processing for communications systems*. New Jersey: Prentice Hall, 2004.
- [9] J. Candy, "Decimation for sigma delta modulation," *IEEE Trans. Commun.*, vol. COM-34, pp. 72-76, January 1986.
- [10] U. Meyer-Baese, *Digital Signal Processing with*

Field Programmable Gate Arrays. Second Edition, Springer, 2004.

- [11] I. Fujimori, K. Koyama, D. Trager, F. Tam, and L. Longo, "A 5-V single-chip delta-sigma audio A/D converter with 111dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 329-336, March 1997.

저 자 소 개



변 산 호(학생회원)
2005년 한양대학교 전자컴퓨터
공학과 학사 졸업
2005년~현재 한양대학교 전기
전자제어계측공학과
석사 과정

<주관심분야 : Over-sampling delta-sigma data converters 설계, 집적 회로 설계>



류 성 영(정회원)
2004년 한양대학교 전자컴퓨터
공학과 학사 졸업
2006년 한양대학교 전기전자제어
계측공학과 석사 졸업
2006년~현재 삼성전자 System
LSI 연구원

<주관심분야 : System IC design, Over-sampling delta-sigma data converter>



최 영 길(학생회원)
2004년 한양대학교 전자컴퓨터
공학과 학사 졸업
2006년 한양대학교 전기전자제어
계측공학과 석사 졸업
2006년~현재 한양대학교
전기전자제어계측공학과
박사 과정

<주관심분야 : Over-sampling delta-sigma data converters 설계, 집적 회로 설계>



노 형 동(학생회원)
2005년 한양대학교 전자컴퓨터
공학과 학사 졸업
2005년~현재 한양대학교 전기
전자제어계측공학과
석·박사 통합 과정

<주관심분야 : Over-sampling delta-sigma data converters 설계, 집적 회로 설계>



남 현 석(학생회원)
2005년 한림대학교 전자공학과
학사 졸업
2006년~현재 한양대학교
전기전자제어계측공학과
석·박사 통합 과정

<주관심분야 : System IC design, DC-DC converters 설계>



노 정 진(정회원)
1990년 한양대학교 전기공학과
학사 졸업
1996년 삼성전자 선임 연구원
1998년 미국 Pennsylvania State
University 전기공학 석사
졸업

2001년 Intel. USA, senior design engineer
2001년 University of Texas at Austin.
컴퓨터공학 박사.
2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터
공학부 조교수
<주관심분야 : CMOS DC-DC converters 설계,
Over-sampling delta-sigma data converters 설
계>