

논문 2007-44SD-2-5

99dB의 DR를 갖는 단일-비트 4차 고성능 델타-시그마 모듈레이터 설계

(Design of a 99dB DR single-bit 4th-order High Performance
Delta-Sigma Modulator)

최 영 길*, 노 형 동*, 변 산 호*, 남 현 석*, 노 정 진**

(Youngkil Choi, Hyungdong Roh, Sanho Byun, Hyunseok Nam, and Jeongjin Roh)

요 약

본 논문에서는 높은 dynamic range(DR)를 얻을 수 있는 단일-비트 4차 델타-시그마 모듈레이터를 제시하였으며, 이를 구현하였다. 본 모듈레이터에 사용된 루프 필터의 구조는 피드백 패스와 피드포워드 패스를 혼합하여 사용한 구조이며, 스위치-커패시터(switched-capacitor) 방식으로 구현되었다. 측정 결과로는 20kHz의 기저대역(base band)에서 3.2MHz의 클럭을 사용하였을 때 최대 99dB의 DR을 얻었다. 본 모듈레이터는 0.18 μ m standard CMOS 공정으로 만들어졌다.

Abstract

In this paper, a fourth-order single-bit delta-sigma modulator is presented and implemented. The loop-filter is composed of both feedback and feedforward paths. Measurement results show that maximum 99dB dynamic range is achievable at a clock rate of 3.2MHz for 20kHz baseband. The proposed modulator has been fabricated in a 0.18 μ m standard CMOS process.

Keywords : delta-sigma modulator, switched-capacitor circuit, analog to digital converter, over-sampling

I. 서 론

델타-시그마 모듈레이터는 오디오 응용 분야에서 매우 많은 부분을 차지해 왔다. 여러 가지 델타-시그마 모듈레이터 구조들 중에서도 단일-루프이며 3차 이상의 고차 모듈레이터들이 회로의 구조가 간단하면서도 고해상도를 얻을 수 있다는 장점으로 인해 오디오용 모듈레이터 설계에서 현재까지 많이 사용되고 있다. 고해상도를 갖는 모듈레이터를 설계할 때는 적은 노이즈에도

해상도가 영향을 받을 수 있기 때문에 여러 가지 면에서 더욱 주의가 필요하며, 그에 따른 많은 시간과 노력을 소모해야만 한다. 현재까지 모듈레이터의 성능을 높이기 위해 제시된 단일-루프 구조를 갖는 모듈레이터는 여러 가지가 있다. 특히 최근에 많이 사용되는 구조로는 모듈레이터의 입력이 퀀타이저(quantizer) 전까지 바로 인가되는 입력 피드포워드(input feedforward) 구조이며, 이에 대한 자세한 내용은 [2],[3]에서 언급하고 있다. 이 구조의 장점은 입력신호가 적분기를 거치지 않으므로 op-amp의 성능을 최소화 시킬 수 있다는 것이다. 하지만, [3]에서 언급한 바와 같이 그에 따른 타이밍 문제가 발생할 수 있으며, 이를 해결하기 위한 세심한 주의가 필요하다. 또 다른 구조는 distributed feedback (DFB) 구조이다. 이 구조는 피드백 신호가 각각의 적분기 입력으로 인가되며 [7],[10]에서 자세히 설명하고 있다. 하지만 피드백 회로가 적분기마다 추가된 DFB 구

학생회원, 한양대학교 전자컴퓨터공학
(Dep. of Electronic, Electrical, Control and
Instrumentation Engineering, Hanyang Univ.)

** 정희원, 한양대학교 전자컴퓨터공학
(Dep. of Electrical Engineering and Computer
Science, Hanyang Univ.)

* 본 논문은 IT-SoC 사업의 지원을 받았으며, IDEC
의 지원 장비를 활용하였습니다.

접수일자: 2006년12월12일, 수정완료일: 2007년1월12일

조는 전체적인 칩 면적을 증가시키며 설계 시 어려움을 가중시킨다. 위와 같이 모듈레이터의 구조를 선택하는 것은 칩의 면적과 op-amp의 성능을 결정하는 중요한 요소가 된다. 본 논문에서 채택하여 사용한 구조는 위에서 열거된 구조들에서 나타나는 설계 시 어려운 요소들을 최대한 배제한 것이며, 기존의 피드백 패스를 줄이고 새로운 피드포워드 패스를 생성하여 적분기의 작은 출력 스윙을 얻을 수 있도록 하였다.

본론의 주된 내용은 behavioral 시뮬레이션을 사용한 결과 예측, HSPICE를 이용한 트랜지스터 레벨에서의 설계 및 시뮬레이션 결과이다. 실험 부분에서는 제작된 칩을 테스트하기 위한 테스트 셋업(setup) 및 측정 방법 그리고 측정 결과에 대하여 설명하였다. 마지막으로 결론에서는 FOM(figure-of-merit) 비교와 전체적인 요약을 통해 논문의 내용을 정리하였다.

II. 본 론

1. 시스템 레벨 설계

모듈레이터의 구조를 선택하는 작업은 모듈레이터의 개략적인 사양이 결정된 후 우선적으로 고려되어야 할 사항이다. 본 논문의 모듈레이터는 고해상도의 오디오 코덱을 목표로 하였으므로, 단일-루프, 단일-비트 이산 시간 델타-시그마 모듈레이터가 최적의 구조라 할 수 있다.

델타-시그마 모듈레이터 설계에는 몇 가지의 자유도들이 존재한다. DR, oversampling ratio(OSR), 루프 차수(n) 그리고 쿼타이저의 해상도(B)가 여기에 해당한다. 우선 고해상도를 갖는 델타-시그마 모듈레이터의 성능은 DR의 값으로 판단 할 수 있다^[7]. DR 값과 모듈레이터의 성능은 비례 관계를 가지므로 DR 값이 크면 클수록 고성능의 모듈레이터라 할 수 있다. 이러한 DR 값은 OSR, n 그리고 B에 의하여 결정되며 그 관계는 아래의 식(1)과 같다^[5].

$$DR = \frac{3}{2} \left(\frac{2n+1}{\pi^{2n}} \right) OSR^{2n+1} (2^B - 1)^2 \quad (1)$$

본 논문에 사용된 모듈레이터의 구조는 단일-비트 구조이므로 식(1)의 B는 1이 된다. 우선 식(1)에 100dB의 DR를 갖는 고해상도의 모듈레이터를 설계하기 위해 n과 OSR을 적절히 대입하였다. 대부분의 고해상도 델타-시그마 모듈레이터들이 64~128의 OSR을 갖는 것을 감안하여, OSR을 80으로 고정한 후 n=3인 경우와 n=4

인 경우를 식(1)에 대입하였다. n=3인 경우는 DR를 데시벨(decibel: dB)로 나타내었을 때 113.6dB가 되며, n=4인 경우의 DR는 142.8dB가 된다. 위의 식(1)은 이상적인 경우에 대한 식이므로 비이상적 요소들에 의한 DR의 감소를 예상하여 10~20dB 정도의 오차범위를 갖고 있어야만 한다. 따라서 본 논문에서는 80의 OSR을 갖는 단일-비트 4차 이산시간 델타-시그마 모듈레이터로 결정하였다.

DR는 위와 같이 구조적인 요인들에 의해 결정되기도 하지만 KT/C 노이즈 성분에 의해 제한을 받기도 한다. 이와 같은 이유는 기저대역 내의 노이즈 성분들 중 KT/C 노이즈 성분이 일정량의 noise-floor를 형성하는데 우세한 특성을 갖고 있기 때문이다. 첫 번째 적분기의 KT/C 노이즈에 의해 제한된 해상도를 갖는 델타-시그마 모듈레이터의 DR는 아래의 식(2)와 같이 계산된다^[5].

$$DR = \frac{S_S}{S_{KT/C}} = \frac{(V_{sw})^2 \times OSR \times C_S}{8kT} \quad (2)$$

위의 식에서 S_S 와 $S_{KT/C}$ 는 각각 full-scale 사인과 입력의 전력과 KT/C 노이즈의 전력을 뜻한다. V_{sw} 는 모듈레이터에 인가되는 full-scale 사인과 입력을 뜻하며, 본 논문에서는 3V로 하였다. k는 볼츠만 상수이고, T는 절대 온도를 뜻하며, C_S 는 샘플링 커패시턴스를 의미한다. 식(2)에서 110dB의 DR를 얻기 위한 샘플링 커패시터의 값은 46pF이나, 본 논문에서는 약간의 margin을 고려하여 5pF의 샘플링 커패시터를 사용하였다.

그림 1.1은 단일-비트 4차 델타-시그마 모듈레이터의 블록도이다^[1]. 모듈레이터 내의 X, Y, 그리고 E는 각각 입력과 출력 그리고 양자화 에러를 뜻한다. 첫 번째 적분기와 두 번째 적분기의 출력은 각각 b_1 과 b_6 을 통해 네 번째 적분기의 입력으로 갈 수 있는 피드포워드 패스들이 존재하며, 세 번째의 출력을 네 번째 적분기의 입력으로 피드백 함으로써 하나의 로컬 공진기(local resonator)를 형성하고 있다. 로컬 공진기를 사용하는 이유는 DC에 모여 있던 제로들 중 한 쌍의 제로를 기저대역 근처로 이동시켜 기저대역 내에서 모듈레이터의 신호 대 잡음 비(SNR) 및 안정성을 향상시키기 위함이다. 그림 1.1과 그림 1.2 내의 계수 값들은 다음과 같다.

$$a_1 = \frac{1}{3}, a_2 = \frac{3}{25}, a_3 = \frac{1}{10}, a_4 = \frac{1}{10}, b_1 = \frac{6}{5}, b_6 = 1, c_1 = \frac{1}{6}$$

위의 비율에 맞게 커패시터 값을 구해놓은 것이 표 1.1

에 나와 있다. 그림 1.2는 단일-비트 4차 델타-시그마 모듈레이터의 behavioral 시뮬레이션을 위한 SIMULINK 모델이다. 그림 1.2에는 총 4개의 적분기들이 있으며, 적분기 블록 내부에는 slew-rate, DC-gain(DC-이득), 포화전압(saturation voltage) 그리고 대역폭 등의 비이상적 요소들을 나타내는 블록들이 여러 개 내장되어 있다. 적분기내의 비이상적 요소들은 모듈레이터에 심각한 영향을 줄 수 있는 것들이므로 이러한 요소들의 변화에 모듈레이터가 어느 정도 민감한지를 확인하여야만 한다. 우선 이상적인 경우의 모듈레이터를 구성한 후 각각의 비이상적 요소들을 표현하는 블록들을 모듈레이터 내부에 하나씩 추가한다. 이후 추가된 비이상적 요소의 값을 바꾸며 모듈레이터의 결과를 관찰한다. 여기서 모듈레이터의 성능이 최상이 되도록 각각의 요소 값들을 최적화한다. 그림 1.2의 첫 번째 적분기 블록 앞부분에는 두 개의 비이상적 요소를 나타내는 블록들이 있다. 우선 그 중 하나인 KT/C 블록은 온도 노이즈(thermal noise)를 나타내는 블록으로, op-amp의 기저대역과 스위치-커패시터의 시상수에 의해 제한된다. 또 다른 하나는 OpNoise 블록으로 op-amp 자체 노이즈의 영향을 시뮬레이션 하기위한 것이다. 네 번째 적분기 다음의 블록은 쿼타이저 블록이며, 오프셋(offset)이나 히스테리시스(hysteresis)와 같은 비이상적 특성을 갖는다. 단일-비트 델타-시그마 모듈레이터의 쿼타이저는 비교기이므로 간단한 릴레이 모델로 표현 가능하다^[4]. 그림 1.3에서는 이상적 특성을 갖는 모듈레이터의 출력과 그림 1.2의 비이상적 요소를 포함한 모듈레이터의 출력을 비교하였다. 두 가지의 모듈레이터에는 -4dB의 크기를 갖는 사인파를 입력으로 인가하였으며, SIMULINK를 사용하여 MATLAB으로 시뮬레이션을 하였다. 이상적 특성을 갖는 모듈레이터의 경우 그 출력 값이 99.2dB의 signal to noise plus distortion ratio(SNDR)를 나타내고 있으며, 비이상적 요소를 포함한 모듈레이터의 경우 96.2dB의 SNDR을 나타내고 있다.

표 1.1. 커패시터 값
Table 1.1. Capacitances.

Capacitor	Integrator1	Integrator2	Integrator3	Integrator4
C _s	5.00pF	0.30pF	0.60pF	0.20pF
C ₁	15.00pF	2.50pF	6.00pF	2.00pF
C _{b1}				0.24pF
C _{b6}				0.20pF
C _{c1}			0.10pF	

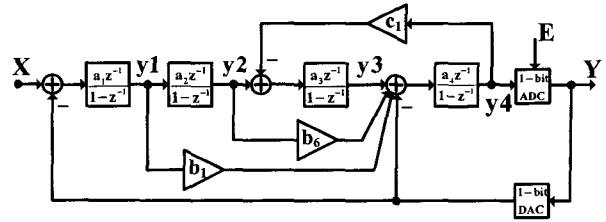


그림 1.1. 단일-비트 4차 델타-시그마 모듈레이터의 블록도

Fig. 1.1. Single-bit 4th-order delta-sigma modulator block diagram.

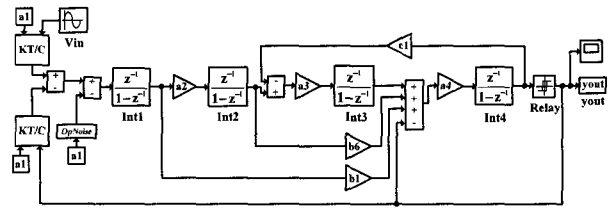


그림 1.2. 비이상적 특성을 갖는 모듈레이터의 SIMULINK model

Fig. 1.2. SIMULINK model of the modulator with non-idealities.

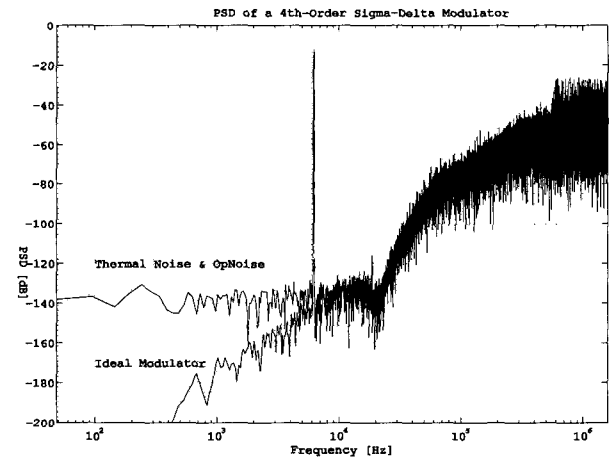


그림 1.3. 이상 대 비 이상 특성을 갖는 4차 델타-시그마 모듈레이터의 PSD

Fig. 1.3. PSDs of 4th-order delta-sigma modulator output with and without the thermal noise & op-amp noise model.

2. 회로 구현

(1) 스위치-커패시터 적분기

본 논문에서 구현한 4차 델타-시그마 모듈레이터는 fully-differential 스위치-커패시터 방식을 사용하여 구현하였다. 그림 2.1의 델타-시그마 모듈레이터는 크게 총 4가지의 클럭에 의해 동작하게 되는데, Φ_1 과 Φ_{1d} 가 high인 순간에 샘플링 동작을 하게 되며, Φ_2 와 Φ_{2d} 가 high인 순간에 적분 동작을 하게 된다. Φ_1 , Φ_{1d} , Φ_2 그

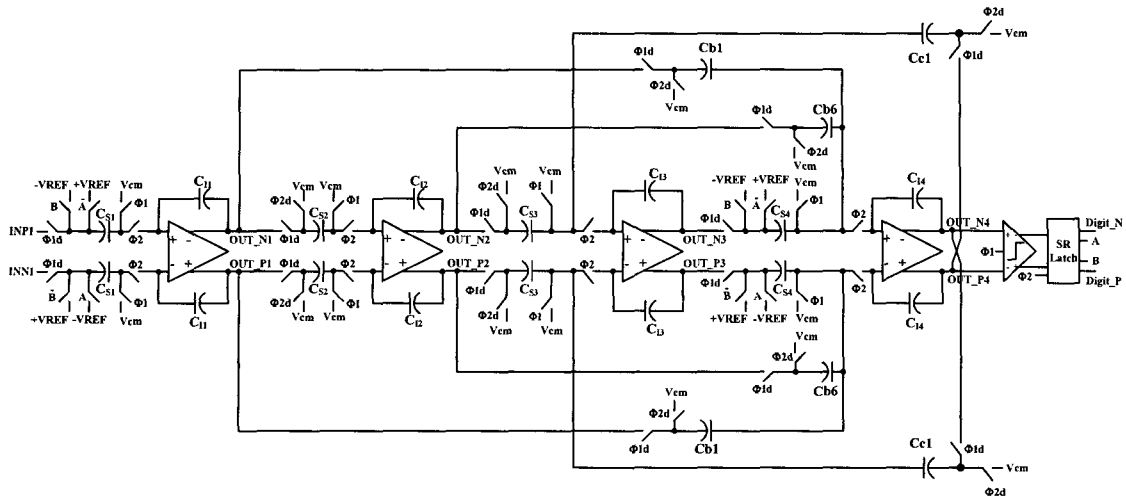


그림 2.1. 단일-비트 4차 델타-시그마 모듈레이터
Fig. 2.1. Single-bit 4th-order delta-sigma modulator.

리고 Φ_{2d} 는 모두 3.2MHz의 non-overlapping 클럭이며, 클럭의 명칭 끝에 붙는 첨자 'd'는 지연된 클럭을 의미한다. 지연된 클럭을 사용하는 이유는 스위치로 인해 발생하는 전하 주입 영향을 최소화하기 위함이다. 본 모듈레이터는 총 4개의 적분기로 구성되었으며, 지연이 없는(delay-free) 이산시간 적분기를 사용하였을 시에 발생할 수 있는 double-settling 문제를 고려하여 적분기들은 모두 비 반전 지연(non-inverting delaying) 이산시간 적분기로 이루어져 있다^[9]. 또한 이 적분기는 스위치들로 인해 생성되는 기생 성분들에도 민감하지 않다는 장점을 갖고 있다^[6]. 그림 2.1의 첫 번째 적분기와 네 번째 적분기는 double reference 전압을 갖는 적분기로 구현되었으며, reference 전압으로는 +VREF와 -VREF 값을 가지고 있다^[10]. 네 번째 적분기는 총 4개의 패스를 통해 입력을 받고 있으며, 입력을 받아들이는 패스 중 reference 소스로부터의 피드백 패스를 제외하면, 나머지 입력들에 대해서는 첫 번째부터 세 번째까지의 적분기 출력들을 각각 C_{b1} , C_{b6} 그리고 C_{s4} 로 연결된 피드포워드 패스를 통해 받고 있다. 네 번째 적분기의 스위치-커패시터 회로를 보면 Φ_1 과 Φ_{1d} 가 모두 high인 순간에 C_{b1} , C_{b6} 그리고 C_{s4} 에 이전 적분기의 출력 값들이 샘플링 되어 저장된다. 그리고 Φ_2 와 Φ_{2d} 가 모두 high인 순간이 되면 커패시터에 저장되어 있던 전하들이 합쳐지면서 적분 동작이 이루어지게 된다. 또한 네 번째 적분기에는 3개의 패스가 각각의 스위치들을 공유함으로써 전력 소모 및 면적을 줄일 수 있도록 하였다^[8].

(2) Operational transconductance amplifier(OTA) 증폭기들을 설계할 때 중요한 요소들은 개-루프(open-loop) DC-이득과 dynamic requirement, 그리고 출력 스윙이다. 그림 2.2는 folded cascode OTA의 회로도이다. 1/f 노이즈를 최소화하기 위한 방법으로 입력단에 사이즈가 큰 PMOS 트랜지스터를 사용하였다. 이와 같은 방법은 1/f 노이즈가 입력 트랜지스터의 length와 width의 곱에 반비례한다는 점을 이용한 것으로 [5],[6],[7]에 자세히 설명되어 있다. 또한 입력 트랜지스터인 M1과 M2의 V_{th} (threshold voltage)를 줄이기 위해 입력 트랜지스터들의 벌크(bulk)를 M0의 드레인(drain)에 연결하였다. 그림 2.3은 첫 번째 적분기에 사용된 folded-cascode OTA의 주파수에 따른 DC-이득 및 phase 특성에 대한 시뮬레이션(AC 시뮬레이션) 결과 파형이며, 이때 사용한 부하 커패시터는 15pF이다.

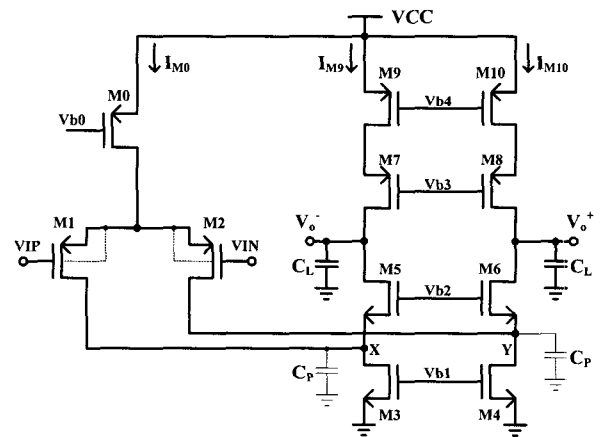


그림 2.2. Folded cascode OTA
Fig. 2.2. Folded cascode OTA.

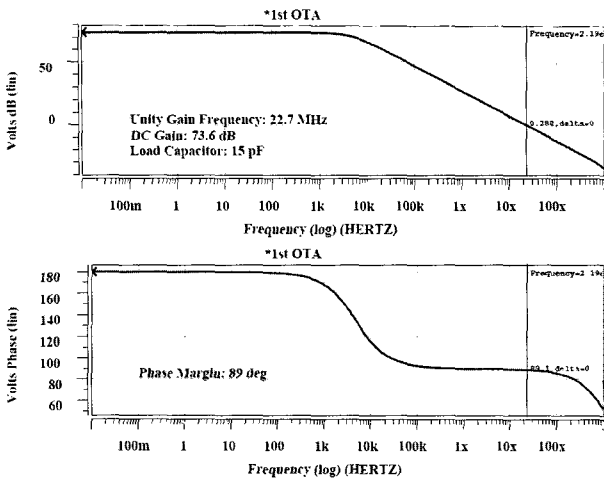


그림 2.3. 첫 번째 OTA의 AC 시뮬레이션 결과 파형
Fig. 2.3. AC simulation wave of 1st OTA.

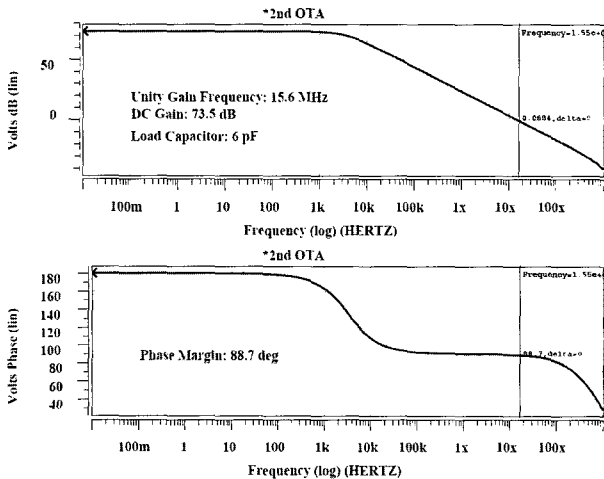


그림 2.4. 두 번째 OTA의 AC 시뮬레이션 결과 파형
Fig. 2.4. AC simulation wave of 2nd OTA.

표 2.1. OTA들의 시뮬레이션 결과값
Table 2.1. Simulated result of OTAs.

Parameter	OTA1	OTA2	OTA3	OTA4
Power supply voltage [V]	3		3	
DC gain [dB]	73.6		73.5	
Phase Margin [deg]	89		88.7	
Slew Rate [V/ μ s]	34.6		21	
Unity Gain Freq, ω_u [MHz]	23		22	
Load capacitance [pF]	15		6	
Output Swing [Vpp]	± 2.2		± 2.2	
Power Consumption [mW]	3.165	0.822	0.822	0.822

단위 이득 주파수는 22.7MHz이며, DC 이득은 73.6dB를 갖는다. Phase margin(PM)은 89도로 상당히 높은 값을 얻게 되었다. 그림 2.4는 두 번째부터 네 번째 적분기에

사용된 folded-cascode OTA의 AC 시뮬레이션 결과 파형이다. 부하 커패시터는 6pF이지만 사용된 전류 또한 첫 번째 folded-cascode OTA의 1/4만을 사용하였으므로 단위 이득 주파수가 많이 감소하게 되었다. 표 2.1은 모듈레이터에 사용된 두 개의 다른 folded-cascode OTA들의 성능을 좀 더 자세히 비교한 것이다.

(3) 비교기

본 논문에서 사용되는 비교기의 동작 특성은 상대적으로 덜 정밀해도 된다. 그 이유는 비교기의 비선형성들이 루프 필터에 의해 이미 noise-shaping 되어지기 때문이다. 따라서 [10]의 pre-amplifier 및 오프셋 제거 회로를 포함한 비교기를 사용하지 않고, 그림 2.5와 같이 구조가 간단한 dynamic regenerative 비교기를 사용하였다^[8]. 본 비교기는 적은 전력을 소모하는 dynamic 래치로 구성되어 있으며, 동작 상태는 다음과 같다. 클럭 $\Phi 1$ 이 low(=GND)가 되면 래치는 리셋 상태가 되고, 비교기의 출력인 V_{out1} 과 V_{out2} 는 모두 high(=VDD)가 된다. 클럭 $\Phi 1$ 이 high가 되면 래치는 regeneration 동작을 하게 된다.

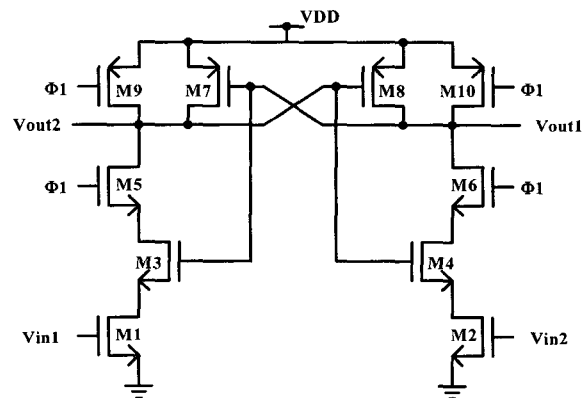


그림 2.5. Regenerative 비교기 회로도
Fig. 2.5. Regenerative comparator circuit.

(4) 클럭 발생기

스위치-커패시터 회로에는 적어도 한 쌍의 non-overlapping 클럭이 필요하다. 스위치-커패시터 회로에서 클럭은 전하의 이동이 발생하는 때를 결정하므로, 이동 중인 전하의 손실이 일어나지 않도록 하기 위해 반드시 non-overlapping이 되어야만 한다. 그림 2.6은 $\Phi 1$, $\Phi 2$, $\Phi 1d$ 그리고 $\Phi 2d$ 를 발생하기 위해 설계된 클럭 발생기의 회로도이다. 두개의 Nor 게이트와 여러 개의 인버터로 네 개의 클럭 신호를 발생하고 있다. 우선 두

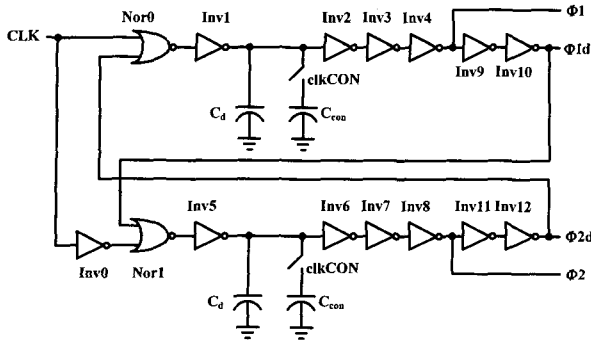


그림 2.6. 클럭 발생기 회로도
Fig. 2.6. Clock generator circuit.

개의 Nor 게이트들과 인버터0(Inv0)으로 각기 다른 위상을 갖는 클럭을 발생하게 되며, non-overlapping되는 클럭들 간의 지연시간을 생성하기 위해 인버터1부터 인버터8까지 사용되게 된다. 그림 2.6의 C_d 는 100fF의 용량을 갖는 커패시터로써 확실한 non-overlapping 클럭 간의 지연 시간을 확보하는 역할을 한다. 또한 C_d 커패시터와 병렬로 연결된 C_{con} 커패시터를 clkCON 스위치로 제어할 수 있게 하여 공정상에서 문제가 발생하였을 때에 non-overlapping 및 지연 시간을 추가로 조절할 수 있게 하였다.

(5) SR Latch(SR-래치)

그림 2.1의 SR-래치 블록은 두 가지 기능을 한다. 첫째는 비교기로부터 나오는 모듈레이터의 출력 값을 hold하는 기능이며, 둘째는 피드백 reference 스위치들을 구동하는 기능이다. 그림 1.1의 단일-비트 DAC 블록은 그림 2.1에서와 같이 비교기의 출력 값들에 의해 조정되는 스위치 네트워크로 구현된다. SR-래치의 출력 값들은 $\Phi 2$ 클럭에 동기를 맞추어 각각의 피드백 네트워크에 사용되는 스위치들을 구동하는 신호(A, B)로 바뀌게 된다.

(6) 시뮬레이션

모듈레이터 출력에 대한 스펙트럼 분석 결과는 그림 2.7에 나와 있으며, 스펙트럼 분석에는 총 8192개의 샘플을 사용하였다. 그림 2.7은 DC에서 $F_s/2$ 까지의 스펙트럼을 보여준 것이며, 여기서 F_s 란 샘플링 주파수를 의미한다. 그림의 가로축은 주파수 축이며, 세로축은 신호의 크기를 데시벨 단위로 표시한 것이다. 그림 중에 표시된 가는 실선은 20kHz의 기저대역을 나타낸 것이며, 실선 내에 신호 성분을 제외한 harmonic distortion이 발생한 것을 볼 수 있다. 입력 신호로는 1.5V common-

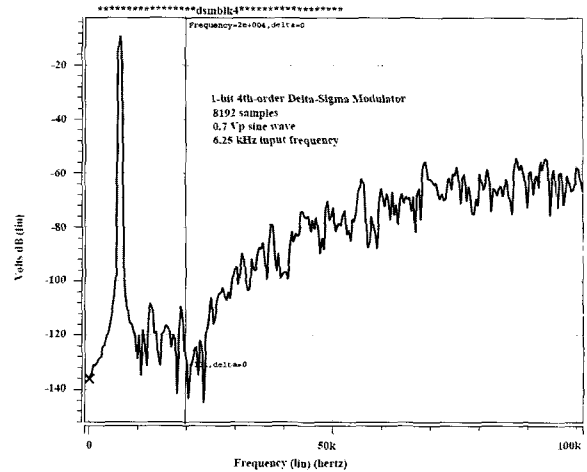


그림 2.7. $F_s/2$ 까지의 PSD 결과 (8k samples)
Fig. 2.7. Output spectrum to half-clock rate (8k samples).

mode 전압에 0.7V의 피크 값을 갖는 사인파를 인가하였으며, 이때의 주파수 성분은 6.25kHz로 하였다. 입력 주파수로 6.25kHz를 인가한 이유는 기저대역 내에서 세 번째 harmonic 성분까지 분석할 수 있도록 하기 위함이다. 피크 값이 0.7V인 입력을 인가한 후 HSPICE를 사용하여 시뮬레이션 하였을 때 얻은 데이터들을 계산해본 결과 95.13dB의 SNDR을 얻게 되었다.

III. 실험

1. 테스트 셋업

그림 3.1은 본 논문에서 설계된 칩의 성능을 확인하기 위한 테스트 환경이다. 고해상도의 오디오 신호를 발생하는 아날로그 신호 발생기인 SYS-2712로 device under test(DUT)보드에 입력을 인가하였다. 전원공급은 적은 노이즈 특성을 갖는 E3620A로 직접 인가하였

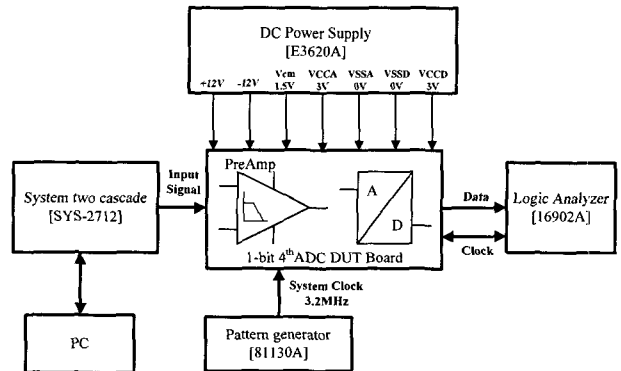


그림 3.1. 테스트 셋업
Fig. 3.1. Test setup.

다. DUT보드에는 총 7가지의 전원이 인가되며, 이 중 실제 설계된 모듈레이터에 인가되는 전원은 아날로그 파워(VCCA)와 아날로그 그라운드(VSSA) 그리고 common-mode 전압(Vcm)이다. 로직 분석기(logic analyzer)로는 16902A를 사용하였으며, DUT의 출력 bits stream들을 받아들여 저장하는 역할을 한다. 클럭 발생기로는 81130A를 사용하였으며, DUT에 시스템 클럭인 3.2MHz를 인가하는데 사용된다.

2. 측정 결과

그림 3.2는 본 논문의 모듈레이터가 1-poly, 6-metal 0.18 μ m standard CMOS 공정을 통해 제작된 칩 사진이다. 레이아웃(layout)시 디지털 블록에서 발생하는 노이즈가 아날로그 블록에 미치는 영향을 최소화하기 위해

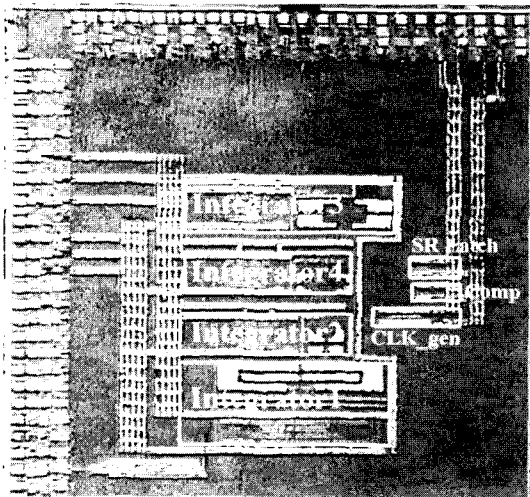


그림 3.2. 칩 사진
Fig. 3.2. Chip microphotograph.

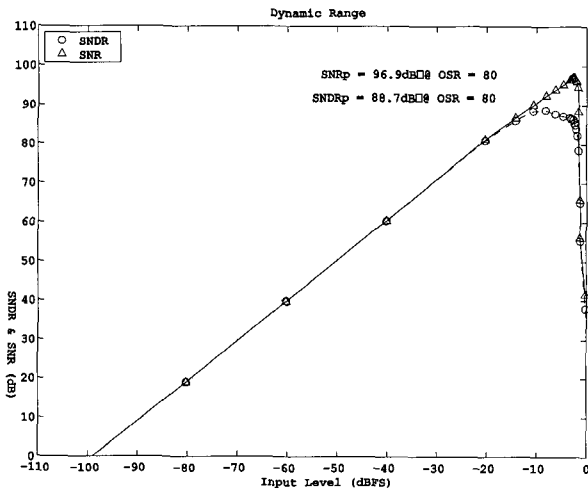


그림 3.3. 측정된 DR
Fig. 3.3. Measured DR.

아날로그 블록과 디지털 블록 사이에 가드링(guard ring)을 사용하여 두 블록들을 적절히 분리시켰다. Bonding 패드 부분을 제외한 코어(core)의 크기는 0.89mm \times 1.38mm이다. 설계된 모듈레이터는 3V 단일 전원과 3.2MHz의 클럭 주파수에 의해서 동작되며, 이때의 OSR은 80이다. 그림 3.3은 입력 크기 대 SNR과 SNDR에 대한 그림이며, 측정에 사용된 사인파의 입력 주파수는 6.25kHz이다. 효율적인 SNR과 SNDR 측정을 위해 -100dB부터 -10dB까지는 20dB씩 입력 크기를 증가시켜 측정하였으며, -10dB부터 0dB까지는 1dB씩 입력 크기를 증가시켜 좀 더 세밀한 측정을 하였다. 20kHz의 기저 대역 내에서의 최대 DR는 99dB이며, 그 때의 SNRp(peak-SNR)

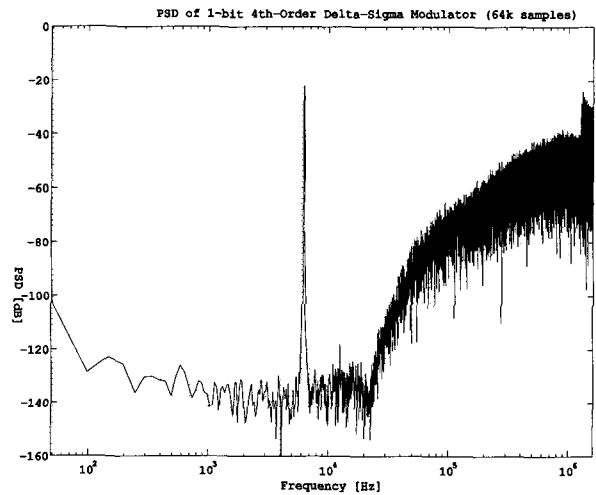


그림 3.4. -14.2dBv 입력에서 측정된 PSD(64k samples)
Fig. 3.4. Measured spectrum for a -14.2dBv input (64k samples).

표 3.1. 측정 결과
Table 3.1. Measured Result.

Specification	Value
Number of orders	4
Oversampling ratio	80
Signal bandwidth	20 kHz
Sampling frequency	3.2 MHz
Peak SNDR	88.7 dB
Peak SNR	96.9 dB
ENOB	15.8 bits
Dynamic range	99 dB
Supply voltage	3 V
Core area	0.89 mm \times 1.38 mm
Power dissipation	5.6 mW
Technology	0.18 μ m CMOS 1P6M

과 $SNDR_p(\text{peak-SNDR})$ 은 각각 96.9dB과 88.7dB이다. 전력소모는 패드를 포함한 상태에서 6.5mW이며, 코어 자체에서 소비한 전력은 5.6mW이다. 그림 3.4는 -14.2dBV의 입력이 인가되었을 때 측정된 PSD 파형이다. 그림에서 보는 바와 같이 20kHz인 대역폭 밖에서 노이즈 성분들이 깨끗하게 noise-shaping되는 것을 확인 할 수 있으며, 대역폭 내에서의 noise-floor는 -120dB 아래에서 형성되어 있는 것을 볼 수 있다. 표 3.1에는 칩으로 구현된 모듈레이터의 성능 및 사양을 나타내었다.

IV. 결 론

본 논문에서는 오디오 코덱의 델타-시그마 모듈레이터를 설계하는 방법에 대해 정리하였으며, 고해상도의 델타-시그마 모듈레이터를 설계할 때 고려되는 수많은 요소들에 대한 사용 유무를 성능, 면적, 그리고 설계의 용이성이란 세 가지 큰 기준을 갖고 결정하였다. 본 회로는 단일 전원인 3V를 사용하였으며, 0.18 μm standard CMOS 공정을 통하여 제작되었다. 설계된 모듈레이터에서 얻은 최대 DR는 99dB이다. 또한 본 모듈레이터의 FOM은 표 4.1에서 보는 바와 같이 164.5로 우수한 성능을 보여주고 있다.

표 4.1. FOM 비교

Table 4.1. A comparison of FOM.

Architecture	BW(kHz)	DR(dB)	VCC(V)	P(mW)	FOM(dB)
$\Delta\Sigma$: 2 (32-b) SC [11]	20	102	3.3	70.4	156.5
$\Delta\Sigma$: 6 (1-b) SC [12]	48	113	5	190	167
$\Delta\Sigma$: 2 (4-b) Hybrid [13]	20	106	3.3	18	166.5
$\Delta\Sigma$: 4 (1-b) SC [This work]	20	99	3	5.6	164.5

참 고 문 헌

- [1] A. L. Coban and P. E. Allen, "A New Fourth-Order Single-Loop Delta-Sigma Modulator for Audio," in Proc. IEEE ISCAS'96, vol. 1, May 1996, pp. 461-464.
- [2] A. Gharbiya and D. A. Johns, "On The Implementation of Input-Feedforward Delta-Sigma Modulators," IEEE Trans. Circuits Syst. II, vol. 53, no. 6, pp. 453-457, June 2006.
- [3] A. A. Hamoui and K. W. Martin, "High-Order Multibit Modulators and Pseudo Data-Weighted-Averaging in Low-Oversampling $\Delta\Sigma$ ADCs for Broad-Band Applications," IEEE Trans. Circuits Syst. I, vol. 51, no. 1, pp. 72-85, Jan. 2004.
- [4] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, F. Cusinato and A. Baschiroto, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators," IEEE Trans. Circuits Syst. I, vol. 50, no. 3, pp. 352-364, Mar. 2003.
- [5] S. Rabbii and B. A. Wooley, The Design of Low-Voltage, Low-Power Sigma-Delta Modulators. Norwell, MA: Kluwer, 1999.
- [6] B. Razavi, Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill, 2001.
- [7] R. Schreier and G. C. Temes, Understanding Delta-Sigma Data Converters. New York: IEEE Press, 2005.
- [8] R. J. Baker, H. W. Li and D. E. Boyce, CMOS Circuit Design Layout and Simulation. New York: IEEE Press, 2005.
- [9] D. A. Johns and K. Martin, Analog Integrated Circuit Design. New York: Johns Wiley & Sons, 1997.
- [10] Y. Geerts, M. Steyaert and W. Sansen, Design of Multi-bit Delta-Sigma A/D Converters. Norwell, MA: Kluwer, 2002.
- [11] E. Fogleman, J. Welz, and I. Galton, "An Audio ADC Delta-Sigma Modulator with 100-dB Peak SINAD and 102-dB DR Using a Second-Order Mismatch-Shaping DAC," IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 339-348, Mar. 2001.
- [12] C. B. Wang, S. Ishizuka, and B. Y. Liu, "A 113-dB DSD Audio ADC Using a Density-Modulated Dithering Scheme," IEEE J. Solid-State Circuits, vol. 38, no. 1, pp. 114-119, Jan. 2003.
- [13] K. Nguyen, R. Adams, K. Sweetland and H. Chen, "A 106-dB SNR Hybrid Oversampling Analog-to-Digital Converter for Digital Audio," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2408-2415, Dec. 2005.

저 자 소 개



최 영 길(학생회원)
 2004년 한양대학교 전자컴퓨터
 공학과 학사 졸업
 2006년 한양대학교 전기전자제어
 계측공학과 석사 졸업
 2006년~현재 한양대학교 전기
 전자제어계측공학과
 박사 과정

<주관심분야 : Over-sampling delta-sigma data
 converters 설계, 집적 회로 설계>



노 형 동(학생회원)
 2005년 한양대학교 전자컴퓨터
 공학과 학사 졸업
 2005년~현재 한양대학교 전기
 전자제어계측공학과 석·
 박사 통합 과정

<주관심분야 : Over-sampling delta-sigma data
 converters 설계, 집적 회로 설계>



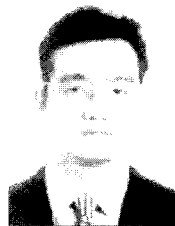
변 산 호(학생회원)
 2005년 한양대학교 전자컴퓨터
 공학과 학사 졸업
 2005년~현재 한양대학교
 전기전자제어계측공학과
 석사과정

<주관심분야 : Over-sampling delta-sigma data
 converters 설계, 집적 회로 설계>



남 현 석(학생회원)
 2005년 한림대학교 전자공학과
 학사 졸업
 2006년~현재 한양대학교
 전기전자제어계측공학과
 석·박사 통합 과정

<주관심분야 : System IC design, DC-DC
 converters 설계>



노 정 진(정회원)
 1990년 한양대학교 전기공학과
 학사 졸업
 1998년 미국 Pennsylvania State
 University 전기공학
 석사 졸업
 2001년 University of Texas at
 Austin. 컴퓨터공학 박사.

1990년~1996년 삼성전자 선임 연구원
 2000년~2001년 Intel. USA,
 senior design engineer
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터
 공학부 조교수

<주관심분야 : CMOS DC-DC converters 설계,
 Over-sampling delta-sigma data converters 설
 계>