

논문 2007-44SP-1-8

# 고속 UWB 시스템을 위한 인터폴레이터의 설계 및 구현

## (Design and implementation of an interpolator for high speed UWB system)

김 상 동\*, 이 종 훈\*, 정 우 영\*, 정 정 화\*\*

(Sang-Dong Kim, Jong-Hun Lee, Woo-Young Jung, and Jong-Wha Chong)

### 요 약

본 논문은 고속 UWB(Ultra Wide Band) 시스템을 위한 인터폴레이터를 구현한다. 구현된 고속 UWB 시스템용 인터폴레이터는 기존 가변 파라미터를 이용한 큐빅 인터폴레이터에 병렬 처리 기술과 파이프라인 기법을 동시에 적용한다. Stratix II EP2S60F1020C3를 타겟 디바이스로 실험한 결과, 최대지연경로 속도와 최대지연경로 주기가 각각 최대 102.42MHz와 9.764ns가 되었고, 동작속도는 최대 대략 190%이상 향상되었음을 알 수 있다.

### Abstract

This paper designs an interpolator for a high speed ultra wide bandwidth (UWB). The UWB wireless technology will play a key role in short-range wireless connectivity supporting very high bit rates availability, low power consumption, and location capabilities. Because the UWB needs high operating speed, a cubic interpolator based on variable parameters for the UWB needs to be operated at a high speed. In order to improve an operating speed, the modified cubic interpolator is based on both a parallel processing and a pipelining in the existing interpolator simultaneously. Experimental results show that a maximum operating speed and period of the proposed interpolator using Stratix II EP2S60F1020C3 is 102.42MHz and 9.764ns, respectively. Compared to the conventional interpolator, the designed cubic parameter interpolator has been improved more than about 190%.

**Keywords :** UWB, interpolator, pipeline, parallel, high speed

## I. 서 론

최근 HDTV, 프로젝터, 고음질 Hi-Fi, 디지털 카메라, 캠코더와 PC 등 가정 내 정보 가전기기들을 하나의 네트워크로 통합하고자 하는 홈 네트워크가 각광 받고 있다. 홈 네트워크가 각광받는 가운데 고속의 데이터 전송을 위한 새로운 전송 방식이 필요하게 되었다. UWB 무선 전송 방식은 이러한 요구에 적합한 전송 방

식으로, 기존 휴대폰과 무선랜 제품의 1/5의 전력 소모량으로 100Mbps에서 1Gbps까지의 전송 속도를 제공할 수 있다는 장점이 있어 최근 이에 대한 연구가 활발히 행되고 있다<sup>[1][2]</sup>.

초고속 근거리 무선통신 기술인 UWB의 표준안으로 제안되고 있는 방법으로는 MB-OFDM<sup>[3][4]</sup> 기술과 DS-CDMA(Direct Sequence Code Division Multiplexing)<sup>[5]</sup> 기술이 있다.

MB-OFDM UWB 시스템을 설계할 때 송수신에 사용되는 오실레이터간의 클럭 차이가 발생하여 샘플링 오류가 발생하게 된다<sup>[6]-[9]</sup>. 최근 들어 샘플링 오류 문제를 해결하기 위해서 각 클럭마다 오류를 보정해 주는 인터폴레이터를 사용하는 연구가 활발하게 진행되고 있다<sup>[10][11]</sup>.

지금까지 제안된 인터폴레이터 기법은 다항식에 기

\* 정희원, 대구경북과학기술연구원 IT연구부  
(Department of IT, Daegu Gyeongbuk Institute of Science & Technology)

\*\* 평생회원, 한양대학교 정보통신공학부  
(College of Information & Communications, Hanyang University)

※ 본 연구는 2007년 과학기술부/기관고유과제 연구지원사업의 일환으로 진행되었음(과제번호 : 07CH-01)  
접수일자: 2006년6월9일, 수정완료일: 2006년12월29일

반을 둔 인터플레이터 기법<sup>[12]</sup>, 삼각함수 다항식에 기반을 둔 인터플레이터 기법<sup>[13]</sup> 그리고, 가변 파라미터를 이용한 큐빅 인터플레이터 기법이 있다<sup>[14]</sup>. 다항식에 기반을 둔 인터플레이터는 Erup과 Gardner에 의해서 제안되었으며, 일반적인 큐빅 인터플레이터에 비해서 성능이 우수하다. 삼각함수 다항식에 기반을 둔 인터플레이터는 Fu와 Wilson에 의해서 제안되었고, 다항식에 기반을 둔 인터플레이터에 비해서 복잡도가 감소하는 특징이 있다. 그리고 가변 파라미터를 이용한 큐빅 인터플레이터는 Zhang에 의해서 제안되었으며, 성능 및 구현의 용이성 측면에서 우수한 특성을 지니고 있다. 지금까지, MB-OFDM UWB 시스템용 가변 파라미터에 기반을 둔 큐빅 인터플레이터에 대한 연구는 아직 이루어지지 않은 상태이다.

MB-OFDM UWB 시스템은 복소수 기저대역의 대역폭이 528MHz이므로, 샘플링율은 528MHz 이상이 되어야 한다. 이런 고속의 시스템을 ASIC화하기 위해서는 최소한 FPGA상에서 1/4 스케일인 132MHz로 동작해야 한다. 하지만, 성능이 우수한 가변 파라미터에 기반을 둔 큐빅 인터플레이터의 최대 동작속도는 34.97MHz로 제한되어 있다. 본 논문은 동작속도의 문제점을 극복하기 위해서 기존의 가변 파라미터를 이용한 큐빅 인터플레이터에 병렬 처리 기술과 파이프라인 기법을 동시에 적용한 가변 파라미터를 이용한 큐빅 인터플레이터를 구현한다.

II. 설계 및 구현

본 장에서는 MB-OFDM UWB 시스템용 가변 파라미터를 이용한 큐빅 인터플레이터를 구현한다. 기존의 가변 파라미터를 이용한 큐빅 인터플레이터<sup>[14]</sup>는 성능 측면에서 우수한 특성을 가지고 있다. 하지만, 고속의 UWB에 기존의 인터플레이터를 적용할 경우 구현상의 문제와 동작속도상의 문제점이 발생한다. 그림 1은 기존의 가변 파라미터를 이용한 큐빅 인터플레이터에서 최대지연경로를 나타내고 있다. 여기서,  $\mu$ 는 참고문헌 [14]에서 정의한 바와 같이 인터플레이터가 샘플 간격 사이에 보정하는 위치를 나타낸다. 최대지연경로는 첫 번째 레지스터와 출력 레지스터 사이의 구간이 된다. 최대지연경로는 3개의 곱셈기와 12개의 덧셈기로 구성되어 있기 때문에, 동작속도 측면에서 병목구간(bottleneck)이 된다. 동작속도상의 문제점을 개선하기 위해서 가변 파라미터를 이용한 큐빅 인터플레이터에

병렬 처리 기술과 파이프라인 기법을 동시에 적용하여 구현된 가변 파라미터를 이용한 큐빅 인터플레이터를 제안한다. 그림 2는 클럭당 2개의 데이터를 처리하는 병렬 처리 기술의 구성도를 나타내고, 그림 3은 제안한 인터플레이터에서 파이프라인 기법이 적용된 그림 2에서 InterpolatorEarly/InterpolatorLate의 내부 구조를 나타낸다.

우선, 구현된 가변 파라미터를 이용한 큐빅 인터플레이터에서 클럭당 두 개의 데이터를 동시에 처리하는 병렬 처리 기법에 대해서 살펴보고자 한다. 병렬 처리 기법이란 동시에 2개의 입력과 출력을 처리하는 방법이다. 10개의 입력이 있고 9개의 입력을 처리해서 출력을 생성하는 기존 인터플레이터의 동작 방식을 살펴보면,

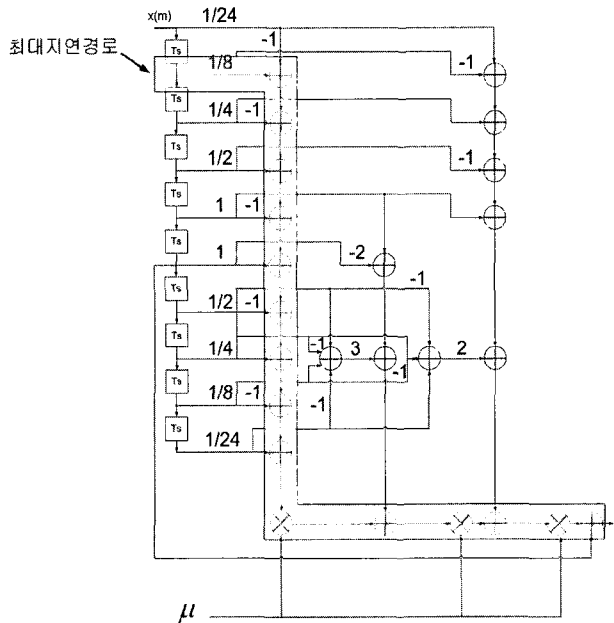


그림 1. 기존 가변 파라미터를 이용한 큐빅 인터플레이터의 최대지연경로

Fig. 1. The conventional cubic interpolator based on variable parameters and its critical path.

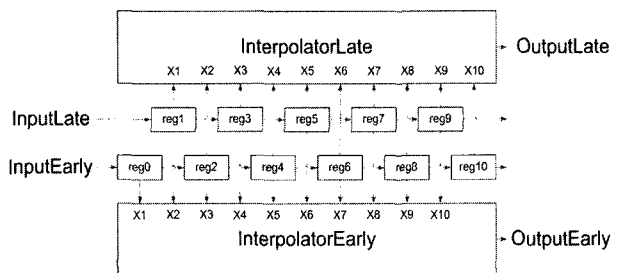


그림 2. 구현된 가변 파라미터를 이용한 큐빅 인터플레이터의 병렬 처리 구성도

Fig. 2. The organization of the parallel processing in the modified interpolator.

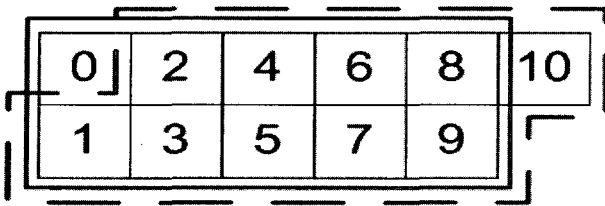


그림 3. 구현된 인터폴레이터에서 적용한 병렬 처리 기법의 기본 개념

Fig. 3. The basic idea of parallel processing in the modified interpolator.

첫 번째 출력은 1~9번째 입력을 처리하여 생성하고 두 번째 출력은 2~10번째 입력을 처리하여 생성한다. 두 개의 출력을 생성하기 위해서는 연속적인 10개의 입력이 필요하다. 이와 같은 방식으로 동작하는 기존 인터폴레이터에 병렬 처리 기법을 적용한 본 논문에서 제안하는 변형된 인터폴레이터는 첫 번째 출력과 두 번째 출력을 동시에 생성한다.

그림 3은 구현된 인터폴레이터에서 출력을 동시에 생성하는 기본 개념을 나타낸다. 실선 부분은 첫 번째 출력을 생성하기 위해서 필요한 입력을 나타내고, 점선 부분은 두 번째 출력을 생성하기 위해서 필요한 입력을 나타낸다. 병렬 처리 기법이 적용된 변형된 인터폴레이터는 실선 부분과 점선 부분을 동시에 처리한다. 기본 개념을 통해서 그림 3의 구성도를 살펴보면, 실선 부분을 처리하는 영역이 InterpolatorEarly가 되고, 점선 부분을 처리하는 영역이 InterpolatorLate가 된다. 따라서 병렬 처리 기술이 적용된 인터폴레이터는 클럭 속도의 2배되는 데이터를 처리할 수 있다.

다음으로, 구현된 가변 파라미터를 이용한 큐빅 인터폴레이터에서 적용한 파이프라인 방식을 살펴보고자 한다. 파이프라인이란 반복되는 중속 과정들을 각기 독립적인 과정들로 분리하여 각 독립과정이 각기 다른 시간대에서 동작된다는 점을 이용하여 여러 데이터가 시간차를 두고 동시에 병렬 처리함으로써 더 높은 데이터처리율을 얻는 방법이다. 그림 4에서 볼 수 있듯이, 구현된 가변 파라미터를 이용한 인터폴레이터에서 InterpolatorEarly와 InterpolatorLate 영역의 내부 구조는 파이프라인 기법이 적용된다. 기존 인터폴레이터에서 최대경로구간인 곱셈기와 덧셈기를 변형된 인터폴레이터에서는 개별 독립과정으로 처리하여 전송속도의 문제를 극복할 수 있다. 따라서 그림 4와 같이 변형된 인터폴레이터는 3개의 독립적인 지연경로로 구성하여 인터폴레이터의 전체 동작 속도를 향상시킬 수 있다.

그리고 설계 구현 측면에서 구현된 인터폴레이터는

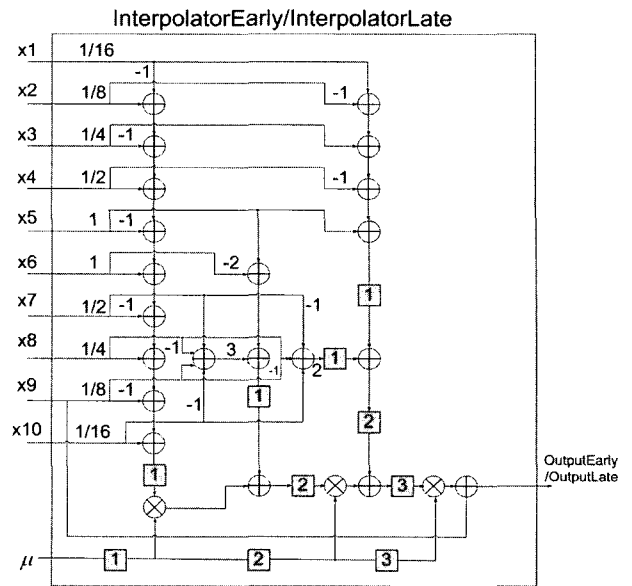


그림 4. 구현된 가변 파라미터를 이용한 인터폴레이터에서 InterpolatorEarly/InterpolatorLate의 상세 내부 구조

Fig. 4. The inner structure of the modified cubic interpolator based on pipelining scheme.

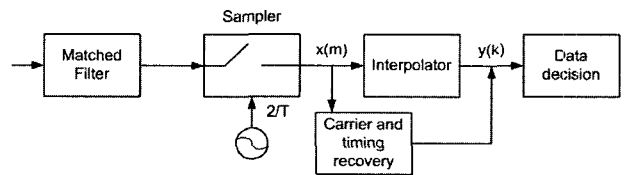


그림 5. 인터폴레이터의 변형 계수에 대해서 시스템의 BER 성능 평가를 위한 디지털 수신기

Fig. 5. All-digital receiver for testing BER performance of the proposed interpolator.

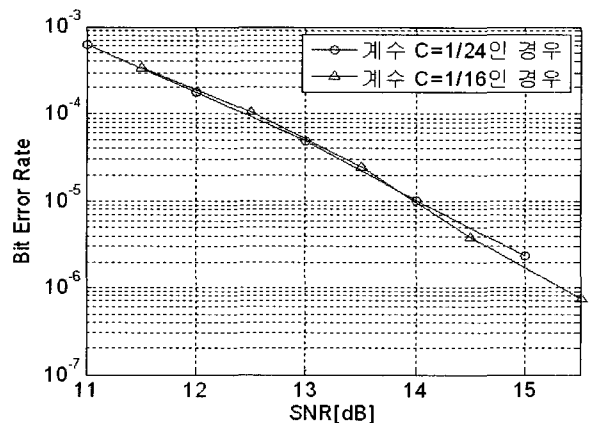


그림 6. 구현된 인터폴레이터에서 계수 C=1/24인 경우와 계수 C=1/16인 경우에 대해서 시스템의 BER 성능 비교

Fig. 6. BER performance of the modified interpolator in case of C=1/16 and C=1/24.



표 1. 타겟 디바이스별 구현된 인터플레이터의 최대 지연경로 속도와 Logic Element 특성

Table 1. Summarizes the speed of the critical path and logic element in the modified interpolator for four kinds of target platforms.

	Stratix II EP2S60F 1020C3	Stratix GX 1SGX40GF 1020C5	Cyclon II EP2C35F 484C6
최대지연경로 주기 (ns)	9.764	14.470	14.691
최대지연경로 속도 (MHz)	102.42	69.11	68.07
Logic Element	538	549	499

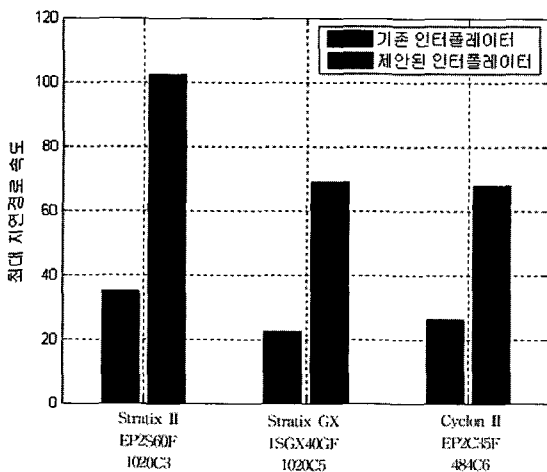


그림 8. 타겟 디바이스별 최대경로 속도의 기존 인터플레이터와 제안된 인터플레이터의 비교

Fig. 8. Comparisons between the conventional and proposed interpolator for the speed of the critical path in four kinds of target platforms.

에서 다양한 타겟 보드별 최대지연경로 속도를 나타내고 있다. 그림 8에서 알 수 있듯이, Stratix II EP2S60F1020C3인 경우 기존 인터플레이터에 비해서 제안된 인터플레이터는 최대지연경로 향상율이 190%가 되고, Stratix GX 1SGX40GF1020C5인 경우 기존 인터플레이터에 비해서 제안된 인터플레이터는 최대지연경로 향상율이 97%가 된다. 따라서 본 논문에서는 구현된 인터플레이터는 성능뿐만 아니라 전송속도 측면에서 향상됨을 알 수 있다.

## IV. 결 론

본 논문은 MB-OFDM UWB 시스템용 기존의 가변 파라미터를 이용한 큐빅 인터플레이터에 병렬 처리 기술과 파이프라인 기법을 동시에 적용한 변형된 가변 파라미터를 이용한 큐빅 인터플레이터를 구현하였다. 기존 인터플레이터를 고속의 UWB 시스템에 적용하기 위해서는 전송속도의 한계가 있다. 이런 문제점을 향상시키기 위해서 기존의 인터플레이터에 병렬처리 기술과 파이프라인 기법을 적용하였다.

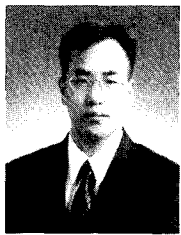
Stratix II EP2S60F1020C3를 타겟 디바이스로 실험한 결과, 최대지연경로 속도와 최대지연경로 주기가 각각 최대 102.42MHz와 9.764ns가 되었고, 동작속도는 최대 대략 190% 이상 향상되었음을 알 수 있다. 향후 구현된 인터플레이터는 고속의 MB-OFDM UWB 시스템에 채택될 것이며, 다른 고속 무선 통신 시스템에도 적용될 것이다.

## 참 고 문 헌

- [1] Jeff Foerster, E. Green, S. Somayazulu, and D. Leeper, "Ultra-Wideband Technology for Short or Medium Range Wireless Communications," Intel Technology Journal, Q2 2001.
- [2] <http://grouper.ieee.org/groups/802/15/>
- [3] J. Foerster, V. Somayazulu, S. Roy, E. Green, K. Tinsley, C. Brabenac, D. Leeper and M.Ho, IEEE802.15-03/109r1, Mar. 2003.
- [4] A. Batra, J. Balakrishnan and A. Dabak, IEEE802.15-03/141r1, Mar. 2003.
- [5] M. Welborn, IEEE802.15-03/153r5, May 2003.
- [6] S. A. Fechtel, "OFDM Carrier and Sampling Frequency Synchronization and its Performance on Stationary and Mobile Channels," IEEE Transactions on Consumer Electronics, Vol. 46, No. 3, August 2000, pp. 438-441
- [7] D. K. Kim, S. H. Do, H. B. Cho, H. J. Choi, K. B. Kim, "A New Joint Algorithm of Symbol Timing Recovery and Sampling Clock Adjustment for OFDM Systems," IEEE Transactions on Consumer Electronics, Vol. 44, No. 3, August 1998, pp. 1142-1149
- [8] T. Pollet, M. Peeters, "Synchronization with DMT Modulation," IEEE Comm. Magazine, April 1999, pp. 80-86
- [9] T. Pollet, P. Spruyt, M. Moeneclaey, "The BER Performance of OFDM Systems using Non-Synchronized Sampling," IEEE Global

- Telecommunications Conference 1994, pp. 253-257
- [10] F. M. Gardner, "Interpolator in Digital Modems-Part I: Fundamentals," IEEE Transactions on Communications, Vol. 41, No. 3, June 1993, pp. 501-507
- [11] 김상동, 이종훈, 정우영, 정정화, "Multi-band OFDM UWB 시스템용 변형된 가변 파라미터를 이용한 큐빅 인터폴레이터의 설계 및 구현," 2006 대한임베디드공학회 춘계 학술대회, p119-122, 2006년 5월
- [12] L. Erup, F. M. Gardner, R. A. Harris, "Interpolator in Digital Modems-Part II: Implementation and Performance," IEEE Transactions on Communications, Vol. 41, No. 6, June 1993, pp. 998-1008
- [13] D. Fu, A. N. Wilson, "Trigonometric Polynomial Interpolation for Timing Recovery," IEEE Transactions on Circuit and Systems-I : Regular paper, Vol. 52, No. 2, Feb. 2005.
- [14] H. Zhang, "Interpolator for all-digital receivers," Electronics Letters ,13th February 1997, Vol.33, No.4 , pp. 261-262
- [15] <http://www.altera.com>

저 자 소 개



**이 종 훈**(정회원)  
 1996년 2월 성균관대학교  
 전자공학과 학사  
 1998년 2월 성균관대학교  
 전기전자및컴퓨터공학과  
 석사  
 2002년 2월 성균관대학교  
 전기전자및컴퓨터공학과  
 박사

2002년 1월~2005년 7월 삼성전자 통신연구소  
 책임연구원  
 2005년 7월~현재 대구경북과학기술연구원  
 (DGIST) 선임연구원  
 <주관심분야 : 실내외 정밀 측위, Optical  
 interconnection, UWB, 모뎀>



**김 상 동**(정회원)  
 2004년 2월 한양대학교  
 전자컴퓨터공학부 학사  
 2006년 2월 한양대학교  
 전자통신전파공학과 석사  
 2006년 3월~현재 대구경북과학  
 기술연구원(DGIST)  
 연구원

<주관심분야 : 실내외 정밀 측위, UWB, 모뎀>



**정 우 영**(정회원)  
 1984년 2월 서울대학교  
 전자공학과 학사  
 1986년 2월 한국과학기술원  
 전기및전자공학과 석사  
 1991년 8월 한국과학기술원  
 전기및전자공학과 박사

1991년 8월~1999년 9월 삼성전자 수석연구원  
 1999년 9월~2003년 5월 코어세스 연구소장  
 2004년 3월~2004년 12월 숭실대학교 객원교수  
 2004년12월~현재 대구경북과학기술연구원  
 (DGIST) 책임연구원

<주관심분야 : 실내외 정밀 측위, UWB, 모뎀>



**정 정 화**(평생회원)  
 1975년 2월 한양대학교  
 전자공학과 학사  
 1977년 2월 한양대학교  
 전자공학과 석사  
 1981년 3월 와세다대학교  
 전자통신공학과 박사

1981년 3월~현재 한양대학교 정보통신공학부  
 정교수

<주관심분야 : 전자공학, 통신공학, 디지털 공학,  
 SOC>