

IEEE 1149.1 표준에 근거한 다중 클럭을 이용한 단일 캡처 스캔 설계에 적용되는 경계 주사 테스트 기법에 관한 연구

| |
|---------|
| 論 文 |
| 56-5-24 |

Test Methodology for Multiple Clocks Single Capture Scan Design based on JTAG IEEE1149.1 Standard

金 吝 洙[†] · 閔 炯 福^{*}
(In Soo Kim · Hyoung Bok Min)

Abstract - Boundary scan test structure(JTAG IEEE 1149.1 standard) that supports an internal scan chain is generally being used to test CUT(circuit under test). Since the internal scan chain can only have a single scan-in port and a single scan-out port; however, existing boundary test methods can not be used when multiple scan chains are present in CUT. Those chains must be stitched to form a single scan chain as shown in this paper. We propose an efficient boundary scan test structure that adds a circuit called Clock Group Register(CGR) for multiple clocks testing within the design of multiple scan chains. The proposed CGR has the function of grouping clocks. By adding CGR to a previously existing boundary scan design, the design is modified. This revised scan design overcomes the limitation of supporting a single scan-in port and out port, and it bolsters multiple scan-in ports and out ports. Through our experiments, the effectiveness of CGR is proved. With this, it is possible to test more complicated designs that have high density with a little effort. Furthermore, it will also benefit in designing those complicated circuits.

Key Words : Boundary Scan, Clock Group Register, Internal Scan Chain, Multiple Clock System, Scan Design,

1. 서 론

최근의 시스템은 다중 보드의 구조를 사용함에 따라 내장된 자체 테스트를 이용해서 시스템을 테스트해야하는 필요가 점점 증가하고 있다. 외부 테스트에 의존하는 기존의 테스트 방법은 더 이상 만족할 만한 테스트를 보장할 수 없게 되었다. 이를 해결하기 위해서는 설계 단계에서부터 테스트 용이화를 고려해야 한다. VLSI 회로의 테스트에 가장 광범위하게 적용되는 기법은 스캔 테스트 기법이다[1][2][3][7]. 경계 주사 기법에서도 이러한 스캔 테스트 기법이 적용되고 있다. IEEE 1149.1 표준안은 이러한 필요성에 의해 등장하게 되었고, 표준안에 따르면 모든 입출력은 TDI(Test Data Input)와 TDO(Test Data Output)를 통하여 이루어진다[5][16][17]. 그러나 표준으로 지정된 기존의 경계 주사 기법에서는 단일 시스템 클럭(single system clock)과 단일 스캔 체인(single scan chain)만을 고려한 기법으로 여러 입출력들과 다중의 클럭들(multiple clocks)이 존재할 경우에는 그 한계성을 드러내고 있다[4][5][6]. 본 논문에서는 표준안의 기준을 벗어나지 않으면서도 기존의 단일 시스템 클럭 기법만을 지원하는 경계 주사 테스트 기법의 한계성을 벗어나 다중 시스템 클럭(multiple system clocks) 환경에서 경계 주사 테스트에 관해 효과적으로 시스템을 테스트하는 방법

을 제안한다. 다중 클럭을 컨트롤 할 수 있는 회로(Clock Group Register:CGR)를 추가적으로 사용하여 클럭 그룹을 제어함으로써 다중 클럭 구조에서 단일 캡처 스캔 설계를 할 수 있다. 이를 통하여 기존의 한계성을 갖고 있는 경계 주사 테스트 기법의 단점을 극복하는 기법을 제안한다.

2. 본 론

2.1 경계 주사에서 제어되는 스캔 테스트

그림 1을 통하여 보여주는 IEEE 1149.1 경계 주사 구조는 보드 수준의 상호 연결 테스트(interconnect test)에서 검증하는 테스트의 복잡성과 그에 따른 테스트 용이도 및 비용의 문제를 고려하여, 기존의 in-circuit 테스트 기법을 보완하는 기법으로 등장하였다. IEEE 1149.1 경계 주사 구조는 하나의 환형 직렬 주사 경로만을 지원하기 때문에 입출력 수의 제한이 따르게 된다. 단일 클럭을 사용하는 회로에서의 경계 주사 기법에서는 시스템 회로의 내부 스캔 체인(internal scan chain)의 입력(scan-in)과 출력(scan-out)을 각각 경계 주사 기법의 전용으로 사용되는 핀인 TDI와 TDO단자에 연결함으로써 테스트가 가능하다. 그러나 시스템 회로가 다중 클럭을 사용하는 경우에는 내부 스캔 체인 역시 다중 스캔 체인으로 구성되어 진다. 이는 경계 주사의 입·출력 단자가 각각 한 개만 존재한다는 점에 위배되어 다중 클럭으로 구성된 시스템 회로는 기존의 경계 주사 기법으로 지원을 하지 못하는 큰 단점이 존재한다.

[†] 교신저자, 正會員 : 성균관대학교 정보통신공학부 외래교수
E-mail : iskim@ece.skku.ac.kr

^{*} 正會員 : 성균관대학교 정보통신공학부 정교수
接受日字 : 2007年 1月 19日
最終完了 : 2007年 3月 2日

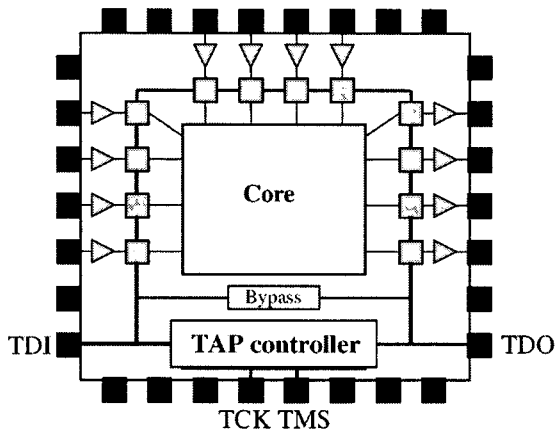


그림 1 IEEE 1149.1 표준 경계 주사 테스트 방법
Fig. 1 IEEE 1149.1 Standard Boundary Scan Architecture

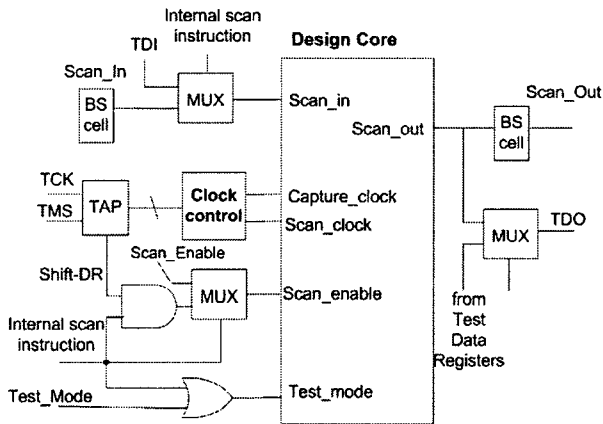


그림 2 스캔 테스트의 설계 내에서 제어되는 경계 주사
Fig. 2 Scan Testing of Design under the Control of Boundary Scan

그림 2는 경계 주사 포트에 의해 테스트 되어질 수 있도록 내부 스캔 체인을 지원하는 기존의 경계 주사 설계이다. 디자인 코어 내부에서 내부 스캔 경로는 내부 스캔 명령어에 따라서 테스트 데이터 레지스터가 진행된다. 디자인 코어의 입력(scan-in)과 출력(scan-out) 포트는 내부 스캔 체인 사용에 의해서 명시되어지고 캡처 클럭과 스캔 클럭은 명령어 디코더와 TAP 제어기로 제어되는 신호의 사용에 의해 생성된다. 내부 스캔 경로에서 디자인 코어의 scan_enable 단자와 test_mode 단자는 그림 2에 보인 것과 같이 내부 스캔 명령어 신호로부터 생성된다. "scan_enable"은 디자인 코어의 active-high scan_enable port에서 논리 1인 경우에는 scan shift mode에 적용되고 논리 0인 경우에는 capture mode가 적용된다. "test_mode"는 디자인 코어의 active-high test_mode port이다. 논리 1에서 test mode 상태가 적용되고 논리 0에서 정상 시스템 동작이 적용된다.

2.2 Internal Scan Style을 지원하는 구조

Internal scan style은 multiplexed scan과 clocked scan 두 가지의 구조를 지원한다. 그림 3의 회로는 multiplexed

scan style에서 사용되는 회로이다. "test clock"은 디자인 코어의 캡처 클럭 단자의 각각에 적용되는 클럭 신호이며, 클럭은 모든 Capture-DR과 Shift-DR state에 적용된다.

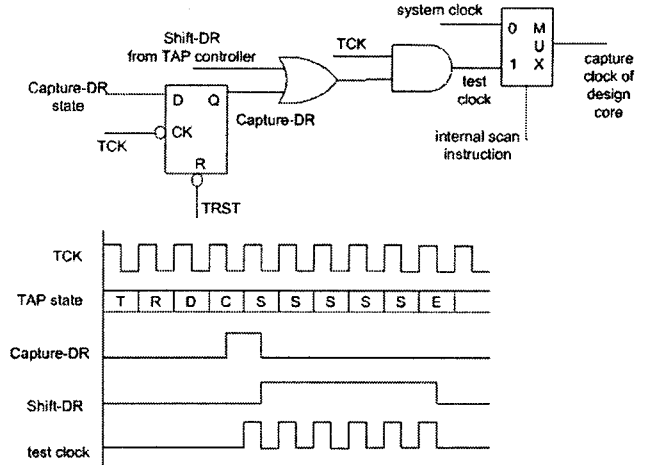


그림 3 MUXed-Scan Style을 지원하는 Clock Control Circuit
Fig. 3 Clock Control Circuit for MUXed-Scan

그림 3의 timing diagram에서 T=Test-Logic-Reset, R=Run/Test-Idle, D>Select-DR-Scan, C=Capture-DR, S=Shift-DR, E=Exit-DR 이다. 그림 4의 회로는 clocked scan style에서 사용되는 회로이다. 디자인 코어의 scan-clock 단자는 오직 clocked-scan에서 요구된다.

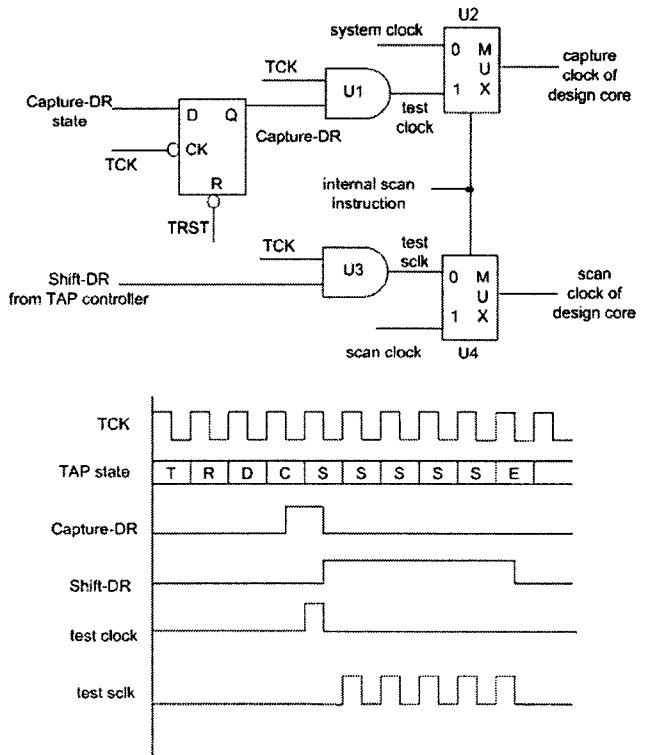


그림 4 Clocked-Scan Style을 지원하는 Clock Control Circuit
Fig. 4 Clock Control Circuit for Clocked-Scan

2.3 내부 스캔 체인이 TDI 또는 TDO로부터 시작하는 구조

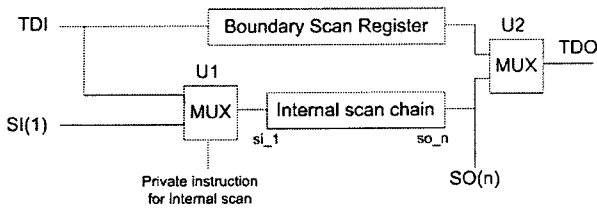


그림 5 TDI로부터 시작하는 내부 스캔 체인
Fig. 5 An Internal Scan Chain which begins from TDI

그림 5는 내부 스캔 체인이 "TDI"로부터 시작되는 구조이다. 그림 5의 multiplexer U2는 경계 주사 명령어의 디코딩 신호로부터 컨트롤되어 사용한다. 경계 주사 명령어는 경계 주사 레지스터를 위한 명령어와 내부 스캔 체인 테스트를 위한 명령어가 존재하며 명령어 레지스터에 적용되도록 한다.

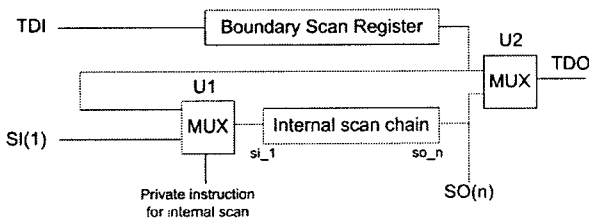


그림 6 TDO로부터 시작하는 내부 스캔 체인
Fig. 6 An Internal Scan Chain which begins from TDO

경계 주사 레지스터와 내부 스캔 체인은 스캔 체인으로 연결되어있기 때문에 명령어 레지스터에서 내부 스캔 명령어가 지속될 수 있도록 스캔 테스트 하는 동안에 유지할 수 있게 된다. 따라서 이와 같은 구조가 요망된다.

2.4 제안하는 방법

2.4.1 Clock Group Register를 이용하여 TDO로부터 시작하는 내부 스캔 체인 구조의 제안

그림 6에서, 경계 주사 레지스터와 내부 스캔 체인은 스캔 체인으로 연결되어있다. 스캔 테스트가 이루어지는 상태에서는 명령어 레지스터에서 내부 스캔 명령어가 지속될 수 있는 구조로 다중의 클럭을 제어해야 한다. 따라서 본 논문에서는 그림 7에서의 구조와 같이 multiplexer U1의 앞 부분에 Clock Group Register(CGR)를 연결하여 클럭을 제어할 수 있도록 제안한다.

CGR은 스캔 테스트를 용이하게 하기 위하여 모든 클럭의 활성화가 동시에 일어나지 않도록 하는 기능을 수행한다. 다중 클럭들을 지원하는 회로에서 CGR이 없다면 여러 클럭들이 동시에 활성화되어서 다중 클럭들에 대한 데이터를 캡처할 수 없게 된다. 이를 방지하고자 CGR을 삽입하여 다중 클럭 그룹이 지원될 수 있도록 하여 스캔 테스트를 용이하게

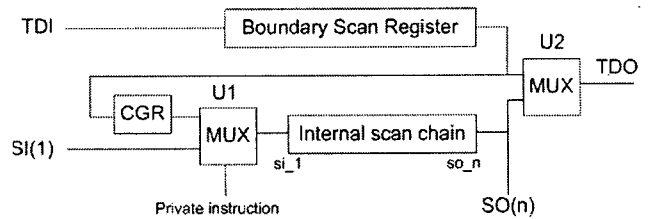


그림 7 CGR을 이용하여 TDO로 부터 시작하는 내부 스캔 체인 구조의 제안
Fig. 7 Proposed Internal Scan Chain Structure which begin from TDO

게 할 수 있도록 한다. 이를 통하여 클럭들이 순차적으로 활성화되도록 한다. 그림 4의 구조에서 multiplexed scan과 clocked scan이 둘 다 사용되는 경우라면 캡처 클럭은 표준 상태에서 오프 상태로 하고 필요시에만 클럭 신호를 받아들이도록 캡처 클럭은 그림의 "test_clock"에서 기능을 수행해야 한다. 스캔 클럭은 스캔 시프트 모드에서 항상 활성화되어야 하고 클럭 그룹과 연관 없이 사용한다. Multiplexer U1은 스캔 경로의 명시에 따라 선택되어 사용되고, 경계 주사를 지원하는 스캔 테스트에서 CGR의 출력은 내부 스캔 체인에서 scan-in 단자에 연결된다. 내부 스캔 체인의 scan-in 단자는 top level port SI(1)에 연결되고, 이것은 첫 번째 스캔 체인의 top level scan-in 단자이다. 지정된 scan-in 단자가 si_1(디자인 코어 내부 스캔 체인 안에서 scan-in 단자)일 경우에는 multiplexer U1과 SI(1)은 요구되지 않는다. 또한 지정된 scan-out 단자가 so_n(내부 스캔 체인의 scan-out 단자)일 경우에는 top level port SO(n)도 요구되지 않는다.

2.4.2 Clock Group Register를 이용하여 다중 캡처 클럭 그룹을 지원하는 구조의 제안

그림 8에서 CGR은 스캔 경로에서 시프트 레지스터로서의 역할을 수행한다. 시프트 레지스터는 내부 스캔 디자인에서 다중 클럭 그룹이 있다면 내부 스캔에 삽입된다. 디자인 코어의 클럭이 단일 클럭 그룹이라면 CGR은 사용할 필요가 없다. 이 레지스터는 clock group identification number(클럭 그룹 ID)를 출력한다. 첫 번째 클럭 그룹의 클럭 단자 "clk1"과 "clk2"는 클럭 그룹 0에 속하고(클럭 그룹 ID=0), 클럭 단자 "clk3"은 클럭 그룹 1(클럭 그룹 ID=1)에 속한다. 디자인 코어의 클럭이 다중 클럭 그룹일 경우에는 캡처되는 데이터는 모든 클럭의 활성화가 동시에 일어나므로 동작을 정확히 수행할 수 없다. CGR은 스캔 테스트의 캡처 모드에서 활성화 되는 클럭 그룹 ID number를 포함하고 있다.

그림 4에서 보여준 구조는 multiplexed scan 과 clocked scan 둘 다 이용된다. 왜냐하면 그 캡처 클럭 게이팅은 오로지 캡처 클럭들(그림에서의 "test_clock")을 위해서 수행되기 때문이다. 스캔 클럭들은 클럭 그룹들과의 관련성이 전혀 없으며, 항상 scan shift mode에서 활성화 되어야한다. 그 회로는 CGR(Clock Group Register)에 의해 게이팅 연산을 통하여 이용되며, 이 또한 그림 8을 통해서 보여준다. 그림

8을 통하여 보여준 회로는 그림 4의 clocked scan style을 지원하는 회로에서 "test_clock"신호에 삽입된다. 만일 테스트가 요구되는 회로에서 다중 스캔 방식(multiplexed scan style)이 사용되는 경우에는 그림 4의 U4를 사용할 필요는 없고, 신호 "test_sclk"와 게이티드 클럭 신호(그림 8에서 AND 게이트의 출력)는 그림 8의 회로 후에 클럭 신호를 만들기 위한 OR 게이트에 연결된다. 그림 8은 그림 4의 "test_clock"에 삽입된다.

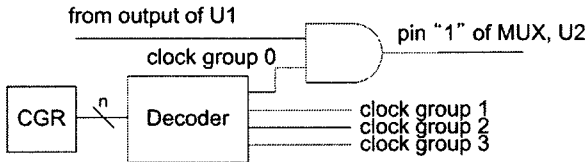


그림 8 다중 캡처 클럭 그룹을 지원하는 구조
Fig. 8 Structure to support Multiple Capture Clock Groups

2.4.3 Clock Group Register를 이용하여 다중 클럭을 이용한 단일 캡처를 지원하는 구조의 제안

본 논문에서는 다중 클럭과 다중 스캔 체인을 고려한 테스트기법을 제안하고 있으며 그 모습은 그림 9를 통해 보이고 있다. 디자인에서의 내부 스캔 디자인 내부 구조에서 내부 스캔 체인은 단일 scan-in 단자와 단일 scan-out 단자를 가지기 때문에 다중 스캔 체인은 사용할 수 없다. 그림 5와 6의 내부 스캔 체인은 단일 scan-in 단자와 단일 scan-out 단자를 가지고 있으며, 이것은 다중 스캔 체인을 사용할 수 없음을 의미한다.

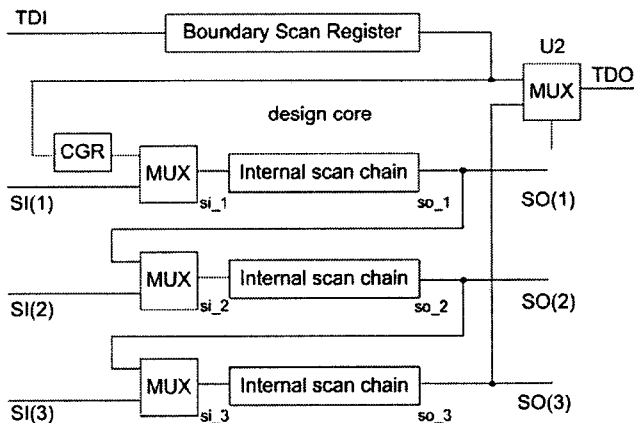


그림 9 다중 클럭을 이용한 단일 캡처를 지원하는 구조의 제안
Fig. 9 Internal Scan Architecture with Multiple Scan Chains

만일 내부 스캔 체인이 다중 스캔 체인을 가지고 있다면, 다중 스캔 체인은 구조적인 수정이 이루어져야하고, 그 방법은 그림 9를 통하여 제안한다. 그림 9를 통하여 회로 내에 3개의 스캔 체인이 존재한다고 가정한다. 경계 주사 레지스터, CGR, 내부 스캔 체인 1, 내부 스캔 체인 2 그리고 내부 스캔 체인 3의 순으로 TDI와 TDO사이에서 구조화된다. 그림 9에서, 3개의 스캔 체인들의 앞부분에 존재하는 3개의 MUX

들은 스캔 명령어로 충분히 제어가 가능하다. 이로써 본 논문에서는 단일 scan-in 단자와 scan-out 단자만으로도 다중 스캔 체인을 지원할 수 있는 방법을 제안한다.

2.4.4 Clock Group Register의 세부적인 동작 원리

본 논문에서 제안한 Clock Group Register(CGR)의 동작 원리를 세부적으로 살펴보면 다음과 같다.

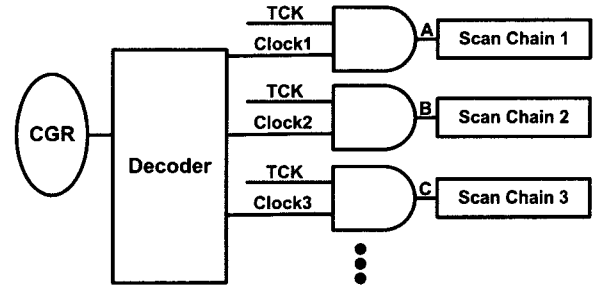


그림 10 CGR의 세부적인 동작 원리
Fig. 10 Detailed Behavior of CGR

그림 10은 테스트가 수행되는 회로가 내부적으로 여러 개의 클럭들을 사용한다고 가정한다. 따라서 스캔 체인들도 역시 하나의 체인이 아닌 복수 개의 체인들이 존재하게 된다. 이러한 다중 클럭 또는 다중 체인으로 형성된 회로에 경계 주사 기법이 적용될 때는 기존의 경계 주사 기법으로는 테스트가 불가능하였다. 그림 10은 CGR과 decoder를 이용하여 경계 주사에서 사용되는 클럭인 TCK 신호와 논리적인 조합을 이루게 된다. TCK 신호를 decoder의 특성을 살펴 각각의 스캔 체인들에 모두 연결을 한 후 각각의 스캔 체인들을 선택적으로 동작하도록 유도한다. CGR에서는 한 순간에 하나의 스캔 체인만을 동작하도록 신호를 생성하고, 이를 통하여 동작의 특성이 다른 스캔 체인들 간의 논리적인 부조화를 방지한다. 이렇게 분할하여 동작을 수행하지 않으면 특성이 다른 스캔 체인들 간의 클럭 스쿠 또는 레이스 현상으로 인하여 주 출력단에서 정확한 테스트 값을 얻지 못한다. 따라서 본 논문은 이와 같이 회로를 선택적으로 운영하는 방법을 사용한다. CGR로부터 스캔 체인을 순차적으로 운영함으로써 신호들의 뒤섞임을 방지하고 정확한 테스트를 수행할 수 있도록 한다.

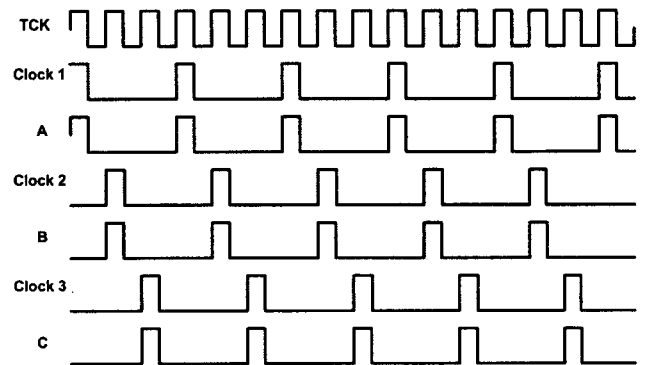


그림 11 CGR을 이용한 회로의 동작 특성
Fig. 11 Simulation of CUT by CGR

그림 11에서 보는 바와 같이 경계 주사 테스트를 수행하는 중심이 되는 클럭인 TCK가 동작하는 동안 CGR로부터 출력되는 신호는 decoder를 통하여 여러 개의 스캔 체인들 중 하나씩 순차적으로 선택 운영하게 되고 이에 따라 각각의 스캔 체인들은 동시에 동작하지 못하도록 차단한다. 모든 스캔 체인들에 한번씩 클럭 신호를 고루 분배하게 됨으로써 결과적으로 테스트가 수행되어야 하는 회로 전체의 스캔 체인들에 클럭 신호를 전달할 수 있다. 이로써 회로 내에 존재하는 다중 클럭 및 다중 스캔 체인들은 서로간의 간섭 현상 없이 테스트를 수행할 수 있다.

CGR이 선택하는 스캔 체인에 대한 정보는 자동 테스트 패턴 생성기로부터 생성되는 테스트 값의 앞단에 신호를 추가하면 자동화가 실현이 가능하다.

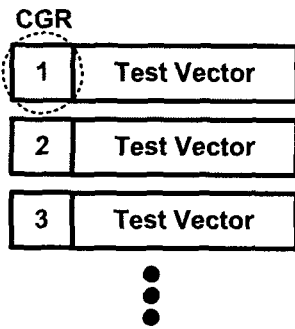


그림 12 테스트 값에 추가되는 CGR 정보
Fig. 12 Additional Information about CGR at Test Vector

2.5 결과

실험은 ISCAS89 벤치마크 회로에 다중 클럭의 구조를 구현하는 방식으로 적용하였다[8]. SYNOPSIS™사의 Design_Analyzer를 사용하여 합성한 회로를 MENTOR™사의 BSDArchitect를 사용하여 경계 주사 구조를 형성하여 실험하였다[9][10][11][12][13][14]. CGR의 기본 동작은 MentorGraphics™사의 V-system 4.4를 이용하였으며 이는 그림 13을 통하여 보여준다. ISCAS89 벤치마크 회로를 대상으로 실험한 시뮬레이션은 CADENCE™사의 VerilogXL에서 결과를 확인하였다[15]. Internal scan chain은 입력 단자와 출력 단자를 가지기 때문에 다중 스캔 체인은 사용할 수 없다. 시스템 회로가 다중 클럭을 사용하는 경우 내부 스캔 체인 역시 다중 스캔 체인으로 구성되어 진다. 이를 위하여 다중 클럭을 제어할 수 있는 CGR을 사용한 제안된 구조로 회로를 설계하여 다중 클럭의 회로에서 클럭들이 동시에 활성화되지 않고 순차적으로 클럭이 생성하게 한다. CGR은 스캔 테스트를 용이하게 하기 위하여 모든 클럭의 활성화가 동시에 일어나지 않도록 하는 기능을 수행하고 클럭 그룹(CK, CK1)이 서로 순차적으로 생성되게 함으로서 TAP 제어기(Test Access Port Controller)의 출력 신호들은 각 상태에 따라 회로를 테스트함으로써 다중 클럭에 대한 데이터를 캡처 할 수 있게 해준다. 실험의 결과는 그림 14, 15, 16 그리고 17을 통하여 보여준다.

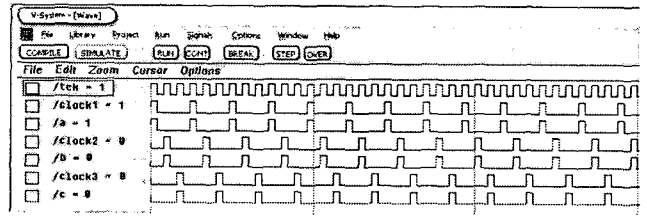


그림 13 CGR 회로의 동작 검증
Fig. 13 Simulation of CGR

그림 13을 통하여 CGR 회로가 정상적으로 동작함을 확인 가능하다. CGR 회로는 다중의 내부 스캔 체인들을 순차적으로 한번씩 선택 운영하게 되고 이에 따라 각각의 스캔 체인들은 동시에 동작하지 못하도록 차단한다. 모든 스캔 체인들에 차례로 클럭 신호를 고루 분배하게 됨으로써 결과적으로 테스트가 수행되어야 하는 회로 전체의 스캔 체인들을 대상으로 클럭 신호를 전달할 수 있다. 이로써 회로 내에 존재하는 다중 클럭 및 다중 스캔 체인들은 서로간의 간섭 현상 없이 테스트를 수행할 수 있다.

그림 14, 15, 16 그리고 17을 통하여 ISCAS89 벤치마크 회로를 이용한 CGR 기법의 타당성을 입증한다. 다중의 스캔 체인들을 서로간의 간섭 현상 발생을 방지함과 동시에 기존의 한계성인 단일 입력 단자와 단일 출력 단자만을 지원하는 경계 주사 기법을 극복한다.

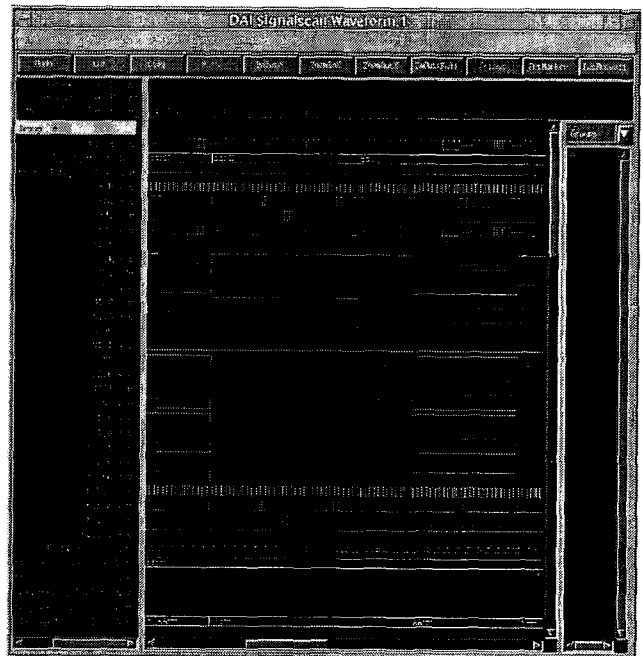


그림 14 다중 클럭으로 구성된 S298 회로
Fig. 14 S298 Circuit with Multiple Clocks

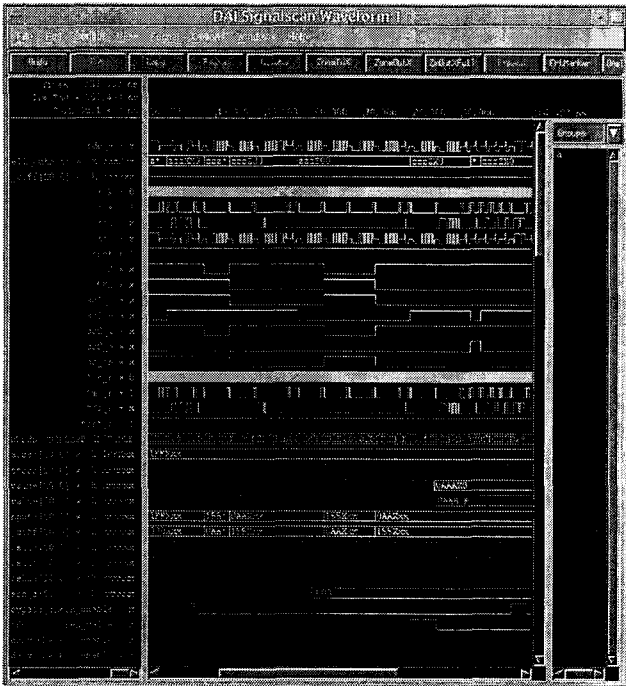


그림 15 다중 클럭으로 구성된 S386 회로
Fig. 15 S386 Circuit with Multiple Clocks

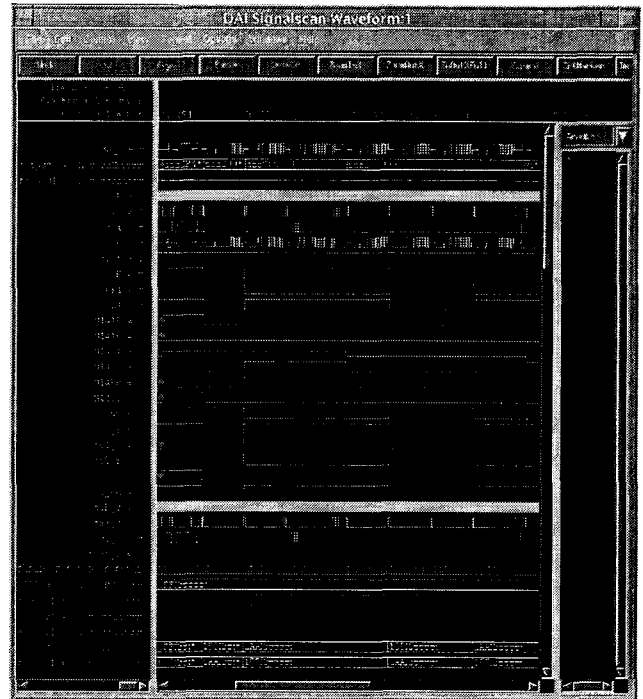


그림 17 다중 클럭으로 지원되는 S1488 회로
Fig. 17 S1488 Circuit with Multiple Clocks

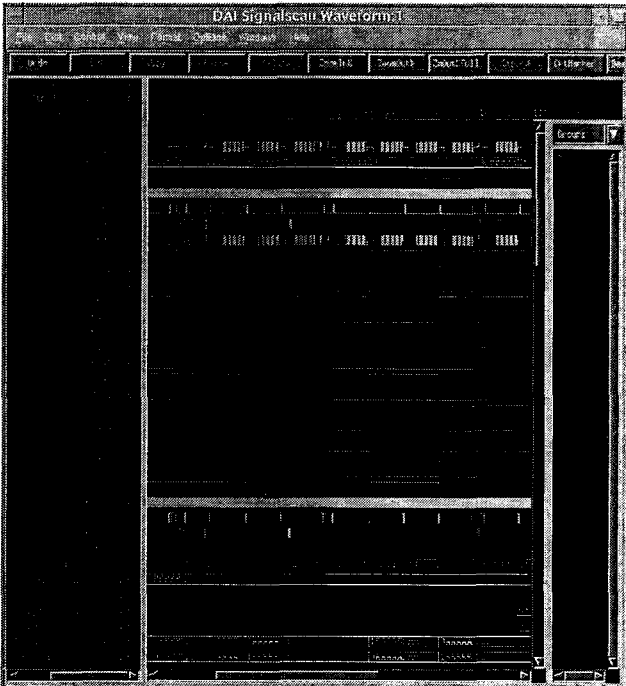


그림 16 다중 클럭으로 지원되는 S510 회로
Fig. 16 S510 Circuit with Multiple Clocks

3. 결 론

본 논문에서는 제안하는 구조의 Clock Group Register(CGR)을 이용하여 다중 클럭을 사용하는 회로에서 테스트하는 방법을 개선하였다. 기존의 경우, 단일 클럭을 테스트하는 구조에서는 경계 주사의 입·출력 단자가 오직 하나씩 존재 한다는 가정 하에 테스트가 이루어지는 IEEE 1149.1 경계 주사 테스트 표준안을 따르기 때문에 다중 클럭들로 구성된 회로에서 경계 주사 기법을 지원을 하지 못하였다. 회로 내에 다중 클럭들이 존재할 경우 모든 클럭들의 활성화가 동시에 일어나므로 역할을 수행할 수가 없었지만, 본 논문에서 제안하는 CGR을 사용하게 되면 다중의 클럭들을 효율적으로 컨트롤함으로써 다중 클럭들이 사용된 회로에서 테스트를 용이하게 할 수 있다. 제안된 구조는 IEEE 1149.1 표준 경계 주사 테스트기법에 어긋나지 않으며, 제안된 방법을 이용하여 다중 클럭들을 효율적으로 컨트롤하는 실험은 ISCAS89 벤치마크 회로들을 통하여 확인이 가능하였다.

참 고 문 헌

- [1] Abramovici,M., Breuer,M.A., Friedman,D.: Digital Systems Testing and Testable Design. Computer Science Press, (1990)
- [2] Miczo,A.:Digital Logic Testing and Simulation. John Wiley & Sons, (1986)
- [3] Eichelberger,E.B., Williams,T.W.: A Logic Design Structure for LSI Testability. Proc.14th Design

Automation Conf. June (1977) 462 - 468

- [4] Abadir,M.S., Breuer,M.A.: A Knowledge Based System for Designing Testable VLSI Chips, IEEE Design &Test of Computers, Vol. 2, No. 4, August (1985) 56 - 68
- [5] Parker,K.P.: The Boundary-scan Handbook. Kluwer Academic Publishers, (1998)
- [6] Sedra Abramovici,M., Breuer,M.A., Friedman,A.D.: Digital Systems Testing And Testable Design. IEEE Press, (1990)
- [7] Bushnell,M.L., Agrawal,V.D.:Essentials of Electronic Testing. Academic publishers, (2000)
- [8] Brglez,F.D., Bryant, Kozminski,K.: Combinational Profiles of Sequential Benchmark Circuits. IEEE Int. Symp. On Circuits and Systems, (1989) 1929 - 1934
- [9] Kurup,P., Abbasi,T.: Logic Synthesis using SYNOPSIS 2nd. Kluwer academic publishers, Massachusetts, (1997)
- [10] <http://www.synopsys.com/products/solutions/galaxy/test/test.html>, (2006)
- [11] TetraMAX ATPG User Guide, Version 2000-11, Synopsys Inc., (2000)
- [12] TetraMAX Release Note, Version 2000-11, Synopsys Inc., (2000)
- [13] http://www.synopsys.com/products/logic/design_compiler.html, (2006)
- [14] <http://www.synopsys.com/products/simulation/simulation.html>, (2006)
- [15] Cadence VirtuosoTM Analog Design Environment Version 5.1.41 Lecture Manual August 12, (2005)
- [16] <http://www.jtag.com/>
- [17] IEEE Std. 1149.1a, (1993)

저 자 소 개



김 인 수 (金 恠洙)

1974년 11월 25일생.
 2000년 2월 성균관대학교 전기전자 및 컴퓨터공학부 졸업.
 2002년 2월 성균관대학교 일반대학원 전기전자 및 컴퓨터공학과 졸업(석사).
 2004년 2월 성균관대학교 일반대학원 전기전자 및 컴퓨터공학과 박사수료
 2007년 현재 성균관대학교 정보통신공학부 외래교수
 Tel : 031-290-7162
 Fax : 031-290-7689
 E-mail : iskim@ece.skku.ac.kr



민 형 복 (閔 炯 福)

1958년 2월 22일생.
 1980년 서울대학교 전자공학과 졸업.
 1982년 한국과학기술원 전기 및 전자공학과 졸업(석사)
 1990년 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(박사)
 1982년~1985년 금성통신(주) 연구소 주임 연구원
 1985년~1986년 미국 Columbia 대학교 연구원
 1991년~현재 성균관대학교 정보통신공학부 정교수
 Tel : 031-290-7119
 Fax : 031-290-7689
 E-mail : min@ece.skku.ac.kr