

논문 2007-44SD-4-14

# SIMULINK를 이용한 Fractional-N 주파수합성기의 모델링 기법 ( A SIMULINK Modeling for a Fractional-N Frequency Synthesizer )

김 인 정\*, 서 우 형\*, 안 진 오\*, 김 대 정\*\*

( Injeong Kim, Woohyong Seo, Jinhoh Ahn, and Daejeong Kim )

## 요 약

본 논문은 최근에 많이 연구되고 있는 PLL 기반의 fractional-N 주파수 합성기에 관하여 SIMULINK 및 Verilog-a를 사용하여 모델링하는 방법론에 대하여 설명한다. 전통적으로 PLL 설계에 적용되는 바텀-업(bottom-up) 방식의 트랜지스터 레벨 설계와 함께 탑-다운(top-down) 방식의 설계를 병행하여 적용함으로써 트랜지스터 레벨의 회로설계에 걸리는 시간을 크게 절약하고 SoC의 IP로서 아날로그 부분과 디지털부분이 같이 검증될 수 있는 방안을 고려하고자 한다. 이를 위하여 시스템의 동작여부를 빠르게 파악하고 top level에서의 검증이 용이한 SIMULINK 모델링과 트랜지스터 레벨과의 호환을 통해 블록 단위의 검증이 가능한 Verilog-a 모델링의 비교를 수행함으로써 효과적인 설계 방법을 제시한다.

## Abstract

This paper presents behavioral models using SIMULINK and Verilog-a for a PLL based fractional-N frequency synthesizer. By adopting a top-down approach along with the traditional bottom-up transistor level design in parallel, the design time is greatly shortened, and a co-verification method for both the digital and the analog part is considered. Under this consideration, the SIMULINK modeling reduces simulation time and easily estimates the PLL's performance on the top level. Verilog-a is able to verify the feasibility of each blocks at first hand because it is compatible with transistor level circuits. Then, an efficient way of the design is presented by comparing the results of both models.

**Keywords :** fractional-N frequency synthesizer, behavioral modeling, Verilog-a, simulink, top-down design

## I. 서 론

최근 무선 통신의 발달로 RF 신호처리의 중요성이 높아지고 있다. 그 중 PLL기반의 주파수 합성기는 주파수의 상향변환과 하향변환을 주관하는 RF신호처리의 핵심 부품이다. PLL기반의 주파수 합성기는 분주비에 따라 integer-N 방식과 fractional-N방식으로 나누어진 다. 특히, RF 영역의 통신시스템 및 RFID 분야에서는

fractional-N 주파수 합성기의 연구가 활발히 진행되고 있다. 본 논문에서는 fractional-N 주파수 합성기에서 분주비의 주기적인 스위칭에 의해 발생하는 fractional spur의 영향을 최소화 시킬 수 있도록 델타-시그마 변조기(Delta-Sigma modulator)를 이용하였다.

PLL기반의 fractional-N 주파수 합성기는 여러 설계 사양이 trade off 관계에 있어서 bottom-up 방식으로 검증하기가 어렵기 때문에<sup>[1]</sup> PLL 전체적인 사양에 따른 각 블록의 사양과 동작특성을 효율적으로 파악하기 위해서는 그림 1과 같은 top-down 방식의 검증이 필요하다. 또한 설계사양이 높아지고 방법이 복잡해짐에 따라 트랜지스터 레벨의 설계에 대한 부담을 줄이기 위한 모델링은 필수적인 과정이다.

본 논문에서는 SIMULINK와 Verilog-a 시뮬레이션을 이용하여 PLL을 모델링함으로써 빠른 시간에 시스

\* 정회원, \*\* 정회원-교신저자, 국민대학교 전자공학부  
(Department of Electrical Engineering, Kookmin University)

※ 본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며 IDEC의 tool 지원에 의하여 결과를 검증하였습니다.

접수일자: 2006년10월31일, 수정완료일: 2007년4월11일

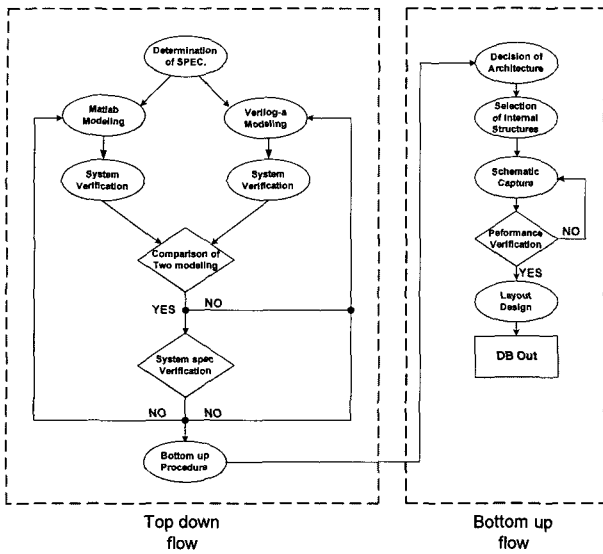


그림 1. SIMULINK와 Verilog-a 모델링 흐름도  
Fig. 1. Simulink & Verilog-a modeling flowchart.

템의 특성을 확인하고 성능을 검증하는 방법에 대한 가이드라인을 제시하고자 한다.

II. 본 론

PLL을 모델링하기 위해서는 응용분야에 따라 설계 사양이 결정 되어야 한다. 본 논문은 RFID 와 GSM 등의 900MHz대역 무선통신분야에 응용이 가능하도록 표 1과 같이 설계사양을 정하였다<sup>[2]</sup>.

표 1. Fractional-N PLL의 설계사양  
Table 1. Specifications of fractional-N PLL.

기준 입력 주파수	12.5MHz
위상잡음	-100 dBc@1MHz offset
출력주파수 범위	900~950MHz
채널 bandwidth	200KHz

1. 선형 모델링 (linear modeling)

시스템의 사양을 결정하고 나면 세부 블록의 주파수 영역에서의 사양 결정을 위하여 fractional-N의 선형 모델링을 통해 시스템의 특성을 검증해야 한다. 특히, 주파수 합성기의 위상잡음특성은 대역폭과 루프필터에 민감하기 때문에 시뮬레이션을 통한 정확한 분석이 필요하다.

그림 2의 일반적인 형태의 블록도로부터 fractional-N PLL의 open loop 전달함수와 closed loop 전달함수를 얻을 수 있다.

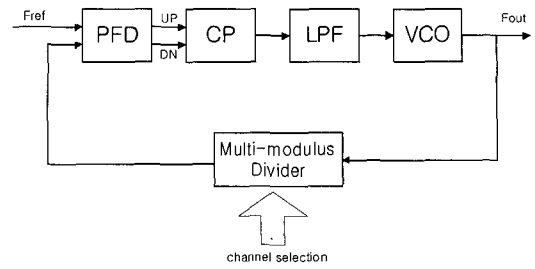


그림 2. Fractional-N 주파수 합성기의 개념도  
Fig. 2. Block diagram of fractional-N frequency synthesizer.

식(1)과 식(2)는 그림 2에 보인 블록도의 open loop 전달함수 및 closed loop 전달함수를 각각 나타낸다.

$$G(s) = \frac{K_d \cdot K_v \cdot F(s)}{N \cdot s} \tag{1}$$

$$T(s) = N \cdot \frac{G(s)}{1 + G(s)} \tag{2}$$

여기서  $K_d$ 는 PFD/CP의 이득(gain),  $K_v$ 는 VCO의 이득,  $F(s)$ 는 루프필터의 전달함수,  $N$ 은 fractional-N의 분주비를 의미한다. 식(1) 및, 식(2)의 설계변수를 설정하여 그림 3의 bode plot과 그림 4의 step response 특성을 분석하였다.

그림 3의 bode plot으로 확인한 결과 본 논문의 fractional-N 주파수 합성기의 위상 여유(phase margin)는 65°로 stability 조건을 만족하였다. 또한, 그림 4의 step response 그래프를 통하여 안정하게 settling 하는 것을 확인하였다.

PLL 전체의 루프 안정도(loop stability)와 위상잡음(phase noise) 등의 성능은 이러한 루프 필터(loop

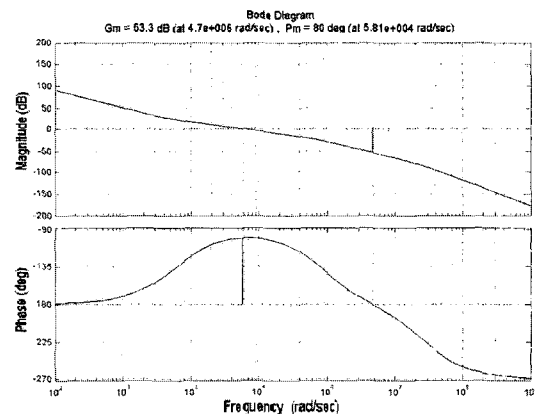


그림 3. 전달함수 레벨에서 설계된 fractional-N PLL의 보드 플롯  
Fig. 3. Bode plot of fractional-N PLL designed on transfer function.

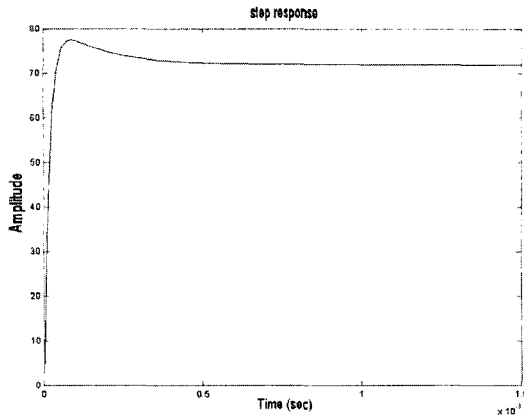


그림 4. 전달함수 레벨에서 설계된 Fractional-N PLL의 step response

Fig. 4. Step response plot of fractoinal-N PLL designed on transfer function.

filter)의 특성과 PFD/CP, VCO 등의 각 블록 단위의 이득에 의해 결정되지만, 이런 내부 파라미터들은 서로 trade off 관계에 있기 때문에 개별적으로 결정하기가 매우 복잡하고 어렵다.

그리하여 본 논문에서는 먼저 루프 안정도를 만족하는 범위 내에서 전달함수를 바탕으로 블록사양과 루프 대역폭(loop bandwidth) 등을 대략 결정한 후에 SIMULINK 모델링 및 Verilog-a 모델링을 사용한 여러 번의 시뮬레이션과 튜닝을 통해 PLL의 설계사양 및 루프 안정도를 만족하는 상세한 블록 사양을 결정하였다.

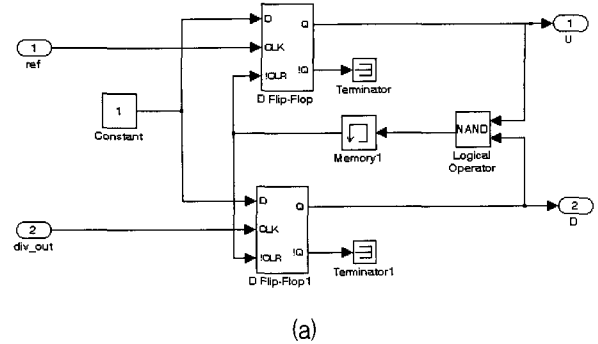
## 2. 블록 단위의 모델링

선형 모델링을 통해 결정된 각 블록의 사양 및 특성을 반영하여 SIMULINK 및 Verilog-a로써 그림 2의 PFD(Phase Frequency Detector), charge pump, loop filter, VCO, Multi divider와 델타-시그마 변조기 등을 behavioral 모델링한다.

그림 5는 입력주파수와 분주된 출력주파수를 비교하여 그 차이를 업-다운 신호의 출력으로 내보내는 tri-state PFD이다. SIMULINK에서는 두 개의 플립플롭과 NAND 게이트 및 delay를 사용하여 모델링하였고(그림5(a)), Verilog-a 에서는 up/down 동작에 대하여 각 state를 정의하여 구현하였다(그림5(b)).

그림 6은 PFD의 업-다운 신호를 입력으로 받아 시간의 차이를 전압의 크기로 바꾸어 주는 전하펌프 블록의 SIMULINK 모델링이다.

전하펌프 블록은 50uA의 전류 증폭기 형태로 모델링하였다.



(a)

```

@ (initial_step) begin
upstate = 0;
downstate = 0;
end
@ (cross(V(ref)-vtrans. + 1)) begin
if (upstate == 0) begin
if (downstate == 0) begin
upstate = 1;
downstate = 0;
end
if (downstate == 1) begin
upstate = 0;
downstate = 0;
end
end
if (upstate == 1) begin
if (downstate == 0) begin
upstate = 1;
downstate = 0;
end
end
end
end

@ (cross(V(div)-vtrans. + 1)) begin
if (upstate == 0) begin
if (downstate == 0) begin
upstate = 0;
downstate = 1;
end
if (downstate == 1) begin
upstate = 0;
downstate = 1;
end
end
if (upstate == 1) begin
if (downstate == 0) begin
upstate = 0;
downstate = 0;
end
end
end
end
V(up) <+ upstate;
V(down) <+ downstate;
end
    
```

(b)

그림 5. 위상-주파수 검출기의 모델링

(a) SIMULINK (b) Verilog-a

Fig. 5. Modeling of PFD (Phase Frequency Detector).

(a) SIMULINK (b) Verilog-a

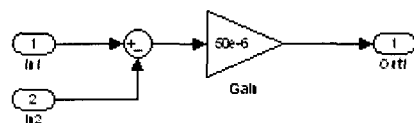
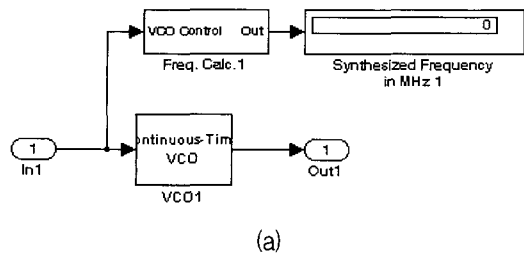
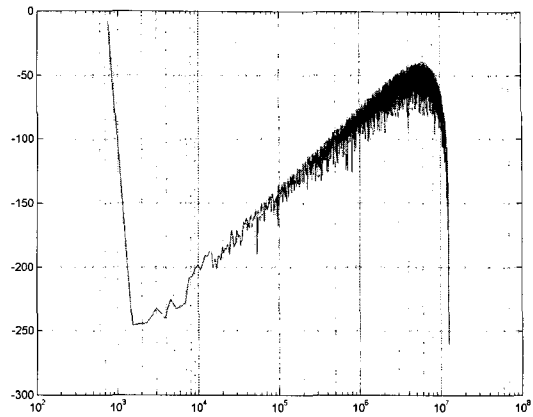


그림 6. 전하 펌프의 SIMULINK 모델링

Fig. 6. SIMULINK modeling of CP (Charge Pump).



```
inst_freq = center_freq + vco_gain * V(yin);
$bound_step (1.0 / (steps_per_period * inst_freq));
phase = idtmod(inst_freq,0,1);
V(y.out) <+ amp * sin (2 * PI * phase);
```



(a)

(b)

그림 7. VCO(Voltage Controlled Oscillator)의 모델링  
(a) SIMULINK (b) Verilog-a

Fig. 7. Modeling of VCO(Voltage Controlled Oscillator).  
(a) SIMULINK (b) Verilog-a

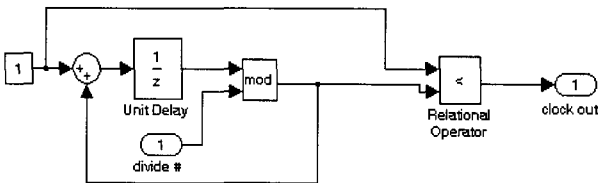
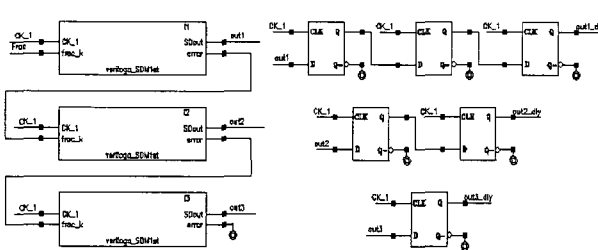
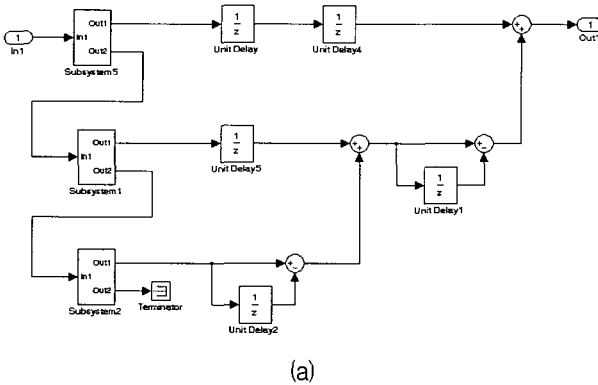


그림 8. 8-모듈러스 멀티 디바이더의 SIMULINK 모델링  
Fig. 8. SIMULINK modeling of 8-modulus multi divider.

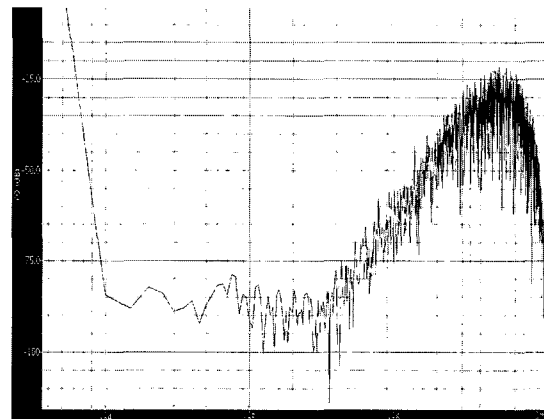


(a)

(b)

그림 9. 델타-시그마 변조기의 SIMULINK 모델링  
(a) SIMULINK (b) Verilog-a

Fig. 9. SIMULINK modeling of Delta-Sigma Modulator.  
(a) SIMULINK (b) Verilog-a



(b)

그림 10. 델타-시그마 변조기의 PSD  
Fig. 10. Power Spectral Density of Delta-Sigma modulator.

그림 7-(a)는 입력 아날로그 제어전압 (control voltage)에 따라 비례하는 주파수를 출력하는 VCO (voltage controlled oscillator)의 SIMULINK 모델링이다. VCO는 noiseless continuous-time VCO 모델을 사용하였고 중심주파수(center frequency)는 900MHz, 이득은 30MHz/V 를 갖도록 하였다. 7-(b)는VCO의 중심 주파수(center\_freq)와 이득(vco\_gain)과 출력신호의 진폭(amp)를 변수로 입력할 수 있도록 코딩한 Verilog-a 모델링이다.

그림 8의 분주기(divider)는 8-modulus multi divider로서 델타-시그마 출력에 의해 컨트롤 되어 69~76까지의 분주비로 스위칭 되어 분수 분주비를 생성한다.

그림 9는 분수 분주 시에 발생하는 양자화잡음을 고 주파 대역으로 밀어내 fractional spur를 효과적으로 감소시키기 위해 사용된 델타-시그마 블록의 SIMULINK 모델링이다(그림9(a)). 분주기의 분주비를 스위칭하여 분수 분주비를 생성하게 하며, 안정도와 설계의 사양

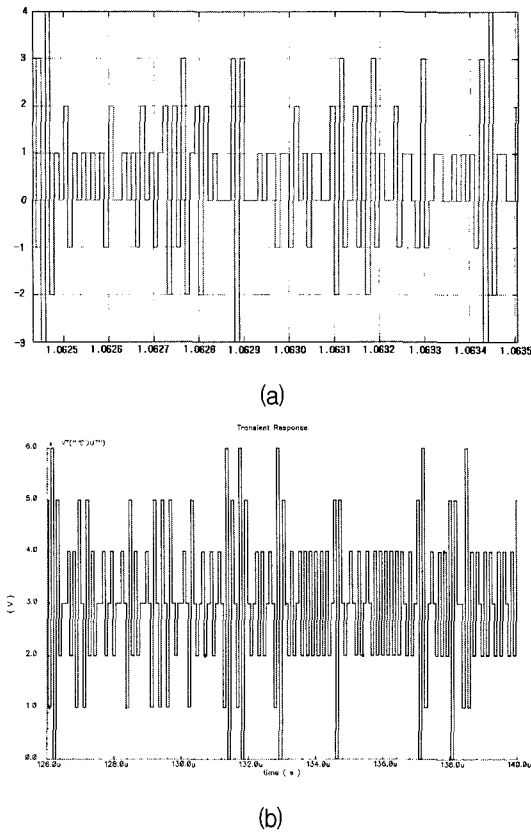


그림 11. 시간영역에서의 델타-시그마 변조기의 출력  
 (a) SIMULINK (b) Verilog-a  
 Fig. 11. Delta-Sigma modulator output in time domain.  
 (a) SIMULINK (b) Verilog-a

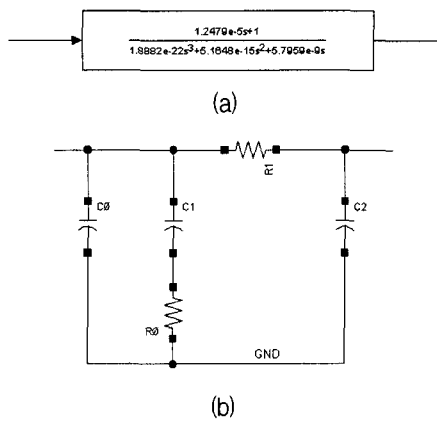


그림 12. 루프필터의 모델링 (a) SIMULINK (b) Verilog-a  
 Fig. 12. Modeling of Loop filter.  
 (a) SIMULINK (b) Verilog-a

등을 고려하여 3차(3rd-order) MASH type 변조기를 사용하였고, 내부 bit은 12bit으로 정하였다. Verilog-a 역시 플립플롭(flip-flop)과 덧셈기(adder)를 사용하여 실제회로와 흡사하게 모델링 하였다(그림9(b)).

그림 10은 델타-시그마 변조기의 잡음변형(noise shaping)성능을 주파수 영역에서 분석한 것이다.

SIMULINK 모델링과 Verilog-a 모델링의 잡음변형은 60dB/dec로 3차 변조기(3rd-order modulator)의 특성이 잘 구현되었음을 알 수 있다.

그림 11은 시간영역에서의 델타-시그마 변조기 출력을 확인한 결과이다. SIMULINK(그림11(a))와 Verilog-a(그림11(b))의 두 모델링의 시간영역 출력이 입력으로 들어오는 12bit code의 따라 -3~4까지의 랜덤하게 나타나는 것을 확인하였다.

Verilog-a를 이용하여 모델링한 블록들은 많은 부분이 코딩(coding)을 이용하여 동작수준으로 모델링 되었고 SIMULINK 모델링과 같은 동작을 구현하고 검증하였다. 그림 12는 루프 필터의 모델링 결과이다. SIMULINK 모델링에서는 s-domain에서의 전달함수로 루프필터를 구현한 반면 (그림 12(a)), Verilog-a 모델링은 실제회로의 특성에 가깝게 구현하기 위하여 수동소자를 전하펌프의 출력에 연결하여 PLL의 루프를 구성하였다(그림 12(b)).

3. Top block modeling

그림 13은 앞서 모델링한 각 블록을 사용하여 fractional-N의 전체 블록을 SIMULINK로 모델링한 결

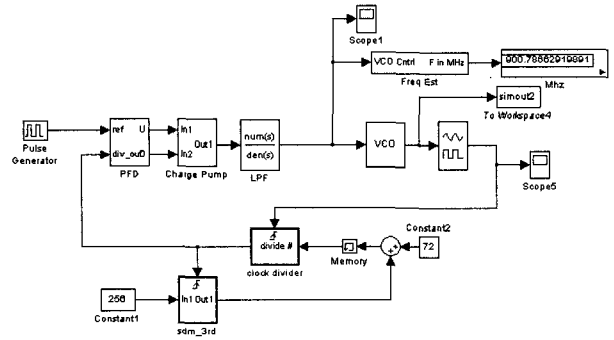


그림 13. Fractional-N 주파수 합성기의 SIMULINK 모델링  
 Fig. 13. SIMULINK modeling of fractional-N frequency synthesizer.

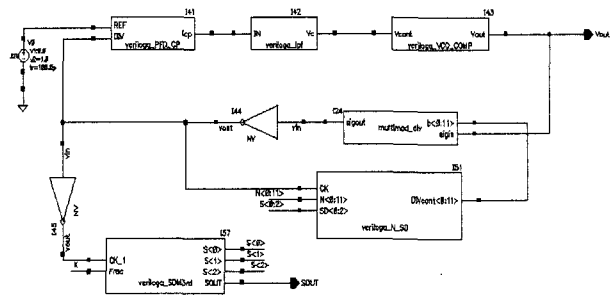


그림 14. Fractional-N 주파수 합성기의 Verilog-a 모델링  
 Fig. 14. Verilog-a modeling of fractional-N frequency synthesizer.

과이다. SIMULINK 모델링은 PLL 각 블록의 behavioral 모델링으로 top-block을 구성하여 위상잡음 성능을 쉽게 검증해 볼 수 있다.

이 모델링에서는 Reference frequency 는 12.5MHz이고 charge pump의 출력전류는 50uA, VCO의 이득은 30MHz/V로 설정되었다. 델타-시그마 변조기의 12 bit 입력을 256으로 외부에서 인가하면 -3~4까지의 랜덤한 출력이 나타나며 평균 0.0625의 값을 가진다. 그러면 8-modulus multi divider는 델타-시그마 변조기의 출력에 따라 69~76의 분주를 하고 평균 분주비는 72.0625가 되어 최종 출력 주파수는 900.781Hz이 된다.

그림 14는 같은 구조의 fractional-N PLL을 Verilog-a를 사용하여 모델링 한 것이다. Verilog-a 모델링 역시 시스템의 특성만을 고려한 behavioral 모델링으로, 시뮬레이션 시간이 짧다. 또한 실제 트랜지스터 레벨의 회로와 호환이 가능하기 때문에 각 블록을 시스템 특성에 적합하게 구현하고 검증하는데 용이하다.

SIMULINK 모델링과 마찬가지로 PFD/CP/LP, VCO

그리고 델타-시그마 블록으로 구성하였고, 회로적으로도 SIMULINK 모델링과 같은 동작을 하게 된다.

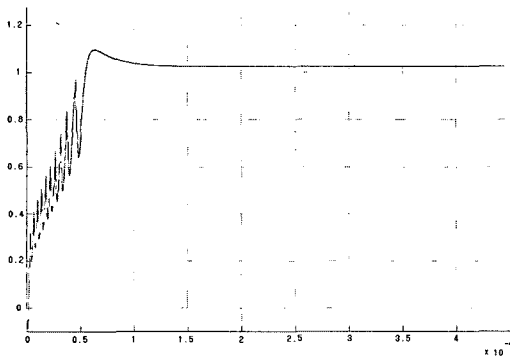
이러한 Verilog-a와 SIMULINK 모델링의 성능을 비교하여 여러 번의 설계 파라미터 튜닝과 분석을 통해 fractional-N의 성능을 검증하여 모델링을 완성한다.

### III. 구 현

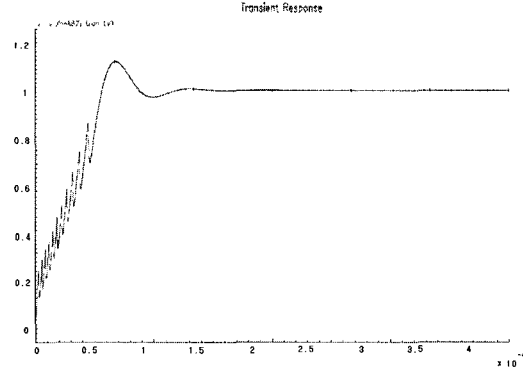
본 논문에서 제시하는 방법의 유용성을 검증하기 위하여 그림 13와 같은 3차 델타-시그마 변조기를 적용한 fractional-N PLL 합성기를 제작하였다.

그림 15(a)는 SIMULINK 모델링의 락킹 특성을 확인한 결과이고 그림 15(b)는 Verilog-a 로 모델링된 fractional-N 주파수 합성기의 락킹 특성을 확인한 결과이다. 두 모델링이 같은 형태와 특성을 갖고 락킹 되는 것을 확인할 수 있다.

그림 16(a)는 SIMULINK 모델링의 위상잡음 성능을 확인한 결과로서 -100.4dBc @1MHz offset 이다. 그림



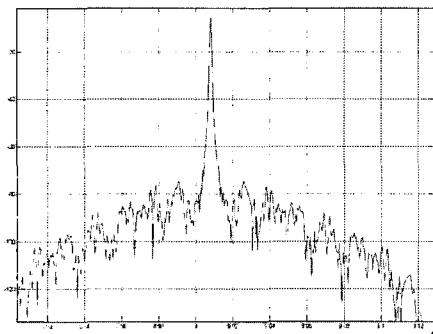
(a)



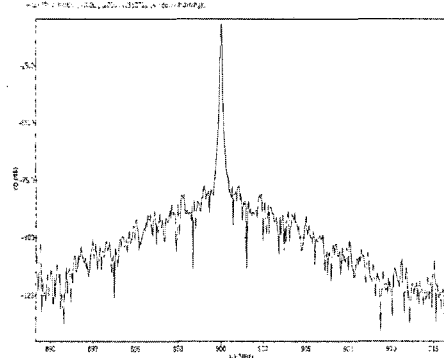
(b)

그림 15. 락킹 특성 (a) SIMULINK 모델링 (b) Verilog-a 모델링

Fig. 15. Locking properties of (a) SIMULINK modeling (b) Verilog-a modeling.



(a)



(b)

그림 16. 위상잡음특성 (a) Simulink 모델링 (b) Verilog-a 모델링

Fig. 16. Phase noise characteristics of (a) SIMULINK modeling (b) Verilog-a modeling.

16(b)는 Verilog-a로 모델링의 위상잡음 성능을 나타낸 결과로서 -98 dBc @1MHz offset 으로 확인되었다. 두 모델링의 위상잡음 특성 역시 오차 범위내에서 매칭 되는 것을 확인할 수 있다.

#### IV. 결론 및 향후 연구 방향

본 논문에서는 SIMULINK와 Verilog-a 를 이용하여 델타시그마를 이용한 PLL 기반의fractional-N 주파수 합성기를 모델링함으로써 빠른 시간에 시스템의 특성을 미리 예측하고 검증하는 방법을 제안하였다.

이를 통해 전체 시스템사양을 고려한 단위 블록의 사양들을 쉽게 추출해 낼 수 있기 때문에 실제 회로 설계 시 설계시간을 단축시켜 효율적인 설계가 가능하다.

또한, SIMULNK 모델링만으로는 다소 개념적일 수 있는 과정을 Verilog-a모델링을 통해 실제회로와의 연관성을 높여, 트랜지스터 레벨의 설계 시 각 블록의 성능이 전체 시스템에 미치는 영향을 시간영역에서 안정적으로 검증할 수 있도록 하였다.

#### 참고 문헌

- [1] S. Brigati and F. Francesconi, "Modeling of Fractional-N division frequency synthesizers with Simulink and Matlab," IEEE Electronics, Circuits and Systems, vol.2, pp.1081-1084, Sept. 2001.
- [2] Amr M. Fahim, Mohamed I. Elmasry, "A Wideband Sigma-Delta Phase-Locked-Loop Modulator for Wireless Application," IEEE Analog and Digital Signal Processing, vol.50, No.2, pp53-62, Feb. 2004.
- [3] Tom A.D. Riley, Miles A.Copeland and Tad A. Kwasnoewski, "Design and Realization of a Digital  $\Delta\Sigma$  Modulator for Fractional-n Frequency Synthesis," IEEE Transactions on Vehicular Technology, vol. 48, No. 2, March 1999.

#### 저자 소개



김 인 정(정회원)  
2006년 국민대학교  
전자공학과 학사 졸업.  
2007년 현재 국민대학교  
전자공학과 석사 과정.  
<주관심분야 : 아날로그 회로설  
계, clocking 회로 설계>



서 우 형(정회원)  
2005년 국민대학교  
전자공학과 학사 졸업.  
2005년~현재 국민대학교  
전자공학과 석사  
<주관심분야 : 아날로그 회로설  
계, clocking 회로 설계>



안 진 오(정회원)  
2006년 국민대학교  
전자공학과 학사 졸업.  
2007년 현재 국민대학교  
전자공학과 석사 과정.  
<주관심분야 : 아날로그 회로설  
계, clocking 회로 설계>



김 대 정(정회원)-교신저자  
1987년 2월 서울대학교  
전자공학과 공학사.  
1989년 2월 서울대학교  
전자공학과 공학석사.  
1994년 2월 서울대학교  
전자공학과 공학박사.  
1994년~1998년 LG 반도체 책임연구원.  
1999년~현재 국민대학교 전자공학부 교수.  
<주관심분야 : 아날로그 회로 설계, 메모리 회로  
설계>