

나노급 Ir 삽입 니켈실리사이드의 미세구조 분석

송오성[†] · 윤기정 · 이태현* · 김문제*

서울시립대학교 신소재공학과

*텍사스달라스주립대학교

Microstructure Characterization for Nano-thick Ir-inserted Nickel Silicides

Ohsung Song[†], Kijeong Yoon, Taehyun Lee* and Moonje Kim*

Department of Materials Science and Engineering, University of Seoul,
Cheonnong-dong, Tongdaemun, Seoul 130-743, Korea

Electrical Engineering, University of Texas at Dallas, 2601 N. Floyd Rd., Richardson, TX 75083, USA

(2007년 1월 23일 받음, 2007년 4월 11일 최종수정본 받음)

Abstract We fabricated thermally-evaporated 10 -Ni/(poly)Si and 10 -Ni/1 -Ir/(poly)Si structures to investigate the microstructure of nickel monosilicide at the elevated temperatures required for annealing. Silicides underwent rapid at the temperatures of 300–1200 for 40 seconds. Silicides suitable for the silicide process formed on top of both the single crystal silicon actives and the polycrystalline silicon gates. A four-point tester was used to investigate the sheet resistances. A transmission electron microscope(TEM) and an Auger depth profile scope were employed for the determination of vertical section structure and thickness. Nickel silicides with iridium on single crystal silicon actives and polycrystalline silicon gates showed low resistance up to 1000 and 800, respectively, while the conventional nickel monosilicide showed low resistance below 700. Through TEM analysis, we confirmed that a uniform, 20 -thick silicide layer formed on the single-crystal silicon substrate for the Ir-inserted case while a non-uniform, agglomerated layer was observed for the conventional nickel silicide. On the polycrystalline silicon substrate, we confirmed that the conventional nickel silicide showed a unique silicon-silicide mixing at the high silicidation temperature of 1000. Auger depth profile analysis also supports the presence of this mixed microstructure. Our result implies that our newly proposed iridium-added NiSi process may widen the thermal process window for the silicide process and be suitable for nano-thick silicides.

Key words NiSi, Ir-inserted Nisilicide, TEM, Auger depth profiling.

1. 서 론

나노 기술은 원자, 분자 수준에서 물질을 물리적 혹은 화학적으로 제어하여 유용한 구조와 기능을 발현시키는 기술로서 이를 통해 종래와는 전혀 다른 원리의 디바이스 구축을 가능하게 하는 기술이다. 이러한 나노 기술의 대표인 반도체 소자는 고집적, 고속도화 추세에 따라 이미 소자의 최소 선폴이 100 nm 이하로 줄어들면서 기존보다 더욱 정확한 게이트 선폴과 두께를 구현하기 위한 공정과 측정기술이 필요하게 되었다.¹⁾

반도체 소자의 최소 선폴이 100 nm 이하로 줄어들면서, 접촉저항을 최소화시키기 위한 실리사이드 물질의 채

용이 일반화되고 있으며, 특히 65 nm 이하의 공정에서 는 기존의 실리사이드 보다 더 얇은 50 nm 정도 두께 의 고온 안정성이 우수한 나노급 실리사이드가 요구되고 있다.²⁾

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합한 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 저저항 오믹컨택을 유지시키고 상부 금속 배선층과 실리콘 사이의 확산 방지층으로서의 역할을 담당한다.³⁻⁵⁾ 이러한 실리사이드 물질은 살리사이드 공정으로 구현되는데, 살리사이드(self-aligned silicide)는 말 그대로 마스크 없이 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 천이금속을 성막시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화시키고 잉여의 금속을 제거하는 공정으로 대부분의 최소선

[†]Corresponding author

E-Mail : songos@uos.ac.kr (O. S. Song)

폭 0.25 μm 이하의 CMOS 공정에 채택되고 있다.^{2,6,7)}

이러한 마스크 없이 활성화 영역의 상부와 게이트 상부에 선택적으로 저저항 실리사이드를 형성시키는 살리사이드 공정을 통하여 구현되는 기존의 실리사이드로는 TiSi_2 , CoSi_2 , NiSi 등이 있다. 그러나 TiSi_2 는 선풍 의존성과 고온 응집성으로 나노급 살리사이드 공정에는 매우 부적합하며,⁸⁻⁹⁾ CoSi_2 는 기본적으로 disilicide이므로 실리사이드화 이후 고온 응집성과 부피 팽창의 문제와 실리사이드화 반응시 자연 산화막을 제거하기 위해 과도한 크리닝 공정이 필요한 문제가 있었다.¹⁰⁾ NiSi 는 비교적 최근에 개발되어 나노급 공정에 적합하지만 700°C 이상에서 고저항의 NiSi_2 로 변환되어 후속 공정온도를 700°C 이하로 한정시켜 살리사이드 공정 온도가 한정되는 문제가 있었다.¹¹⁾ 따라서 기존의 니켈모노실리사이드의 온도에 따른 상변태를 방지하기 위해 Ir과 같은 안정한 제 3원소를 첨가하여 상변태 온도를 높이고 니켈모노실리사이드의 안정화 온도 구간을 넓히려는 노력이 계속되어 왔다.^{12,13)}

실제의 트랜지스터는 단결정 실리콘으로 구성된 소오스와 드레인, 그리고 주로 폴리실리콘으로 형성되는 게이트로 구성된다. 실리사이드는 선택적으로 소오스와 드레인, 그리고 게이트의 상부에 형성되므로 실리사이드 공정에 따라 각각 단결정과 폴리실리콘 위에 형성되는 실리사이드의 특성이 확인되어야 한다. 특히 게이트를 가정한 폴리실리콘 상부의 실리사이드는 금속층과 실리콘층의 상대적인 두께가 달라지고, 결정립계에 의한 확산속도의 차이, 결정립계에 의한 표면 응집현상과 보고된 도치와 혼합현상 등이 예상되지만 나노급 두께의 박막으로 구성된 살리사이드 공정에서는 이러한 문제들이 미세구조에 미치는 영향은 아직 자세히 보고된 바 없다. 이러한 나노급 박막을 측정하고 관찰하기 위해서는 TEM을 활용한 수직단면 분석이 매우 효과적인 분석방안이 될 수 있다.

따라서 본 연구에서는 Sub-0.1 μm 급 CMOS device에 실리사이드 공정으로 적용될 수 있는 두께 50 nm 이하의 저저항 니켈실리사이드를 단결정 실리콘과 다결정 실리콘 기판 위에 형성하고 이때 첨가원소로 이리듐을 첨가시켜 기존의 니켈모노실리사이드의 안정화 한계온도였던 700°C보다 높은 온도에도 견딜 수 있는 고온안정성과 이들의 미세구조를 나노급 분석 장비의 대표적인 수직단면 TEM을 이용하여 확인하였다.

2. 실험 방법

실험에 사용된 기판은 직경 100 mm, 두께 550 μm 의 p-type(100) 단결정 실리콘 웨이퍼로서 크리닝이 완료된 기판은 소오스와 드레인을 상정한 활성화 영역을 상정하였고, 200 nm의 열산화막을 가진 실리콘 기판에는 LPCVD를 사용하여 폴리(polycrystalline)실리콘을 기판 전면에

70 nm의 두께로 성막하여 폴리실리콘으로 구성된 게이트를 상정하였다. 각 기판에 자연 산화막이 형성되기 전에 1 nm 두께의 이리듐 금속과 니켈 금속을 열증착기로 연속적으로 증착시켜 Fig. 1과 같이 최종적으로 Ni(10 nm)/Ir(1 nm)/Si, Ni(10 nm)/Ir(1 nm)/poly-Si(70 nm)/SiO₂(200 nm)/Si 구조의 시편을 준비하였다. 한편 비교를 위하여 마찬가지로 방법으로 Ir이 삽입되지 않은 Ni(10 nm)/Si, Ni(10 nm)/poly-Si(70 nm)/SiO₂(200 nm)/Si 구조의 시편도 완성하였다.

완성된 시편들은 10⁻³ torr의 진공에서 7쌍의 할로겐 램프로 구성된 RTA를 활용하여 300, 450, 500, 700, 800, 900, 1000, 1200°C의 8가지 조건에서 40초간 열처리하여 실리사이드가 생성되도록 하였다.

열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80°C에서 30%-황산(H₂SO₄)에 10분간 담가 처리하였다.

살리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe, Changmin사, CMT-SR1000N)를 사용하여 면저항(Rs)를 측정하였다.

TEM 관찰을 위한 시편은 일반적인 수직단면 관찰용 TEM 시편 제작방법을 이용하여 제작되었다.¹⁴⁾ 수직단면 관찰을 위해서 2 × 10 mm²로 자른 두 조각의 실리사이드 층이 완성된 실리콘 시편을 실리사이드면 끼리 접착제로 접착하고, 외경이 3 mm인 황동 튜브에 맞도록 초음파로 잘라내어 튜브 내경에 맞도록 접착시켰다. 시편이 장입된 황동 튜브의 양쪽을 정밀 연마기로 연마하여 최종 두께가 20 μm 가 되도록 하여 디스크형 가공을 완료하였다.

두께가 얇아진 디스크형 시편을 다시 덤플러를 이용하여 디스크 중심부에 위치한 실리사이드층의 단면부의 두께가 0.25 μm 가 되도록 하였다. 완성된 디스크시편은 다시 PIPS(precision ion polishing system)을 써서 시편의 중심부가 전자빔에 투명한 100 nm 정도가 되도록 정밀 연마를 실시하였다.

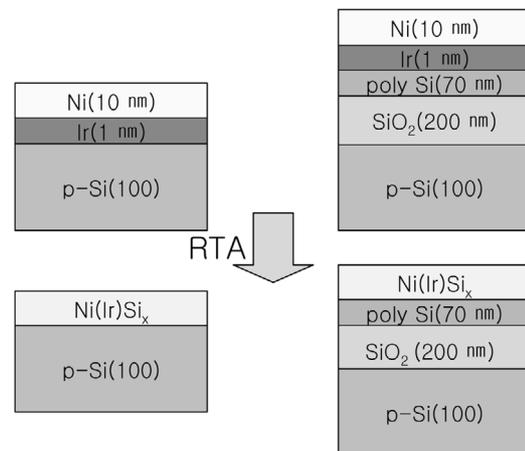


Fig. 1. Illustration of the experimental procedure.

완성된 시편은 JEOL 200 KV 투과전자현미경을 써서 실리사이드부의 SADP(selected area diffraction pattern)와 명시야상 이미지(bright field image)를 찍어서 성분과 두께를 확인하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Ir, O의 조성변화를 34 Å/min.의 스퍼터링 속도를 유지하면서 표면부로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

3. 실험 결과 및 토의

Fig. 2 (a), (b)에는 각각 활성화 영역을 가정한 단결정 실리콘과 게이트를 상정한 폴리실리콘 위에 기준으로 정한 10 nm-Ni/(poly)Si와 10 nm-Ni/1 nm-Ir/(poly)Si 적층 구조를 300°C부터 1200°C까지 RTA 온도를 달리하여 실리사이드화 시킨 실리사이드층의 면저항 측정 결과를 나타내었다. 단결정인 (a)의 경우를 보면 10 nm의 나노급 Ni 박막으로부터 형성된 니켈실리사이드는 이미 알려진 바와 같이 450°C이하에서는 Ni₂Si에 의한 고저항이, 450~700°C까지는 NiSi의 안정한 저저항이, 800°C이상에서는 NiSi₂로 상변태 하면서 급격한 고저항을 보이는 전형적인 니켈실리사이드의 면저항 변화를 보이고 있다. 통상 8 Ω/sq. 정도인 NiSi의 저항이 15 Ω/sq. 정도로 측정된 것은 기존 30 nm 정도의 니켈 박막으로 100 nm 이상 두께의 NiSi 층이 형성된 것에 비해 본 실험에서는 약 20~30 nm 정도 두께의 나노급 실리사이드로 되어 상대적으로 면저항이 크게 측정된 것으로 판단된다. 1 nm Ir을 삽입한 경우는 450~700°C에서의 NiSi와 동일하게 1200°C까지 안정한 저저항을 보여서 Ir이 Ni(Ir)Si 형태로 NiSi₂로의 상변태를 적극적으로 억제하는 특성이 있음을 알 수 있다.¹⁵⁾ 이는 단결정 실리콘에서 기존 NiSi의 고온 안정성을 1200°C이상으로 획기적으로 향상시킬

수 있음을 보이고 있다.

(b)에는 (a)와 마찬가지로 폴리실리콘 기판 위에 형성된 각 실리사이드의 면저항을 나타내었다. 먼저 10 nm-Ni/poly-Si은 단결정 실리콘과는 달리 300~700°C까지 30 Ω/sq. 정도로 면저항이 증가하는 특성이 있었다. 폴리실리콘에서는 결정립에 의해서 당연히 실리사이드 두께는 커지지만 응집효과와 도치효과에 의한 표면 산란에 의해 면저항이 크게 측정될 수 있었고 700°C 이후에는 NiSi₂로의 상변태가 결정립계를 통한 확산으로 빠르게 진행되어 급격한 고저항이 나타나기 때문이다.¹⁶⁾ 10 nm-Ni/1 nm-Ir/poly-Si 구조인 경우에는 800°C 이후에 면저항이 증가하고 있으며 Ni/Ir/Si 구조와 비교하여 상대적으로 저온인 900°C에서 260 Ω/sq.를 보이다가 수 k Ω/sq.로 급격히 증가하는 것을 보여 900°C이후에 급격한 상변태가 일어남을 나타내고 있다. 기존 Ni/poly-Si구조의 실리사이드가 700°C부터 급격한 면저항 증가를 보여 접촉저항을 크게 하는 것에 비해서 이는 기존의 니켈모노실리사이드에 비해 저저항 안정구역을 약 100°C정도 더 향상시켰음을 보이고 있다.

이러한 결과는 기존의 단결정 실리콘 기판에서 NiSi의 고온안정성 향상을 위해 Ni층에 약 3% Zr을 첨가한 경우 800°C정도로 저저항 안정화 구간을 100°C정도 성공적으로 향상시켰음¹⁷⁾에 비하여, 이번에 제한한 Ir의 첨가는 단결정과 다결정 실리콘 기판 모두에 대해서 저저항 안정화 공정 범위를 크게 하였음을 의미하였다.

Fig. 3에는 소오스와 드레인을 상정한 단결정 실리콘 위에 10 nm-Ni 또는 10 nm-Ni/1 nm-Ir을 적층한 후 700°C로 패속 열처리하여 실리사이드를 형성한 경우의 수직단면 이미지를 나타내었다.

Fig. 3 (a)는 동일한 공정으로 비교를 위하여 Ir을 삽입하지 않고 700°C에서 단결정 기판위에 제조된 NiSi의 박막이다. (a)의 경우 두께는 20~42 nm로서 마치 실리사이드의 핵생성이 특정사이트에서 발생한 후 우선 성장을 한 후

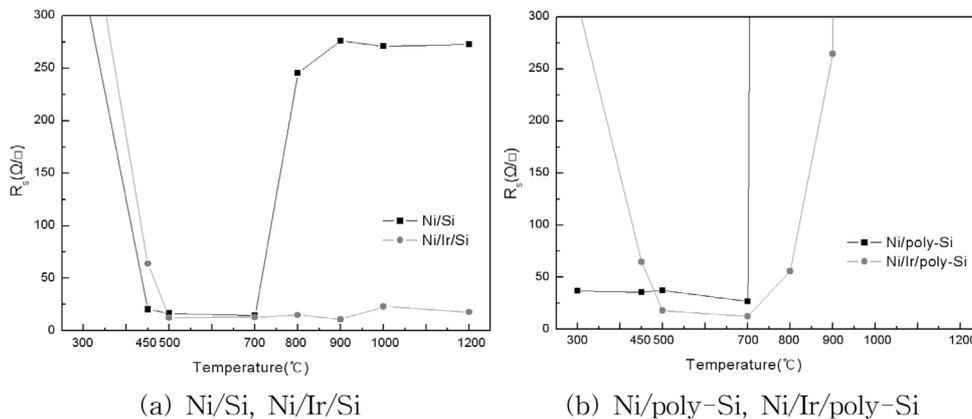


Fig. 2. Sheet resistance of silicide with silicidation temperatures (a) single crystal and (b) poly crystal substrate.

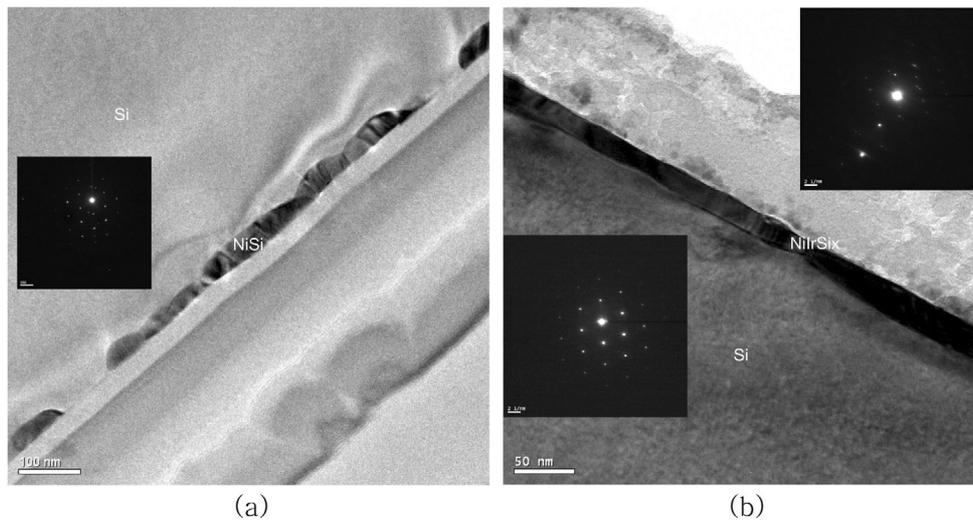


Fig. 3. TEM images of the silicide layers from (a) 10 nm-Ni/Si and (b) 10 nm-Ni/1 nm-Ir/Si structure annealed at 700°C.

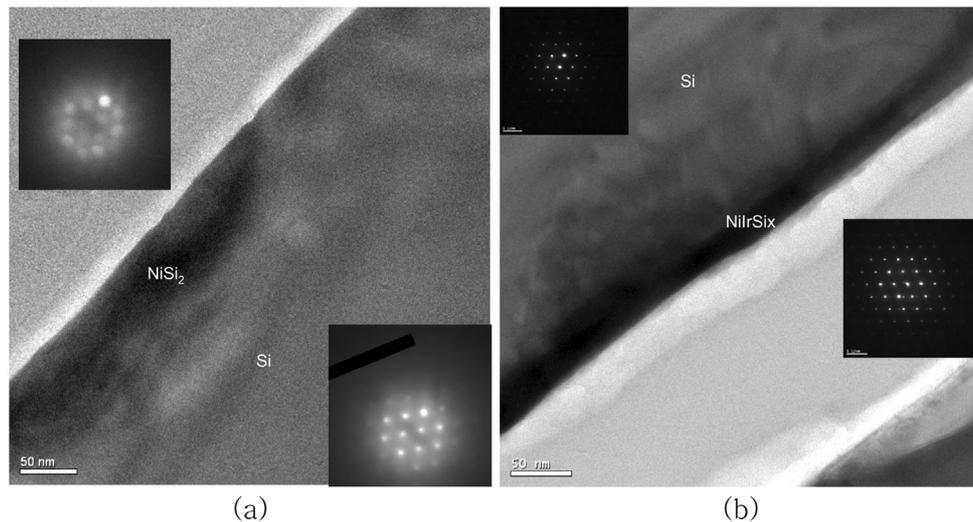


Fig. 4. TEM images of the silicide layers from (a) 10 nm-Ni/Si and (b) 10 nm-Ni/1 nm-Ir/Si structure annealed at 1000°C.

합쳐진 것처럼 우선 성장이 진행되었음을 알 수 있다.

그림과 함께 나타낸 SADP는 실리콘과 중복된 니켈 모노실리사이드의 패턴을 보이고 있어서 실리사이드의 존재를 증명하고 있다. 10 nm의 니켈 박막에서 진행된 실리사이드가 단결정 실리콘 내부에 우선성장에 의하여 약 40 nm 이상의 우선 성장부를 형성한다는 사실은 위에서 설명한 실제 나노급 디바이스에 통상의 NiSi를 위한 실리사이드 공정을 실시할 때 활성화 영역에서 실리사이드가 얇은 부분으로 생성되어 충분한 금속 배선층과의 확산방지역할을 할 수 없을 가능성과 shallow transistor를 제조하는 경우에는 도핑층에 직접적인 파괴를 가져올 수 있는 불리한 미세구조를 가진 것으로 판단되었다.

반면에 Ir을 삽입한 (b)의 경우는 Ir을 첨가하지 않은 (a)의 경우에 비해 평탄하고 균일하면서도 더 얇은 20 nm

의 Ni(Ir)Si가 형성되었음을 알 수 있다. Ni(Ir)Si는 단결정 실리콘과 확연히 다른 스캐터링 factor를 가지기 때문에 더 검은색의 콘트라스트를 보이고, 특히 같이 나타낸 SADP에 근거하여 기존의 실리콘 회절패턴 외에 실리사이드에 의한 회절패턴이 중복되어 나타남에 근거하여 확인할 수 있었다. 따라서 700°C에서 열처리된 Ir 삽입 니켈모노실리사이드는 이처럼 나노급 두께의 균일한 실리사이드가 단결정 실리콘의 상부에 형성되는 것을 확인하였다.

Fig. 4 (a), (b)에는 Fig. 3과 동일한 구조의 시편을 실리사이드화 온도를 1000°C로 높여서 열처리한 경우의 확대 실리사이드층의 사진을 나타내었다.

(a)의 Ni/Si의 경우 700°C 보다 매우 두껍고 불균일한 실리사이드층이 형성되었다. 초승달 형태의 실리사이드가

불균일하게 연결된 형태로서, 특정 사이트에서 핵생성이 발생되어 우선 성장을 한 후 합쳐진 매커니즘으로 고온 확산에 의해 더욱 우선 성장되었고, NiSi_2 상형성으로 700°C 로 열처리한 것보다 급격한 부피 변화가 발생하여 성장부는 더욱 두꺼워졌다. 이러한 고저항상인 NiSi_2 의 형성은 앞서 보인 고저항으로 측정된 전기 저항 측정 결과와도 매우 잘 일치하고 있음을 알 수 있다.

(b)의 $\text{Ni}/\text{Ir}/\text{Si}$ 구조의 경우 비교적 검게 나타난 균일한 실리사이드가 평균 두께 22 nm로 형성되었음을 알 수 있다. (a)에 비해서 매우 균일하고 얇은 실리사이드층이 형성되었다. 같이 나타난 SADP로부터 NiSi_2 의 존재를 확인할 수 없으나 앞서 보인 면저항의 변화로 보아 저저항상이 존재함을 알 수 있다.

기존의 30 nm의 니켈박막을 사용한 경우 50 nm이상의 실리사이드를 형성한 정영순 등의 보고¹⁸⁾에 근거하여 단 결정 기관에서의 실리사이드층의 두께는 실리사이드화 온도보다는 살리사이드 공정에서의 금속층의 두께에 따라 더욱 큰 영향을 받는 것을 예상할 수 있었다.

Fig. 5 (a)~(c)에는 70 nm-poly Si/200 nm- $\text{SiO}_2/\text{Si}(100)$

구조의 게이트를 상정한 70 nm의 다결정 실리콘위에 10 nm-Ni 또는 10 nm-Ni/1 nm-Ir를 적층한 후 700°C 로 쾌속 열처리하여 실리사이드를 형성한 경우의 수직단면 이미지를 나타내었다. (a)의 경우는 10 nm-Ni/70 nm-poly Si/200 nm- $\text{SiO}_2/\text{Si}(100)$ 의 구조로부터 700°C 에서 제조된 실리사이드로써, 50 nm의 폴리실리콘층이 유지되고 약 10~12 nm의 불연속적이면서 응집현상에 의해 두께 변화가 큰 실리사이드층이 형성되어 있음을 알 수 있다. 따라서 700°C 의 저온에서 쾌속열처리를 이용하는 경우 나노급의 이차원 실리사이드 박막의 생성이 용이함을 알 수 있다.

(b)의 경우는 10 nm-Ni/1 nm-Ir/70 nm-poly Si/200 nm- $\text{SiO}_2/\text{Si}(100)$ 구조로부터 700°C 에서 제조된 실리사이드로써, 하부의 산화막이 일종의 기관역할을 하여 65 nm두께의 매우 균일한 계면과 표면을 가진 $\text{Ni}(\text{Ir})\text{Si}$ 실리사이드층과 잔류 실리콘층의 혼합층이 형성되었음을 보이고 있고, 저배율임에도 불구하고 결정성에 따른 선명한 주상정의 결정립을 보임을 알 수 있다.

(c)에는 (b)의 실리사이드층의 고배율 확대이미지를 나타내었다. 물질별로 스캐터링 팩터(scattering factor)의 차

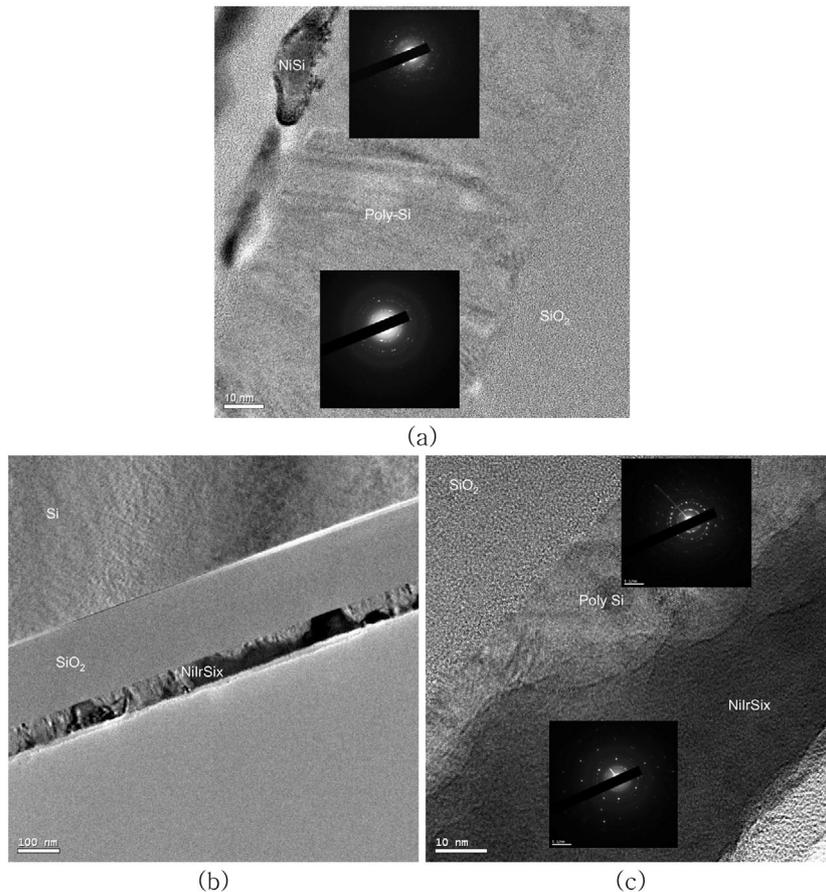


Fig. 5. TEM images of the silicide layers from (a) 10 nm-Ni/70 nm-poly Si/200 nm- SiO_2 , (b) and (c) 10 nm-Ni/1 nm-Ir/70 nm-poly Si/200 nm- SiO_2 structure annealed at 700°C .

이로 인해 명확하게 실리사이드층의 하부에는 미반응 폴리실리콘이 약 10~30 nm 정도로 남아있고 그 상부에 실리사이드가 형성되어 있음을 알 수 있다.

또한 이 폴리실리콘과 실리사이드의 혼합층은 전체적으로 매우 균일한 두께를 형성하고 있음을 알 수 있다. 이미지에 삽입된 2개의 SADP는 각각 폴리실리콘과 실리사이드층의 결과물로 다결정 실리콘에 의한 링(ring)형 패턴 외에 NiIrSi에 의한 패턴이 중첩되어 존재함을 보이고 있다.

Fig. 6에는 Fig. 5과 동일한 구조의 시편을 온도를 올린 1000°C에서 실리사이드화 시킨 경우의 이미지를 보였다. (a)는 Ni/poly-Si 구조로부터 형성된 실리사이드로서, 약 70 nm의 폴리실리콘 박막층에 수직한 방향으로 국부적으로 20~25 nm 두께의 실리사이드층이 형성되어 서로 폴리실리콘에 의해 격리되어 있는 미세구조를 보이고 있다. 이는 폴리실리콘의 결정립계를 따라 우선 성장한 실리사이드가 이후 측면 확산을 진행한 것으로 보인다. 결과적으로 전기적인 면저항이 1000°C 이상에서 고저항을 보이는 특성은 미반응된 폴리실리콘이 하부에 남아 실리사이드층의 전기적 연결을 방해한 것으로 판단된다.

이는 앞서 Fig. 5에 보인 바와 같이 700°C에서는 균일한 실리사이드를 형성하는 반면 1000°C의 고온에서는 표면보다는 결정립계를 통하여 빠른 확산을 진행하는 특징이 있음을 보인다. 특이한 사실은 폴리실리콘 층의 두께와 비슷한 크기의 실리사이드 결정립을 형성하는 것으로 자가정렬적으로 실리사이드 나노닷(dots)을 형성시킬 수 있는 가능성을 의미하였다.

(b)의 Ir을 삽입한 경우는 SiO₂ 위로 약 61 nm 두께의 균일한 poly-Si와 Ni(Ir)Si 층내에 Ni(Ir)Si가 분포하고 있다. 폴리실리콘 위에 고온으로 실리사이드화 되어 혼합

형태로 실리사이드가 존재하며 서로 고립된 실리사이드가 효과적으로 전기전도체 역할을 못하고 고저항을 가지고 있음을 나타내고 있다. 이러한 고저항 현상의 원인이 폴리실리콘의 채움에 의한 구조적인 문제라고 하면 나노급 실리사이드 공정에서는 아몰퍼스 실리콘을 게이트로 채택한 후 실리사이드 공정에서 고온 실리사이드를 채움하여 혼합 효과를 비롯한 다결정 실리콘 게이트의 문제점을 완화시킬 수 있을 것으로 기대된다.

Fig. 7에는 Ni/Ir/Si 구조로부터 700°C와 1000°C로 각각 열처리한 실리사이드층의 AES depth profiling 결과를 나타내었다. 약 1 nm 두께로 증착된 Ir의 존재는 AES의 분해능 한계로 모두 0으로 표시되어 확인되지 않았다. (a)와 (b)의 700°C와 1000°C에서의 실리사이드는 모두 비슷한 화학양비를 가진 NiSi라고 판단되는 실리사이드가 생성되었음을 보이고 있고, Si 농도와 Ni의 농도의 depth profiling이 역전되는 지점까지를 실리사이드 두께로 측정된 결과, 700°C에서는 18.8 nm로, 1000°C에서는 21.4 nm로서 TEM 측정에서 확인된 20 nm, 22 nm와는 모두 10% 이하의 근소한 오차로 잘 일치하고 있다.

(c)의 폴리실리콘의 경우 앞의 (a)와 기판 종류만 다른 동일한 공정에 의한 실리사이드이며, 약 59 nm 정도로 확인되었다. 반면에 (d)의 1000°C의 경우는 확연하게 실리사이드의 화학성분비가 다른 실리사이드가 63 nm의 두께로 형성되었다. 특히 실리콘은 전체 실리사이드 두께에서 고르게 분포하여 실리사이드와 실리콘이 혼합된 Fig. 6의 미세구조를 뒷받침하고 있다. 또한 Fig. 2의 전기저항 결과에서 보인 바와 같이 Ni/Ir/poly-Si을 1000°C로 열처리한 경우 나타나는 고저항 현상은 AES와 TEM 미세구조 결과에 나타난 바와 같이 실리콘과 실리사이드층

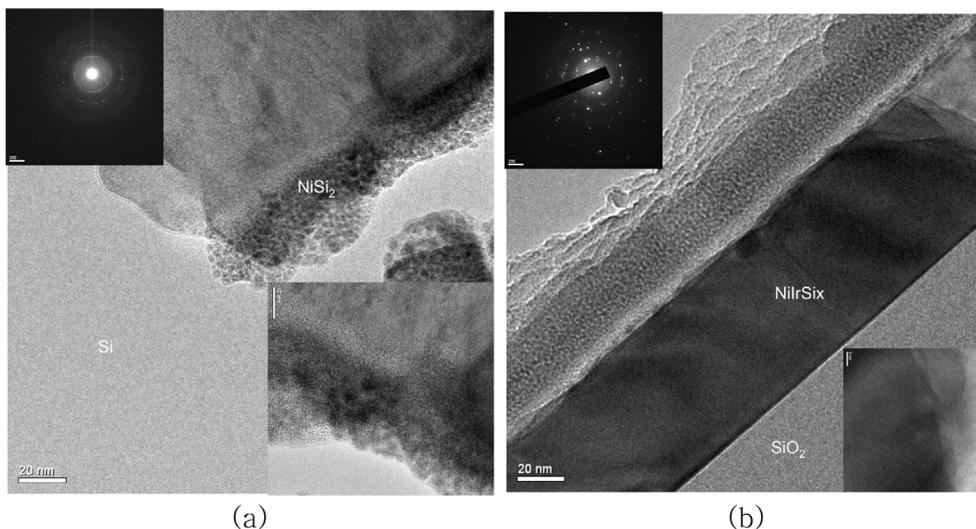


Fig. 6. TEM images of the silicide layers from (a) 10 nm-Ni/70 nm-poly Si/200 nm-SiO₂ and (b) 10 nm-Ni/1 nm-Ir/70 nm-poly Si/200 nm-SiO₂ structure annealed at 1000°C.

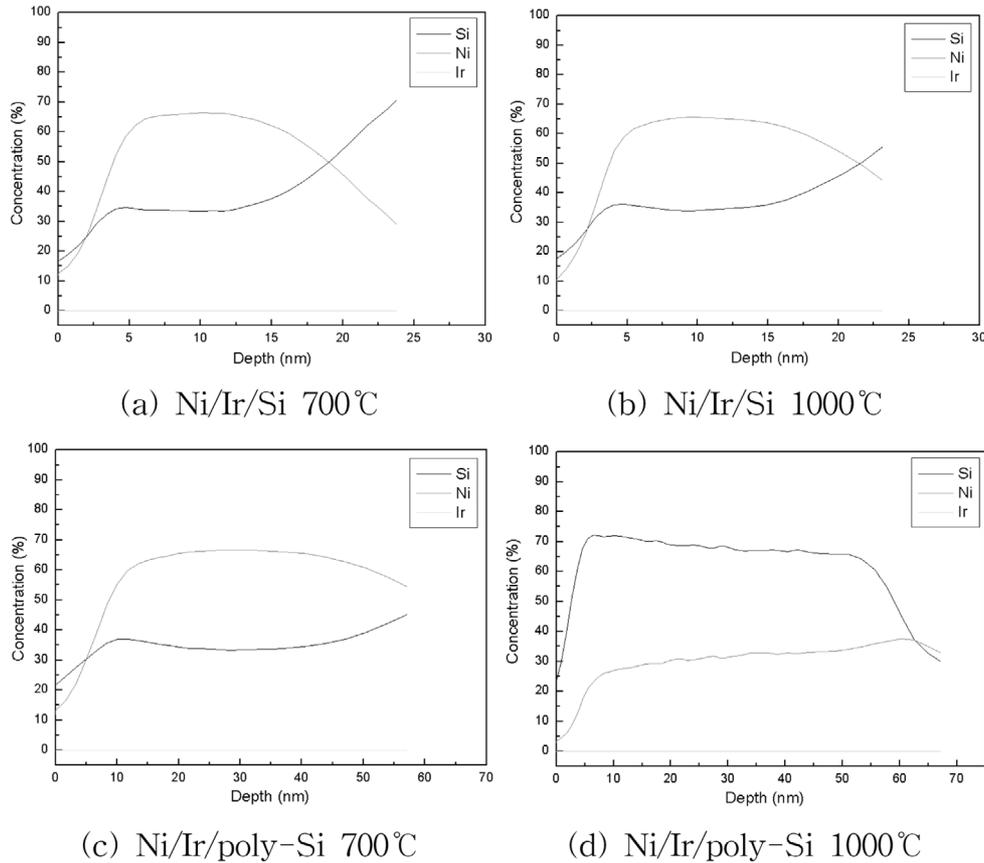


Fig. 7. Auger depth profiling of by the process condition of (a) Ni/Ir/Si 700°C, (b) Ni/Ir/Si 1000°C, (c) Ni/Ir/poly-Si 700°C, and (d) Ni/Ir/poly-Si 1000°C.

의 혼합 현상에 의해 실리사이드상이 전기적으로 서로 고립되어 있는 미세구조가 주요원인이라고 판단되었다.

4. 결 론

1. 나노급 CMOS 공정을 상정하여 활성화 영역을 상정한 단결정 실리콘에 1 nm Ir을 Ni 층에 삽입한 경우 1200°C까지 안정하게 온도 구간을 넓힌 두께 20 nm의 저저항 니켈실리사이드를 만들 수 있었다.
2. 게이트를 가정한 10 nm-Ni/1 nm-Ir/poly-Si 구조로부터 형성한 실리사이드는 800°C까지 안정화 온도 구간을 넓힌 65 nm 두께의 매우 균일한 계면과 표면을 가진 Ni(Ir)Si 실리사이드층과 잔류 실리콘층의 혼합층이 형성되었다.
3. 단결정 위에 형성된 니켈실리사이드는 Ir의 첨가에 의해 NiSi₂로의 상변태가 지연되어 안정화할 수 있었고, 기존 니켈실리사이드 보다 우수하게 균일하면서도 얇고, 평탄한 두께를 유지하였다.
4. 폴리실리콘 기판에서 형성된 Ir 삽입 니켈실리사이드는 고온으로 갈수록 혼합현상이 심해지고 특히 1000°C 이상에서 처리된 실리사이드는 실리콘에 의해 고립된 실리사이드 미세구조를 가짐으로써 고저항을 보임을 확인하였다.

5. AES 결과는 단결정기판에서 20 nm급의 나노급 실리사이드가 형성되었음과 다결정기판에서는 고온으로 갈수록 심한 혼합현상이 나타나고 있음을 간접적으로 뒷받침하였다.

감사의 글

본 연구는 서울시 산학연 협력사업중 신기술 연구개발 지원사업의(과제번호 10686) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참 고 문 헌

1. A. Kasuya, G. Milczarek, I. Dmitruk, Y. Barnakov, R. Czajka, O. Perales, X. Liu, K. Tohji, B. Jeyadevan, K. Shinoda, T. Ogawa, T. Arai, T. Hihara, K. Sumiyama, *Colloids Surf. A*, **202**, 291-296 (2002).
2. The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
3. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, *Appl. Phys. Lett.*, **78**, 3091 (2001).
4. J. Prokop, C. E. Zybilla and S. Veprek, *Thin Solid Films*,

- 359, 39 (2000).
5. C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, *J. Appl. Phys.*, **88**, 133 (2000).
 6. J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhoenacker, *J. Electrochem. Soc.*, **7**, 144 (1997).
 7. J. J. Sun, J. Y. Tsai, and C. M. Osburn, *IEEE Trans. Electron Devices*, **45**, 1946 (1998).
 8. Hua. Fang, Mehmet C. Ozturk, E. G. Seebauer and D. E. Batchelor, *J. Electrochem. Soc.*, **146**, 4240 (1999).
 9. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Lett.*, **21**, 155 (2000).
 10. J. B. Lasky, J. S. Nakos, O. J. Cain, P. J. Geiss, *IEEE Trans. Electron Devices*, **38**, 262 (1991).
 11. B. A. Julies, D. Knoesen, R. Pretorius, D. Adams, *Thin Solids Films*, **347**, 201 (1999).
 12. J. F. Chang, T. F. Young, Y. L. Yang, H. Y. Ueng, T. C. Chang, *Mater. Chem. Phys.*, **83**, p.199-203 (2004).
 13. R. N. Wang, J. Y. Feng, Y. Huang, *Appl. Surf. Sci.*, **207**, p.139-143 (2003).
 14. D. H. Keum, K. H. Kim, H. J. Lee, *Transmission Electron Microscope Analytics*, 1st ed., p.248-252, Cheongmoongak, Seoul, Korea (1996).
 15. K. J. Yoon, O. S. song, *Kor. J. Mater. Res.*, **16**(9), 571-577 (2006).
 16. Colgan E. G., Gambino J. P., Hong Q. Z., *Mater. Sci Eng.* **16**, 43 (1996).
 17. W. Huang, L. Zhang, Y. Gao, H. Jin, *Microelectronic Eng.* **83**, 345 (2006).
 18. Y. S. Jung, O. H. Song, S. Y. Kim, Y. Y. Choi, C. J. Kim, *Kor. J. Mater. Res.*, **15**, 5 (2005).