

PCB내 1005 수동소자 내장을 이용한 Diplexer 구현 및 특성 평가

박세훈* · 윤제현¹ · 유찬세 · 김필상 · 강남기 · 박종철 · 이우성

전자부품연구원 전자소재패키징 연구센터,
¹연세대학교 전기전자공학과

The Fabrication and Characterization of Diplexer Substrate with buried 1005 Passive Component Chip in PCB

Se-Hoon Park*, Je-Hyun Youn¹, Chan-Sei Yoo, Pil-Sang Kim, Nam-Kee Kang,
Jong-Chul Park and Woo-Sung Lee

Electronic Materials & Packaging Research Center Korea Electronic Technology Institute
¹Department of Electrical & Electronic Engineering, Yonsei Univ.

초 록: 현재 PCB기판내에 소재나 칩부품을 이용하여 커패시터나 저항을 구현하여 내장시키는 임베디드 패시브기술에 대한 연구가 많이 진행되어 지고 있다. 본 연구에서는 커패시터 용량이나 인덕터의 특성이 검증된 칩부품을 기판내 내장시켜 다이플렉서 기판을 제작하였다. 880 MHz~960 MHz(GSM) 영역과 1.71 GHz~1.88 GHz(DCS) 영역을 나누는 회로를 구성하기 위해 1005크기의 6개 칩을 표면실장 공정과 합몰공정으로 형성시켜 Network Analyzer로 측정하여 비교하였다. chip 표면실장으로 구현된 Diplexer는 GSM에서 최대 0.86 dB의 loss, DCS에서 최대 0.68 dB의 loss가 나타났다. 표면실장과 비교하였을 때 합몰공정의 Diplexer는 GSM 대역에서 약 5 dB의 추가 loss가 나타났으며 목표대역에서 0.6 GHz정도 내려갔다. 칩 전극과 기판의 도금 연결부위는 260°C, 80분의 고온공정 및 280°C, 10초 의 솔더 딥핑의 열충격 고온공정에서도 이상이 없었으며 특성의 변화도 거의 관찰되지 않았다.

Abstract: Today lots of investigations on Embedded Passive Technology using materials and chip components have been carried out. We fabricated diplexers with 1005 sized-passives, which were made by burying chips in PCB substrate and surface mounting chip on PCB. 6 passive chips (inductors and capacitors) were used for the frequency divisions of 880 MHz~960 MHz(GSM) and 1.71 GHz~1.88 GHz (DCS). Two types of diplexer were characterized with Network analyzer. The chip buried diplexer showed extra 5db loss and a little deviation of 0.6GHz at aimed frequency areas, whereas the chip mounted diplexer showed max. 0.86dB loss within GSM field and max. 0.68dB within DCS field respectively. But few degradations were observed after 260°C for 80min baking and 280°C for 10sec solder floating.

Keywords: Diplexer; Embedded Passive; buried passive chips in PCB

1. 서 론

현재 다양한 종류의 RF 통신 제품이 시장에 등장하면서 제품의 경쟁력 확보에 있어 소형화 정도

가 중요한 이슈가 되고 있다. portable 제품의 기능이 점점 진화해가면서 제한된 표면실장 공간 내에서 요구되는 부품수는 계속 증가하고 있어 그 면적은 현재 한계에 부딪히고 있다. 이에 대한 해결

*Corresponding author
E-mail: psh104@keti.re.kr

책으로 수동소자를 내장하는 수동소자 내장기술 (Embedded passive) 또는 시스템의 레벨에서 집적시키는 SoP기술의 필요성이 더욱 증대되고 있으며 부품 내장화 기술은 이를 구현하기 위해 꼭 개발되어야 하는 기술이다. 최근의 SoP기술의 추세는 단 한개의 패키지나 모듈에 디지털, RF, optic, 센서등의 기능성 소자를 집적하는 방향으로 가고 있다.¹⁾ Organic 기판 시장은 전체 SoP 시장 중에서 가장 빨리 성장하는 분야로서, 다양한 배선 플랫폼을 통해 저비용으로 높은 기술적인 솔루션 제공과 데이터 프로세싱 장치용 성능향상을 시킬 수 있다. 또한, 휴대폰 소형화등의 신제품 주기가 짧은 최근의 전자제품 트렌드에 부합하여 Time to Market 대응이 가능한 장점이 있다.²⁾ 실제적으로 수동소자 내장 기판의 구현은 커패시터의 경우 고유전율 박막이나 후막형 소재등으로 구현하는 것이 그 특성 면에서나 부품의 경박단소화의 관점에서 볼 땐 바람직하지만 소자들의 라이브러리와 검증등이 미흡한 실정이다. 본 연구에서는 이미 검증된 수동 Chip부품을 이용하여 Organic 기판내에 내장하는 SoP-L공정을 이용하였다. 검증된 수동소자를 이용하여 기판내 집적화하는 기술은 기판의 두께가 부품두께 만큼 두꺼워 지는 단점이 있으나 소재를 이용하여 집적화를 구현하는 기술에 비해 상용부품을 이용하여 구현할 수 있는 장점이 있으며 박막형이나 후막형 소재를 이용하여 집적화하는 기술의 중간 단계로 구현 될 수 있는 기술이다. 2005년 JPCA Show에서의 기판 전시 현황을 보면 DNP나 CMK등의 일본 업체들은 이런 칩부품 내장기술을 사용하여 구현한 제품들을 출시하였다.³⁾ 본 연구에서는 수동부품은 1005크기의 커패시터와 인덕터를 사용하였으며 소재는 PCB에서 널리 쓰이는 High Tg FR4를 이용하였다. 공정은 프리프레그를 이용하여 500 μm 두께의 코어층을 형성하고 내장시 칩부품의 파손을 방지하기 위해 UV레이저를 이용하여 칩이 삽입될 cavity를 가공하였다. 필요 부품을 삽입한 다음 50 μm 두께의 프리프레그를 동박과 함께 적층하였고 기판과 소자의 interconnection을 위하여 UV레이저로 비아가공, 무전해도금과 도금 공정으로 칩과 기판을 전기적으로 연결시키고 습식 에칭공정을 통해 이중대역의 Diplexer를 구현하였다. 또한, 칩부품이 내장된 기판과 칩부품이 SMT로 실장된 기판과 그

특성을 비교 하였다.

2. 실험방법

전반적인 공정은 Fig. 1과 같이 약 500 μm 두께의 코어를 제작한 다음 칩부품 삽입 후 부품의 이탈을 방지하기 위해 B-stage상태로 하부층에 동박과 프리프레그를 집합하였다. 각각의 cavity에 인덕터와 커패시터를 삽입시킨 후 상부에 프리프레그와 동박을 올린 후 열적 층 공정을 통해 경화시켜 칩을 함몰시키고 355 nm 파장의 UV-Laser를 이용하여 그라운드 접합 비아와 칩연결 비아를 가공하고 무전해도금과 전해도금을 이용하여 interconnection시키고 제2 염화동 습식 에칭공정을 이용하여 기판을 제작하였다.

2-1. 코어 제작

프리프레그를 사용하여 1005 칩 (1x 0.5 mm) 을 내장하기위해 500 μm 의 코어를 제작하였다. 프리

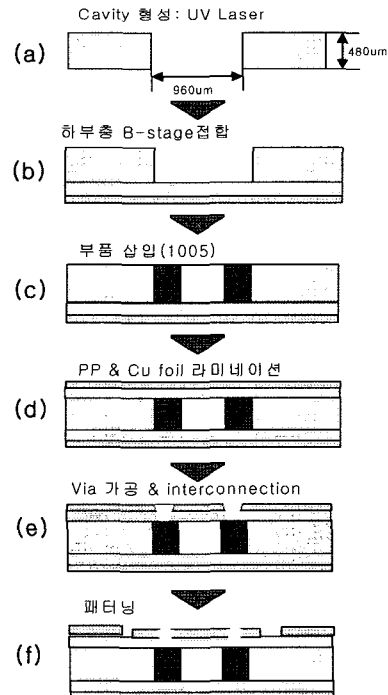


Fig. 1. Process flows for chip embedding in the polymer substrate.

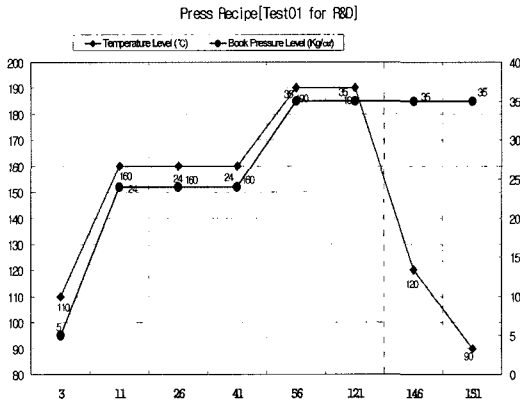


Fig. 2. Recipes of vacuum lamination.

프레그는 MGC사의 BT (Bismaleimide Triazine) 시리즈 중 Laser Drillable 타입인 CZ77 모델을 사용하였다. 열적층은 진공라미네이터를 이용하여 Fig. 2과 같이 최고 온도 190°C 조건에서 경화하였으며 레진플로우를 위해 160°C에서 단계별로 적층을 하였다.

2-2. 칩 부품 삽입 및 회로구성

제작된 500 μm 두께의 프리프레그에 열적층시 압력에 의한 칩부품의 손상을 하기위해 1005칩이 함몰될 수 있는 크기의 cavity를 Fig. 3과 같이 가공하였다. Cavity의 크기는 960 μm×480 μm의 크기로 가공하였고 공정시 칩의 정확한 고정을 위해 Fig. 1(c)와 같이 하부층에 B-satge상태로 프리프레그와 동박을 접합시킨 후 칩을 삽입하였다.

2중 대역 다이플렉서의 회로도도 Fig. 4와 같다. GSM 출력단은 880 MHz~960 MHz, DCS 출력단은 1.71 GHz~1.88 GHz을 통과대역으로 하고 있으며 동시에 상대 대역의 신호유입을 막는 역할을 한다. 이를 위해 표면실장으로 다이플렉서를 제작하여 유효한 특성 값을 나타내는 용량 값을 선택

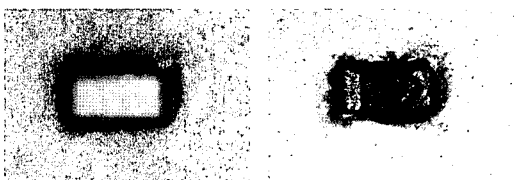


Fig. 3. Cavity formation and chip inserting.

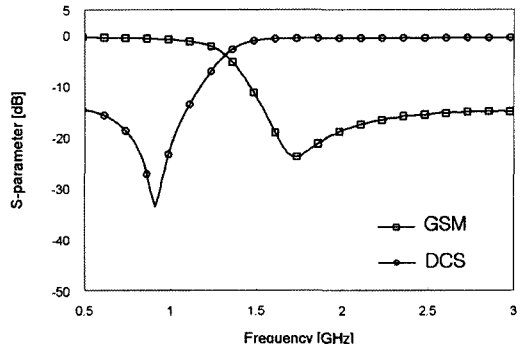


Fig. 4. Measurement results of chip mounted diplexer.

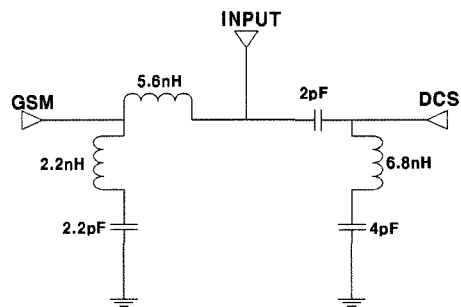


Fig. 5. Design of Diplexer circuit.

하였다. Fig. 5는 표면실장으로 제작한 다이플렉서의 측정결과이다. 각 영역에서의 최대 손실값은 GSM 대역에서 0.85 dB, DCS 대역에서 0.68 dB로 나타났다. 회로의 특성상 통과대역과 저지대역의 경계에서 가장 큰 손실이 이 발생한다. 상대대역에 대한 저지특성을 고려하여, 저지대역에서 20 dB이상의 손실을 확보하였다. Fig. 6(a)와 Fig. 6. (b)에서 칩의 배치와 연결 패턴을 확인할 수 있다. 칩 간 간격은 안정적인 공정을 위해 500 μm의 여유를 두었고 표면에는 600 μm pitch의 프로브로 측정하기 위한 패턴을 구성하였다.

2-3. 라미네이션 및 비아 가공

칩 삽입후 상부층에 동박과 프리프레그를 올리고 절연층과 부품, 동박간의 기포를 방지하고 동박층의 산화를 방지하기 위해 진공 라미레이터를 이용하여 Fig. 2조건에 온도, 압력 recipe로 상하부 절연층과 동박을 경화시켜 접합하였다. 레진의 원활한 flow를 위해 160°C의 온도에서 약 30분간 유지시키고 190°C에서 60분 동안 레진을 완전히 경

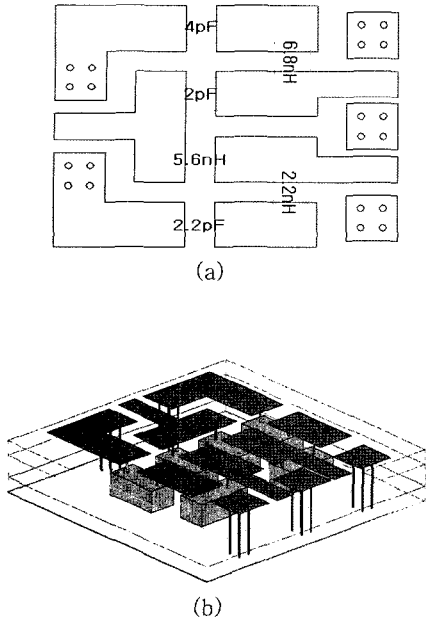


Fig. 6. (a) Chip array. (b) 3-D structure.

화시켰다. 진공 라미네이션 공정 후 칩이 함몰된 코어에 형성된 일라인을 X-ray guide 드릴을 이용하여 가공하여 칩과 기판의 위치를 인식하였고 355 nm 파장의 UV 레이저를 이용(ESI사 5330)하여 칩과 기판의 연결을 위해 80 μm 크기의 BVH (Blind via hole)와 그라운드간의 연결을 위한

PTH(Plated Through Hole)를 가공하였다. 칩과 기판의 연결비아는 위해 아래 Table 1과 같이 3단계로 비아를 가공하였다. 1번째 단계는 Cu를 가공하여 제거하고 2번째와 3번째 단계에서는 동박에 영향을 주지않으면서 레진을 가공하기 위해 레이저 빔의 focus를 2 mm 올려 홀 센터주위와 홀 외곽부분의 레진을 제거하였다.

2-4. 비아도금과 패터닝

레이저로 가공된 비아에 도금을 하기위해 swelling과 KMnO4 base의 디스미어용액으로 레이저 가공 공정에서 제거되지 않은 레진을 제거하고 무전해 도금으로 전도성seed layer를 형성한 후 Fig. 3처럼 전해동도금으로 비아홀에 약 15 μm 두께의 동을 도금해 전기적으로 연결 시켰다. Fig. 7(a)는 레이저 가공 후의 표면 이미지, (b)는 도금공정이 끝난 후의 표면 이미지 그리고 (c)는 도금공정이 끝난 후의 단면 이미지 이다. 도금으로 연결된 기판의 상부 회로를 패터닝하기 위해 히타찌사의 모델명 RY3325 (두께 25 μm) 드라이 필름을 라미네이션하여 필름 마스크를 이용하여 노광한 후 염화제2동 용액으로 습식 에칭하여 회로를 완성하였다. 기판은 Fig. 8(a)와 같이 패터닝이 구성되어 있고 Fig. 8(b) 에서의 X-ray이미지와 같이 칩들이 내장되어 있으며 Fig. 8(c)와 같이 칩은 상단에 BVH를 통해 상단 패터너부와 연결되어 PTH 비아를 통해 상

Table 1. UV Laser punching recipes

	1st Step	2nd Step	3rd Step
Laser Beam Path			
The Laser Focus			
	Cu removal @ on focus	Resin Removal @ 2mm off focus	Resin Removal @2mm off focus
Condition	Laser Pwr =1.3Watt E/pulse=43.3mj/pulse Revolution 3회 Repetition 3회 Eff. spot Size=25um Z-offset 0	Laser Pwr =1.2Watt E/pulse=40mj/pulse Revolution 10회 Eff. spot Size =50um Z-offset 2mm	Laser Pwr =1.0Watt E/pulse=38mj/pulse Revolution 5회 Eff. spot Size =80um Z-offset 2mm

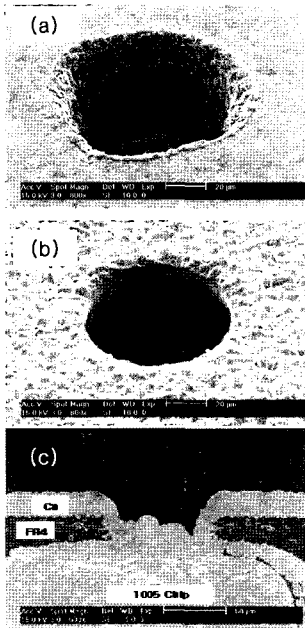


Fig. 7. SEM images of (a)after Laser punching (b)after Via plating (c)via cross section.

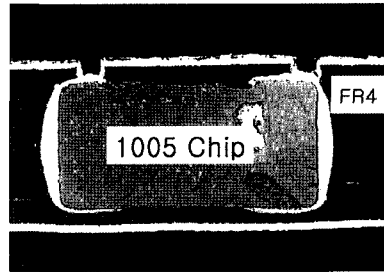


Fig. 9. Cross section image of 1005 Chip embedded diplexer after via interconnection.

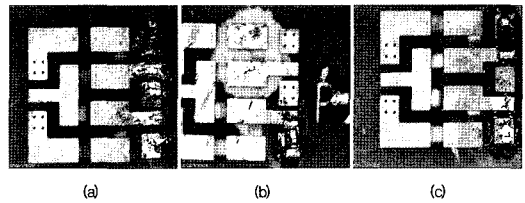


Fig. 10. (a) 280°C baking for 80min (b) 288°C/10sec solder dipping w/o 190°C baking (c) 288°C/10 sec solder dipping after 190°C/2hr baking.

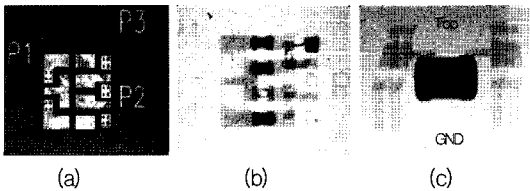


Fig. 8. (a) Top pattern image (b) X-ray image of chip embedded diplexer (c) 3-D x-ray image of chip embedded diplexer.

단에서 그라운드로 기판 패턴과 연결되어 있다. Fig. 9에서는 기판 내 칩이 내장되어 interconnection된 이미지를 보여주고 있다.

3. 결과 및 고찰

칩이 내장된 기판을 3가지 조건에서 열충격시험을 하였다. (i) 첫 번째 시편은 리플로공정을 모사하기 위해 패터닝 직후 280°C에서 80분 동안 대기 분위기로 convection 오븐에서 방치하였고 (ii) 두 번째 시편은 패터닝 직후 288°C 솔더베이스에 10초 동안 디핑하였으며 (iii) 세 번째 시편은 190°C에서 2시간동안 기판을 post baking 시키고 288°C 솔더

베이스에 10초 동안 디핑하였다. Fig. 10과 같이 실험결과 (i),(iii)조건인 시편에서는 외관상 변화가 없었고 (ii)조건인 시편에서는 솔더 디핑 후에 칩이 내장된 부위에서 프리프레그가 박리되는 현상이 발견되었다(Fig. 10(b)). 이는 폴리머의 열경화 공정에서 완전히 경화되지 않은 레진들이 경화되었고 폴리머내 수분들이 완전히 제거되었기 때문으로 판단된다. 실제로 기판 내 함유된 수분은 열충격 시험 시 기판의 박리를 야기 시키며 또한 리플로등의 열 공정 이전에 prebaking된 시편은 열충격에 의한 박리현상을 방지한다고 보고된바 있다.^{4,5)} (i), (ii)번 시편은 열 충격 후 특성의 변화를 관찰하기 위해서 시험 후 특성을 반복 측정하여 비교하였다. Fig. 11에 제시되어 있듯이 동일한 칩 용량을 적용한 경우에 함몰 후 주파수가 낮은 주파수영역으로 이동함을 알 수 있었는데 이는 칩이 함몰되면서 칩 부품과 그라운드 면과의 거리가 가까워지고 이로 인해 캐패시터등의 용량 값들이 증가하였기 때문이다. 사용된 칩 부품들은 용량이 크지 않는 소자들로 칩 부품에 사용된 재료는 유전율이 10이하인 저유전율 재료를 사용한 것으로 생각되며 이 때문에 그라운드와의 커플링부분이

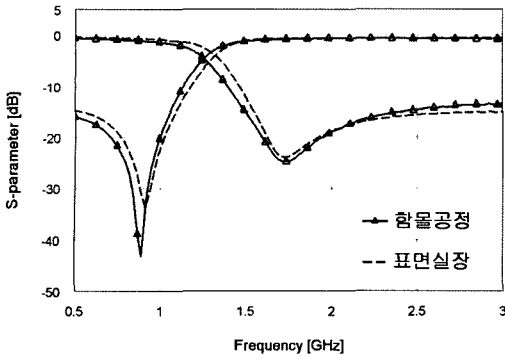


Fig. 11. Measured result of chip embedded diplexer and chip mounted diplexer.

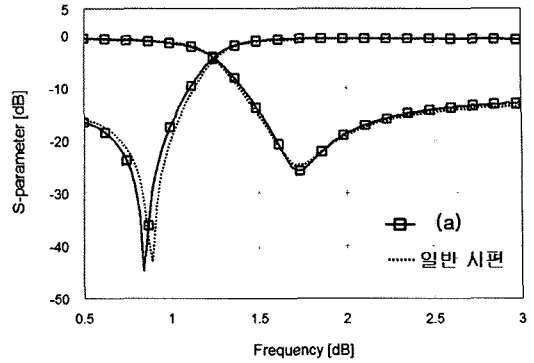


Fig. 13. Measure result after 280°C baking for 80min.

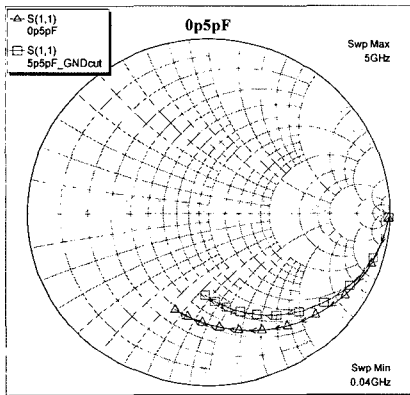


Fig. 12. Measured result of embedded chip capacitor(blue line) and surface mounted one(red line).

더 큰 영향을 갖는 것으로 볼 수 있다.⁶⁾ 이러한 현상은 그라운드에 의해 개별 칩 부품들의 특성이 영향을 받기 때문인 것으로 판단된다. Fig. 12에 보면 함몰된 칩 캐패시터(파란색)와 표면 실장된 캐패시터(붉은색)의 특성이 비교되어 있다. 함몰됨에 따라 캐패시터의 궤적이 아래부분으로 이동하는 것을 알 수 있는데 이는 그라운드에 의해 발생하는 shunt 캐패시턴스에 기인한다. 이에 따라 유효 캐패시턴스가 증가하는 효과를 나타내며 이 때문에 다이플렉서의 주파수가 낮은 쪽으로 이동한 것이다.

칩 함몰의 경우 도금 방법에 의해 입출력 단자를 표면으로 연결시키게 되는데 이 부분에 의한 손실증가 부분은 없었고, 앞에서 언급한 리플로를 모사한 280°C 가열시험이나 288°C 솔더 디핑의 열

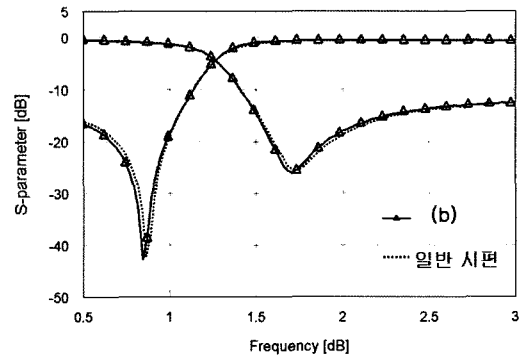


Fig. 14. Measure result after 288°C solder dipping for 10sec.

충격 시험에서도 시험 전 시편의 결과와 비교했을 때 Fig. 13과 Fig. 14와 같이 유효한 특성을 유지하는 것을 확인할 수 있었기 때문에 전기적 특성 면에서 본 연구에서의 공정에 대한 적용 가능성은 충분히 확보되었다고 판단된다.

4. 결 론

본 연구에서는 칩 함몰공정의 안정성과 그 적용 가능성을 확인해보기 위해 다소 소자수가 많은 다이플렉서를 구현해 보았으며 실제 시스템 구현 시 바이어스 회로에 적용되는 고용량의 캐패시터나 인덕터는 내장형으로 구현하는데 한계가 있기 때문에 소자를 이용하여 구현된 임베디드 패시브기술과 함께 부품함몰공정이 유용하게 사용될 수 있을 것으로 기대된다.

감사의 글

본 논문은 산업자원부 차세대 과제인 “차세대 다기능화 임베디드 SoP-L원천 기술 개발”의 일환으로 작성되었습니다.

참고문헌

1. Venky Sundaram, Rao Tumalar et al., “Recent advanced in Low CTE and High Density System-on-a-Package(SOP) Substrate with Thin Film Component Integration”, 55th Electronic Component and Technology Conference, pp. 1357~1380 (2006)
2. 박세훈, 강남기 등, “차세대 SoP-L 공정기술 동향”, 세라미스트, 8권 제 6호, pp. 7~14 (2005년 12월)
3. JPCA SHOW, “DNP, CMK Booth”, Tokyo (2005)
4. Sawada, Y., Yamaguchi, A., Oka, S., Fujioka, H, "The reliability of plastic ball grid array package", IEMT/IMC Symposium, 15-17, pp.35 -39 (1998)
5. Lin, T.Y., Tay, A.A.O., “Mechanics of interfacial delamination under hygrothermal stresses during reflow soldering”, Electronic Packaging Technology Conference, pp.163 - 169(Oct. 1997)
6. 이중근, 유찬세, 유명재, 이우성, “Dualband Antenna Switch Module의 LTCC공정변수에 따른 안정성 및 특성 개선에 관한 연구”, *Microelectronics & Packaging Society*, Vol. 12, No. 2, (2005)