

## Nano-scale PMOSFET에서 Plasma Nitrided Oxide에 대한 소자 특성의 의존성

### Dependency of the Device Characteristics on Plasma Nitrided Oxide for Nano-scale PMOSFET

한인식<sup>1</sup>, 지희환<sup>2</sup>, 구태규<sup>1</sup>, 유육상<sup>1</sup>, 최원호<sup>1</sup>, 박성형<sup>2</sup>, 이희승<sup>2</sup>, 강영석<sup>2</sup>, 김대병<sup>2</sup>, 이희덕<sup>1,a</sup>  
(In-Shik Han<sup>1</sup>, Hee-Hwan Ji<sup>2</sup>, Tae-Gyu Goo<sup>1</sup>, Ook-Sang You<sup>1</sup>, Won-Ho Choi<sup>1</sup>, Sung-Hyung Park<sup>2</sup>,  
Heui-Seung Lee<sup>2</sup>, Young-Seok Kang<sup>2</sup>, Dae-Byung Kim<sup>2</sup>, and Hi-Deok Lee<sup>1,a</sup>)

#### Abstract

In this paper, the reliability (NBTI degradation:  $\Delta V_{th}$ ) and device characteristic of nano-scale PMOSFET with plasma nitrided oxide (PNO) is characterized in depth by comparing those with thermally nitrided oxide (TNO). PNO case shows the reduction of gate leakage current and interface state density compared to TNO with no change of the  $I_{D,sat}$  vs.  $I_{OFF}$  characteristics. Gate oxide capacitance ( $C_{OX}$ ) of PNO is larger than TNO and it increases as the N concentration increases in PNO. PNO also shows the improvement of NBTI characteristics because the nitrogen peak layer is located near the Poly/SiO<sub>2</sub> interface. However, if the nitrogen concentration in PNO oxide increases, threshold voltage degradation ( $\Delta V_{th}$ ) becomes more degraded by NBT stress due to the enhanced generation of the fixed oxide charges.

**Key Words** : Plasma nitrided oxide, Boron penetration, Interface trap charge ( $Q_{it}$ ), Fixed oxide charge ( $Q_f$ ), Negative bias temperature instability(NBTI), Nano CMOSFET

#### 1. 서론

CMOSFET (Complementary Metal Oxide Semiconductor Field Effect Transistor)은 제조 기술의 급속한 발전으로 인하여 현재 게이트 길이 (Gate length:  $L_G$ )가 나노 단위까지 소형화된 상태로 소자 크기의 감소와 함께 게이트 산화막 두께 (Gate oxide thickness:  $T_{OX}$ )의 감소가 요구되고 있다. 하지만 게이트 산화막 두께의 급격한 감소로 인하여 게이트 누설전류 (Gate leakage current:  $I_G$ )의 증가, 소자 성능의 감소 등의 문제점이 발생하기 때문에 scale-down이 한계에 이른 상태이다

[1]. 더욱이 현재 널리 적용되고 있는 Thermally Nitrided Oxide (TNO)의 경우 기존의 실리콘 산화막 (SiO<sub>2</sub>)보다 낮은 게이트 누설 전류, PMOSFET의 붕소 침투(Boron Penetration) 현상의 억제, NMOSFET에서 HCE(Hot Carrier Effect)의 억제 등의 이점 때문에 Deep submicron 영역의 소자에 적용되어 왔지만 PMOSFET의 NBTI (Negative Bias Temperature Instability) 특성이 매우 취약하여 NBTI가 소자의 수명을 저하시키는 요인으로 작용하는 것으로 알려져 있다[2-6]. 따라서 최근에는 NBTI 열화에 의한 수명 시간 저하를 개선하기 위해 Plasma Nitrided Oxide (PNO)가 새로운 게이트 산화막으로 적용되고 있다[7-10]. 하지만 PNO에 대한 연구는 대부분 NBTI 열화에 집중되고 있으며 소자 성능에 미치는 영향에 대한 연구는 미비하다고 할 수 있다. 더욱이 PNO의 농도가 소자의 성능과 신뢰성에 미치는 영향을 체계적으로 연구한 것은 거의 보고되지 않고 있다.

1. 충남대학교 전자전파정보통신공학과  
(대전시 유성구 궁동 220)

2. 매그나칩 반도체

a. Corresponding Author : hdlee@cnu.ac.kr

접수일자 : 2007. 3. 6

1차 심사 : 2007. 5. 11

심사완료 : 2007. 6. 11

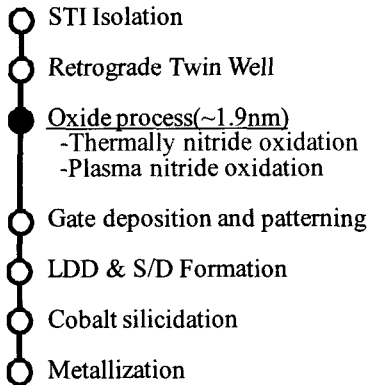


그림 1. PMOS 소자 제작을 위한 공정 순서.  
Fig. 1. Process flow for the fabrication of PMOSFET.

본 논문에서는 최근 게이트 산화막으로 적용되고 있는 Nitrided oxide의 한 종류인 PNO가 소자에 미치는 영향을 분석하였으며 특히 Nitrogen (N) 농도에 따른 신뢰성과 소자 특성 의존성을 분석하였다. 또한 기존에 적용되고 있는 TNO와 비교를 위해 NO 분위기에서 열처리를 진행한 TNO와 소자 특성의 변화 및 게이트 산화막의 특성 등을 비교 분석하였으며, PNO의 Nitrogen(N) 농도를 변화시키면서 Nitrogen이 소자 특성 뿐만 아니라 신뢰성 특성에 미치는 영향을 분석하였다.

## 2. 실험 방법

소자 제작에 사용된 0.11  $\mu\text{m}$  CMOS technology의 주요 공정 순서는 그림 1과 같다. 주요 공정으로는 3500 Å 깊이의 Shallow Trench Isolation (STI)와 Retrograde twin well를 적용하였고, 다양한 게이트 산화막에 따른 소자 특성을 분석하기 위해 게이트 산화막의 성장 방법을 달리하였다. 먼저, TNO는 NO 분위기 (700 °C)에서 열처리 과정과 재산화 (Re-Oxidation)를 통해 성장 하였다. PNO의 경우는 기본적으로 oxygen 치환 방식으로 적용되기 때문에 PNO 성장을 위해서는 초기 산화막 (base oxide)이 필요하므로, 본 실험에서는 SiO<sub>2</sub>을 매우 얇게 (~13 Å) 성장 시킨 후에 저온 (450 °C)의 고밀도 질소 분위기의 Plasma source에 산화막을 노출시킴으로써 PNO를 성장 하였다.

더욱이 PNO 산화막 내에서 Nitrogen의 영향을 분석하기 위해 N 농도를 6 % 및 12 %로 split 하였으며, N 농도는 SIMS (Secondary Ion Mass

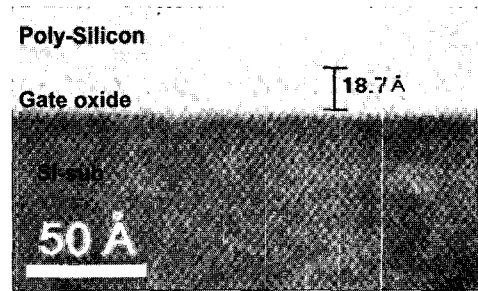


그림 2. 0.11  $\mu\text{m}$  CMOS 기술로 제작된 소자의 HR-TEM 사진.

Fig. 2. HR-TEM image of fabricated MO-SFET using the 0.11  $\mu\text{m}$  CMOS technology.

Spectrometry)를 이용하여 측정하였다. 그리고 게이트 패터닝 이후 소스/드레인을 형성하고 코발트 실리사이드 및 배선 공정을 적용하였다.

그림 2는 제작된 소자의 High Resolution-Transmission Electron Microscope (HR-TEM) 사진을 나타내고 있으며 산화막의 물리적인 두께는 19 Å 정도 됨을 확인할 수 있다. 또한 소자의 전기적인 특성을 평가하기 위해 Agilent 4156C, HP 4280A, Agilent 33250A를 이용하여 측정하였다.

## 3. 실험 결과 및 고찰

### 3.1 소자 특성의 의존성

게이트 산화막의 성장 방법이 소자 성능에 미치는 영향을 평가하기 위해 그림 3과 같이 TNO와 PNO가 적용된 경우의  $I_{D,Sat}-I_{OFF}$  특성을 나타내었다. TNO와 PNO 산화막이 적용된 소자의 경우  $I_{D,Sat}-I_{OFF}$  ratio에서는 큰 차이가 보이지 않으나 그림 4에서와 같이 PNO에서 N 농도를 6 %로 적용한 소자의 경우 TNO를 적용한 소자에서 보다 매우 낮은 문턱전압의 특성을 보이고 있으며, 이로 인해 그림 3과 같이  $I_{D,Sat}-I_{OFF}$  특성에서  $I_{D,Sat}$ 이 높은 레벨에 있음을 알 수 있다. PNO의 N 농도를 12 %로 하여 제작한 소자의 경우에도 TNO 보다 낮은 레벨의 문턱전압 특성을 가짐을 알 수 있으며, 이는 그림 4의 문턱전압 특성에서도 나타낸 바와 같이 PNO의 경우가 TNO 보다 Boron Penetration이 크게 일어나기 때문으로 여겨진다. 본 실험에서 TNO 산화막의 N의 농도를 4 %로 진행 하였으므로 TNO를 적용한 경우가 PNO 보다 Boron Penetration의 억제력이 크기 때문에 문턱전압 특성

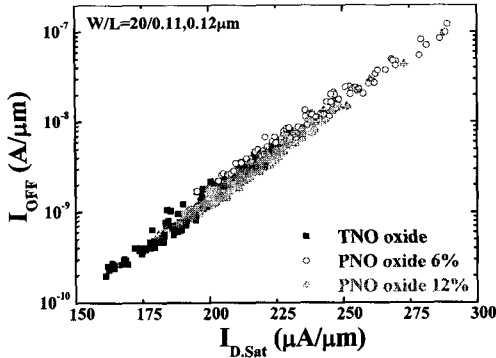


그림 3. 게이트 산화막 성장 방법에 따른  $I_{D,Sat}$  vs.  $I_{OFF}$  특성.

Fig. 3. Dependency of  $I_{D,Sat}$  vs.  $I_{OFF}$  characteristic on the gate oxidation method.

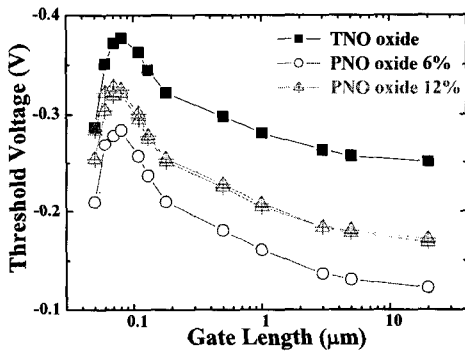


그림 4. 게이트 산화막 성장 방법에 따른  $V_{th}$  roll-off 특성.

Fig. 4. Dependency of  $V_{th}$  roll-off characteristic on the gate oxidation method.

이 크게 나타난 것으로 여겨지며, PNO의 N 농도를 6%에서 12%로 증가시킨 경우에 문턱전압이 매우 증가(40 mV 이상)하는 것으로 보아 PNO에서도 N 농도를 증가함에 따라서 Boron Penetration에 의한 문턱전압의 감소를 효과적으로 막는다고 할 수 있다[12].

게이트 산화막의 특성을 평가하기 위해 각 split에 따른 Capacitance-Voltage 특성을 그림 5에 나타내었다. 그림에서 알 수 있듯이 TNO 비해 PNO 6%의 산화막을 적용하여 제작된 소자의 경우  $C_g$  vs.  $V_g$  curve로부터 Flat band voltage ( $V_{FB}$ )가 약 0.13 V 정도 shift 되었음을 알 수 있으며, PNO 12%인 경우 약 0.03 V 정도 shift 되었음을 확인할 수 있다.

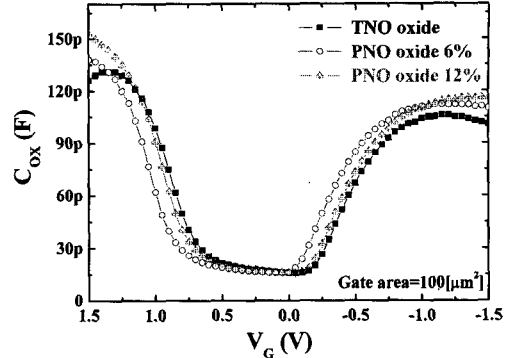


그림 5. 게이트 산화막 성장 방법에 따른  $C_g$  vs.  $V_g$  특성.

Fig. 5. Dependency of  $C_g$  vs.  $V_g$  characteristic on the gate oxidation method.

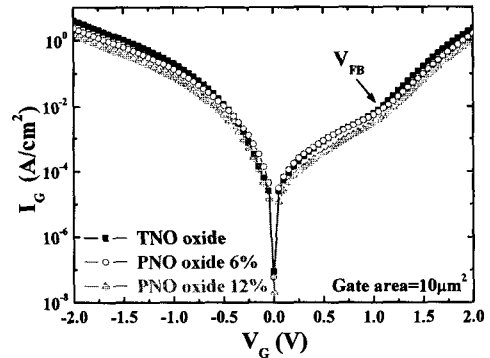


그림 6. 게이트 산화막 성장 방법에 따른  $I_g$  vs.  $V_g$  특성.

Fig. 6. Dependency of  $I_g$  vs.  $V_g$  characteristic on the gate oxidation method.

Boron 침투에 의한  $V_{FB}$  변화는 식(1)과 같다 [13]. 여기서  $V_{FB0}$ =Ideal flat band voltage,  $Q_B$ =채널에 침투한 Boron의 밀도,  $C_{OX}$ =Gate capacitance를 나타낸다. 따라서 Poly-Si 내의 Boron이 channel에 침투하게 되면  $V_{FB}$ 가 증가하고  $V_{FB} < 0$  이므로  $|V_{th}|$ 가 감소하게 된다. 따라서 앞선 결과에서와 같이 PNO 6%로 적용한 경우에 Boron Penetration이 발생하여 문턱전압이 감소하게 된다.

$$V_{FB} = V_{FB,0} + \frac{Q_B}{C_{OX}} \quad (1)$$

더욱이 inversion 영역 (-1.5 V)에서  $C_{OX}$ 는 TNO의 경우  $1.01 \times 10^{-6}$  F/cm<sup>2</sup>, PNO 6%의 경우  $1.10 \times 10^{-6}$

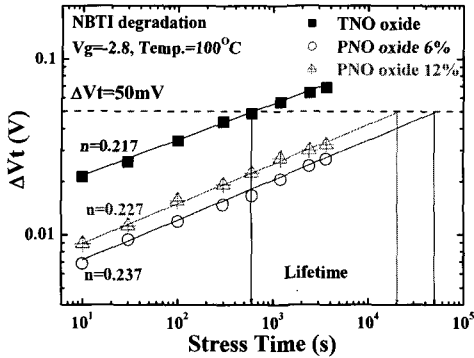


그림 7. 게이트 산화막 성장 방법에 따른 PMOSFET의 Bias Temperature Instability 열화 특성.  
 Fig. 7. Comparison of Bias temperature instability degradation of PMOSFET between gate oxidation methods.

F/cm<sup>2</sup> 그리고 PNO 12 %의 경우  $1.15 \times 10^{-6}$  F/cm<sup>2</sup>을 가지므로 PNO 소자의 경우가 Capacitance 값이 크게 나타남을 알 수 있다. 따라서 TNO 보다 PNO를 적용한 경우에 효과적으로 게이트 산화막 두께를 낮출 수 있음을 알 수 있다. 또한 PNO의 N 농도가 높을수록 Capacitance 값이 증가되므로 산화막 내의 Nitrogen은 전기적인 게이트 산화막 두께를 효과적으로 감소시키는 것으로 여겨진다. 더욱이 그림 6과 같이 게이트 누설 전류 특성을 보면 TNO를 적용한 소자 보다 PNO를 적용한 소자의 경우 더욱 낮은 게이트 누설전류 특성을 보이고 있으며 N 농도가 증가 할수록 누설전류는 더욱 작은 값을 갖는다. 따라서 PNO는 게이트 누설 전류의 억제, 얇은 게이트 산화막의 형성에 매우 효과적이라고 할 수 있다.

### 3.2 신뢰성 특성의 의존성

게이트 산화막 성장 방법이 소자의 신뢰성에 미치는 영향을 평가하기 위해 최근 PMOSFET의 신뢰성 issue로 대두 되고 있는 NBTI 열화를 측정하였다. 125도에서 게이트 전압을 -2.4 V로 인가하여 3600초까지 문턱전압의 열화를 측정하였다. 그림 7에 나타낸 바와 같이 TNO와 PNO 모두에서 열화의 기울기, n이 0.21~0.23로 거의 동일한 기울기를 가지고 문턱전압이 증가함을 알 수 있다. 또한 소자의 수명시간을 추출하기 위해 그림 7과 같이 일반적으로 사용되는 문턱전압의 변화가 50 mV가 되는 시간을 수명시간이라고 정의하였다. 소자의 수명 시간은 TNO의 경우 681(s), PNO 6 %의 경우 62048(s) 그리고 PNO 12 %의 경우 22514(s) 임을

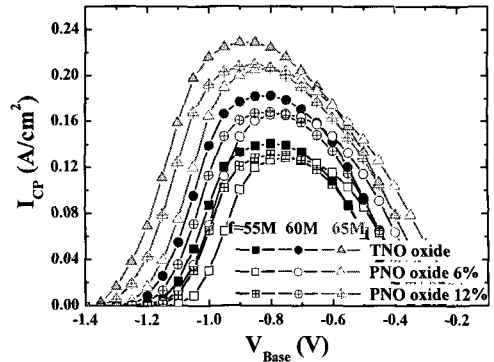


그림 8. PMOSFET에서 TNO와 PNO 산화막의 전하 펌핑 전류 ( $I_{CP}$ ).  
 Fig. 8. Charge pumping current ( $I_{CP}$ ) of TNO and PNO oxide in PMOSFET.

알 수 있다. 따라서 TNO를 적용한 소자 보다 PNO 6 % 및 12 %를 적용한 소자들의 수명시간이 매우 개선되기 때문에 PNO의 경우가 TNO 보다 NBTI 열화에 매우 안정적임을 알 수 있다. 그러나 PNO의 N 농도를 12 %로 증가 시켰을 경우 PNO 6 %에 비해 수명 시간이 약 4000[s] 정도 짧아지는 것을 볼 수 있는데 이는 잘 알려져 있는 것과 같이 TNO에서 N 농도가 증가하면 NBTI 열화 현상이 심해지는 결과와 동일한 경향성으로 PNO의 경우에도 N 농도가 증가하면 NBTI 열화가 심해짐을 알 수 있다[2].

NBTI 열화는 대부분 게이트 산화막과 실리콘 사이에 존재하는 interface trap charge( $Q_{it}$ )와 fixed oxide charge( $Q_f$ )에 의해 발생한다고 알려져 있다 [3,4]. 따라서 산화막과 실리콘 계면 특성을 분석하기 위해 전하펌프방법 (Charge pump method)을 적용하였다. 게이트에 인가된 frequency는 55~65 MHz이고 소스와 드레인은 inversion carrier 공급을 위해 -0.05 V를 인가하여 Bulk current (charge pumping current:  $I_{CP}$ )를 측정하였다. 그림 8은 세 가지 frequency에 따른 charge pumping current를 나타내고 있는데 TNO의 경우에  $I_{CP}$ 가 가장 크고 PNO 6 %의 경우가 가장 작게 나타나고 있다. 이는 앞서 기술한 NBTI 특성에서 TNO가 가장 열화가 심하고 PNO 6 % 경우가 가장 작은 것과 관계가 있음을 알 수 있다.

앞에서와 같이 PNO의 경우 N 농도가 증가함에 따라 NBTI 열화가 심해졌는데 이는 잘 알려져 있듯이 Fixed oxide charge가 증가하기 때문이다[5]. 즉, Interface에 존재하는 Dangling bond와 결합하고 있는 Hydrogen은 스트레스 전압과 온도에 의해

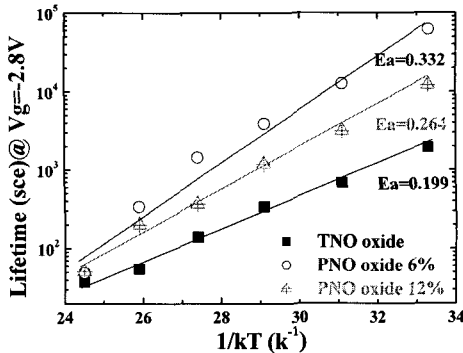


그림 9. 스트레스 온도에 따른 NBTI 수명시간의 Arrhenius plot.

Fig. 9. Arrhenius plot of NBTI lifetime on the different stress temperature.

쉽게 해리되고 Poly-Si 쪽으로 확산을 하게 되는데 이때 확산된 Hydrogen은 산화막 내의 Bulk나 Interface 근처에 존재하는 Si-O 결합이나 Si-N 결합과 반응하게 된다. 그런데 Si-N 결합은 Si-O 결합 보다 Hydrogen과의 반응 시 낮은 Activation energy( $E_a$ )를 갖기 때문에 Fixed oxide charge 생성을 증가 시키므로 산화막 내의 nitrogen은 NBTI 열화를 증가 시키게 된다[6,11].

그림 9에 스트레스 온도에 따른 NBTI 수명시간의 Arrhenius plot을 나타내었다. 스트레스 전압은 -2.8 V로 인가하였으며, 각 온도에 따른 스트레스 시간은 3600(s)까지 인가하였다. 그림 9에서 알 수 있듯이 TNO 산화막의 경우가  $E_a=0.199$  eV로 가장 낮은 activation energy를 가지고 있으며, PNO 6 %는 0.332 eV, PNO 12 %는 0.264 eV이므로 TNO 산화막의 경우가 Hydrogen과의 결합이 가장 쉽게 일어나 Fixed oxide charge의 생성이 많기 때문에 NBTI 열화가 가장 큼을 알 수 있다. 한편 PNO 6 %의 경우가 가장 높은 NBTI 수명시간을 나타냄을 알 수 있다. 게다가 앞서 언급한 바와 같이  $I_{CP}$  또한 PNO 12 %의 경우가 6 % 보다 큰 것으로 미루어 볼 때 Interface trap charge 뿐만 아니라 Fixed oxide charge의 증가에 의해서 산화막 내의 N 농도가 높은 소자의 경우가 NBTI 열화가 심함을 알 수 있다.

PNO 산화막이 적용된 소자의 경우 N 농도 분포를 확인하기 위해 SIMS profile를 그림 10에 나타내었다. 그림 10에 나타낸 바와 같이 Nitrogen peak 층이 Poly/SiO<sub>2</sub> 사이에 존재함을 알 수 있는데, 이는 TNO 산화막의 경우 Nitrogen peak 층이

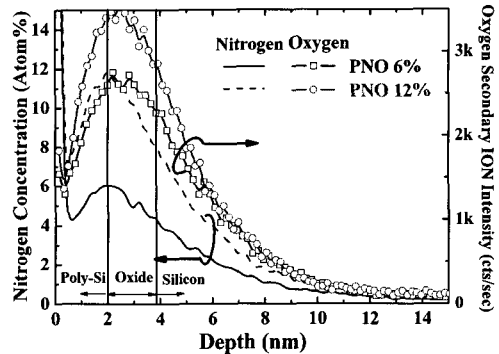


그림 10. Plasma nitride oxide에서 nitrogen과 oxygen의 SIMS profile.

Fig. 10. SIMS profile of nitrogen and oxygen in plasma nitride oxide.

Si/SiO<sub>2</sub> 사이에 존재한다고 알려진 것과[15] 상반된 특성을 보이고 있다. 따라서 PNO 산화막의 경우 N의 농도가 Si/SiO<sub>2</sub> interface로부터 떨어져서 즉, Poly/SiO<sub>2</sub> 근처에 존재함으로 인해 NBTI 열화가 개선됨을 알 수 있고 이로 인해 PNO를 적용한 소자가 TNO를 적용한 소자 보다 NBTI 수명시간이 매우 큼을 알 수 있다.

#### 4. 결론

본 논문에서는 Nitrided oxide의 한 종류인 PNO가 소자 특성과 신뢰성에 미치는 영향을 분석하였다. PNO의 경우 TNO 보다 boron penetration에 의한 문턱전압 감소가 다소 크게 나타나지만 PNO의 Nitrogen 농도를 높임으로서 이러한 문제를 해결할 수 있었으며 낮은 게이트 누설전류를 확보할 수 있고 전기적으로 매우 얇은 게이트 산화막의 형성이 가능하며 Si/SiO<sub>2</sub> interface 특성 또한 우수함을 확인하였다. 더욱이 TNO가 적용된 산화막보다 NBTI 수명시간이 매우 개선되는 것을 확인하였으며, 이는 산화막 내의 nitrogen 농도가 Poly/SiO<sub>2</sub> 근처에 집중되었기 때문에 NBTI 특성이 개선된 것을 알 수 있었다. 그러나 PNO에서 N 농도를 증가시키면 NBTI 열화가 심해지는 것을 볼 수 있는데 이는 산화막 내의 nitrogen에 의해 Fixed oxide charge가 증가했기 때문임을 확인하였다. 따라서 향후 Nano-scale PMOSFET에서 신뢰성과 소자 특성의 확보를 위해서는 PNO가 매우 필수적이라 할 수 있으며 Nitrogen 농도를 최적화하는 것이 가장 중요하다고 할 수 있다.

## 감사의 글

본 논문은 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급 나노소자 개발 사업단 지원으로 수행되었음.

## 참고 문헌

- [1] A. Chatterjee, J. Yoon, S. Zhao, S. Tang, K. Sadra, S. Crank, H. Mogul, R. Aggarwal, B. Chatterjee, S. Lytle, C. T. Lin, K. D. Lee, J. Kim, Q. Z. Hong, T. Kim, L. Olsen, M. Quevedo-Lopez, K. Kirmse, G. Zhang, C. Meek, D. Aldrich, H. Mair, M. Mehrotra, L. Adam, D. Mosher, J. Y. Yang, D. Crenshaw, B. Williams, J. Jacobs, M. Jain, J. Rosal, T. Houston, J. Wu, N. S. Nagaraj, D. Scott, S. Ashburn, and A. Tsao, "A 65 nm CMOS technology for mobile and digital signal processing applications", IEDM Tech. Dig., p. 665, 2004.
- [2] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C. T. Liu, R. C. Keller, and T. Horiouchi, "NBTI Enhancement by Nitrogen Incorporation into Ultrathin Gate Oxide for 0.10 um Gate CMOS Generation", Symp. On VLSI Technology Digest, p. 92, 2000.
- [3] Y. Mitani, M. Nagamine, H. Satake, and A. Toriumi, "NBTI Mechanism in Ultrathin Gate Dielectric-Nitrogen-originated Mechanism in SiON", IEDM Tech. Dig., p. 509, 2002.
- [4] Y. M. Kim, "Impact of post gate oxidation anneal on negative bias temperature instability of deep submicron PMOSFETs", J. of KIEEME(in Korean), Vol. 16, No. 3, p. 181, 2003.
- [5] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing", J. Appl. Phys., Vol. 94, No. 1, p. 1, 2003.
- [6] V. Huard, M. Denais, F. Perrier, N. Revil, C. Parthasarathy, A. Bravaix, and E. Vincent, "A thorough investigation of MOSFETs NBTI degradation", Microelectronics Reliability, Vol. 45, p. 83, 2005.
- [7] S. Ogawa, M. Shimaya, and N. Shiono, "Interface-trap generation at ultrathin SiO<sub>2</sub> (4-6 nm)/Si interfaces during negative bias temperature aging", J. Appl. Phys., Vol. 77, No. 3, p. 1137, 1995.
- [8] C. H. Ang, C. M. Lek, S. S. Tan, B. J. Cho, T. Chen, W. Lin, and J. Z. Zhen, "Negative bias temperature instability on plasma-nitrided silicon dioxide film", Jpn. J. Appl. Phys., Vol. 41, p. 314, 2002.
- [9] S. S. Tan, C. H. Ang, C. M. Lek, T. P. Chen, B. J. Cho, A. See, and L. Chan, "Characterization of ultrathin plasma nitrided gate dielectrics in pMOSFET for 0.18 um technology and beyond", Proceeding of 9th IPFA, Singapore, p. 254, 2002.
- [10] T. Sasaki, K. Kuwazawa, K. Ranaka, J. Kato, and D. L. Kwang, "Engineering of nitrogen profile in an ultrathin gate insulator to improve transistor performance and NBTI", IEEE Electron Device Lett., Vol. 24, No. 3, p. 150, 2003.
- [11] C. H. Liu, M. T. Lee, C. Y. Lin, J. Chen, K. Schrufer, J. Brighten, N. Rovedo, T. B. Hook, M. V. Klare, S.-F. Huang, C. Wann, T. C. Chen, and T. H. Ning, "Mechanism and Process Dependency of NBTI for pMOSFETs with Ultrathin Gate Dielectrics", IEDM Tech. Dig., p. 861, 2001.
- [12] Q. Xu, H. Qian, Z. Han, G. Lin, M. Liu, B. Chen, C. Zhu, and D. Wu, "Characterization of 1.9 and 1.4 nm ultrathin gate oxynitride by oxidation of nitrogen-implanted silicon substrate", IEEE Trans. on Electron Devices, Vol. 51, No. 1, 2004.
- [13] K. S. Krisch, M. L. Green, F. H. Baumann, D. Brasen, L. C. Feldman, and L. Manchanda, "Thickness dependence of boron penetration through O<sub>2</sub>- and N<sub>2</sub>O-grown gate oxides and its impact on threshold voltage variation", IEEE Trans. on Electron Devices, Vol. 43, No. 6, 1996.