

논문 2007-44SD-5-8

위상 검출기 출력을 이용한 백플레인용 5Gbps CMOS 적응형 피드포워드 이퀄라이저

(5Gbps CMOS Adaptive Feed-Forward Equalizer Using Phase Detector Output for Backplane Applications)

이기혁*, 성창경**, 최우영*

(K. H. Lee, C. K. Seong, and W. Y. Choi)

요약

0.13 μ m CMOS 공정을 이용하여 백플레인 응용 분야를 위한 5Gbps 고속 적응형 피드포워드 이퀄라이저를 설계하였다. 설계된 이퀄라이저는 클럭 복원 회로의 위상 검출기 출력을 이용하여 인접 심벌간의 간섭 정도를 판단하고 이퀄라이저의 보상 이득을 조절하는 피드백 회로를 갖는다. 이를 통해 여러 길이의 백플레인 채널 환경에 적합한 보상 이득을 제공하는 적응 동작을 한다.

Abstract

A 5Gbps CMOS adaptive feed-forward equalizer designed for backplane applications is described. The equalizer has adaptive feedback circuits to control the compensating gain of the equalizing filter, which uses a phase detector in clock recovery circuit to detect ISI (Inter-Symbol Interference) level. This makes the equalizer operate adaptively for a various channel length of backplane environments.

Keywords: feed-forward equalizer, phase detector, adaptive circuit, clock recovery circuit, backplane

I. 서론

데이터 전송 속도가 증가함에 따라 케이블이나 PCB 보드 상의 주파수 응답 손실 문제가 점점 커지고 있다. 이러한 주파수 응답 손실은 ISI (Inter-Symbol Interference)를 일으켜 전송속도나 거리에 제한을 주게 된다. 따라서 이러한 문제를 해결하기 위해 이퀄라이저 필터의 다양한 구조뿐만 아니라 여러 채널 환경이나 거리에 따라 적응형 동작을 하기 위한 여러 가지 제어 방법이 제안되어 왔다^[1-6].

기존의 split-path를 이용한 고주파 영역 통과 필터 (High-pass filter) 형태의 FFE (Feed-Forward

Equalizer)는 주로 그림 1과 같이 아날로그 방식의 스펙트럼 영역 필터링을 통해 채널 손실에 따른 적응 동작을 하도록 설계 되어 왔다^[1-2]. 기준이 되는 B 신호를 regenerator를 통해 생성해 이퀄라이저 출력 신호 A와 주파수 스펙트럼을 고주파 영역과 저주파 영역을 구분해 비교한 후 이를 이퀄라이저의 특성을 제어하는 방식이다. 이러한 방식은 추가적인 아날로그 블록이 많은 면적을 차지한다는 단점과 regenerator의 속도 한계 그리고 수동 필터의 주파수 설정 때문에 동작 주파수의 한계가 있다는 단점을 가지고 있다.

디지털 적응 제어 방식으로 LMS (Least Mean Square) 방법이 있지만 tap-delay를 이용한 FIR (Finite Impulse Response) 필터와 같이 Linear Combiner 형태에 쓰이는 적응 제어 방식으로 각 path의 weighting을 갖기 전의 신호가 independent 하다는 조건을 필요로

* 정회원, ** 학생회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic
Engineering, Yonsei University)

접수일자: 2007년3월13일. 수정완료일: 2007년4월3일

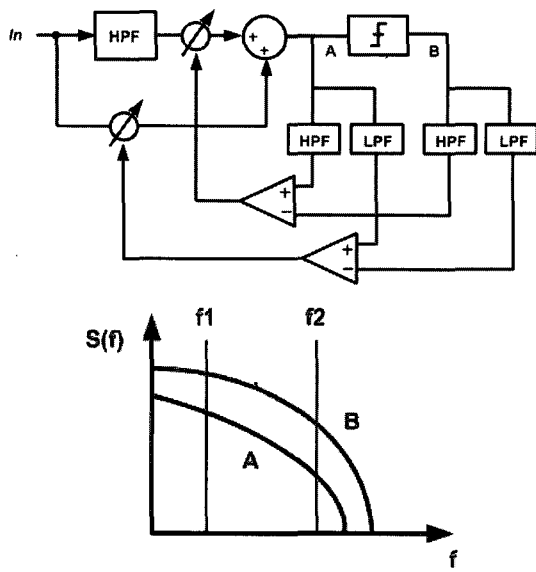


그림 1. 스펙트럼 필터링을 이용한 적응 제어
Fig. 1. Adaptive control using spectrum filtering.

한다^[3]. 따라서 고주파 영역과 저주파 영역을 조합하는 형태의 위의 필터에는 두 경로의 신호가 서로 dependent하기 때문에 가장 간단한 signed-LMS 방식을 적용할 경우 최적화된 결과로 수렴하지 않을 수 있다^[4].

본 논문에서는 위의 split-path를 이용한 고주파 영역 통과 필터 형태의 FFE에 또 다른 디지털 제어 방식인 DFE (Decision-Feedback Equalizer)나 tap-delay 형식의 FIR 필터에서 제안된 바 있는 데이터의 위상 정보를 이용하는 방법을 처음으로 적용하였다. 주로 이퀄라이저 뒷단에 위치하는 클럭 및 데이터 복원 회로 (Clock and Data Recovery)의 위상 검출기 (Phase Detector) 출력을 통해 Data의 edge 정보를 이용하는 방식으로 스펙트럼의 고주파 성분과 저주파 성분을 따로 따로 제어할 필요가 없다. 즉 저주파 성분과 고주파 성분의 상대적인 비율이 중요하고 이 정보를 data edge 정보를 통해 ISI가 제일 적도록 한 path 만 제어하거나 두 path의 비율만을 제어하면 되게 된다. 그리고 디지털 방식으로 동작하기 때문에 다른 노이즈에 대해 안정적으로 제어가 가능하고 이미 존재하는 위상 검출기의 출력을 이용하므로 추가적인 회로가 매우 적다는 장점이 있게 된다.

II. 본 론

1. 제안된 이퀄라이저의 구조 및 동작

이퀄라이저 필터의 구조는 그림 2와 같이 두 개의 경

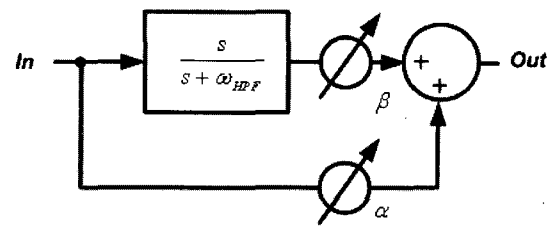


그림 2. 이퀄라이저 필터 구조
Fig. 2. Equalizer filter structure.

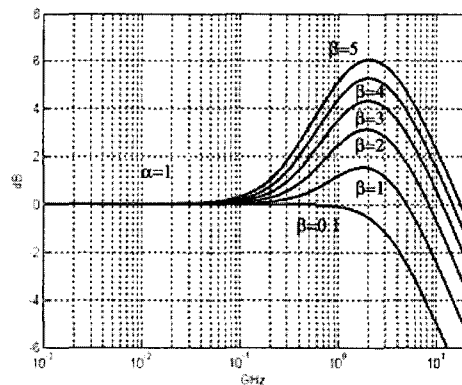


그림 3. 이퀄라이저 필터 이득
Fig. 3. Equalizer filter gain.

로를 통해 들어오는 입력신호를 더하는 구조로 이루어져 있다. 첫 번째 경로에는 입력 신호가 고주파 영역 통과 필터를 통과하여 들어오고 다른 경로는 신호가 그대로 입력되게 된다^[1-2].

위의 시스템을 식으로 표현하게 되면 식 (1)과 같은 시스템 함수를 갖게 되고 DC 이득은 α 에 의해 결정되고 zero 값은 식 (2)에서 보듯이 ω_{HPF} 와 α 가 일정할 때 β 에 의해 결정 된다. 따라서 전체 필터의 대역폭이 제한되어 있을 때 고주파 영역의 이득은 그림 3처럼 β 값에 의해 좌우 된다.

$$H(s) = \frac{(\alpha + \beta)s + \alpha\omega_{HPF}}{s + \omega_{HPF}} \quad (1)$$

$$s_z = \frac{\alpha}{\alpha + \beta}\omega_{HPF} \quad (2)$$

이퀄라이저의 적응 동작을 위한 제어 방식은 그림 4와 같이 이퀄라이저 뒷단에 위치하는 클럭 복원 회로의 위상 차이를 나타내는 Up과 Down 신호를 이용하도록 설계하였다^[5-6]. CLKQ의 상승 부분과 하강 부분의 UP과 DN 신호를 구분해서 상승 부분에서 UP 신호가 하강 부분에서 DN 신호가 나오면 보상 이득이 과도하게 되어 또다시 심볼 간의 간섭을 주게 되므로 이퀄라이저의 이득을 줄이고 반대로 클럭의 상승 부분에서 DN 신

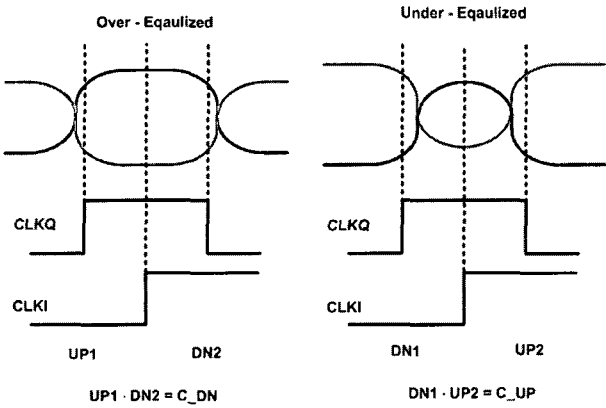


그림 4. 위상 검출기 출력을 이용한 보상 이득 판단
Fig. 4. Filter gain control using phase detector output.

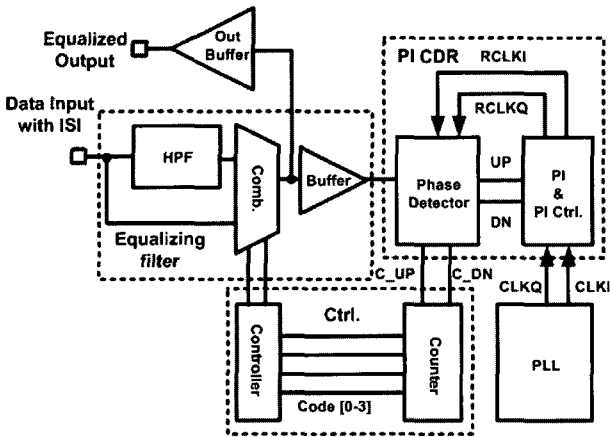


그림 5. 시스템 블록 다이어그램
Fig. 5. System block diagram.

호가 하강 부분에서 UP 신호가 나오면 보상 이득이 적다고 판단하여 이퀄라이저의 이득을 키우는 방식으로 이퀄라이저의 보상 이득을 제어할 수 있다.

위의 적응 동작 방식은 클럭 및 데이터 복원 회로를 필요로 하게 되므로 본 논문에서는 위상 동기 회로 (Phase Locked Loop)를 공유하는 위상 조합 (Phase Interpolating) 방식을 사용하였다. 여러 채널의 고속 데이터를 처리하는 경우 위상 조합 방식이 면적이나 전력 소모 면에서 효율적이기 때문이다. 각각의 채널 입력에 제안된 이퀄라이저와 적응 회로를 적용하게 되면 전체 시스템은 그림 5와 같이 구성할 수 있다. 채널을 지나 ISI를 갖는 입력 데이터는 이퀄라이저를 통과해 클럭 및 데이터 복원 회로의 위상 검출기로 입력된다. 여기서 클럭 동기를 위한 제어 신호와 이퀄라이저의 보상 이득을 제어하기 위한 신호를 출력해 복원된 클럭의 위상과 보상 이득을 제어하게 된다.

2. 회로 설계

가. 이퀄라이저의 필터 구조

이퀄라이저의 고주파 영역 통과 필터로 그림 6와 같이 R, C값을 통해 주파수 대역을 설정하는 수동 소자를 이용해 설계하였다. Capacitor 는 공정에서 제공하는 MIM capacitor를 사용하여 구현하였고 R, C 값은 각각 600Ω과 0.2pF으로 기생 capacitor 성분의 고주파 영역 통과된 신호에 대한 영향은 미미하다. 다른 능동 소자를 사용하지 않으므로써 앞 절에서 설명한 두 경로를 지난 신호의 시간 지연 차이를 최소화 하였고 두 신호의 크기 비율은 다음 단의 그림 7과 같은 결합기 (Combiner)의 바이어스 전류를 이용해 조절할 수 있도록 하였다. 위의 split-path 형태는 차동 회로의 source degeneration을 이용한 결합 경로 (merged-path) 형태에 비해 보다 넓은 보상 이득의 제어 영역을 갖게 된다^[1].

결합기의 바이어스 전류는 그림 8의 전류 제어기를 통해 제어하게 된다. 전류 제어기는 4bit의 디지털 코드로 16단계로 동작하며 바이어스 전압을 결정하는 두 트랜지스터에 흐르는 전류의 합이 항상 일정하기 때문에

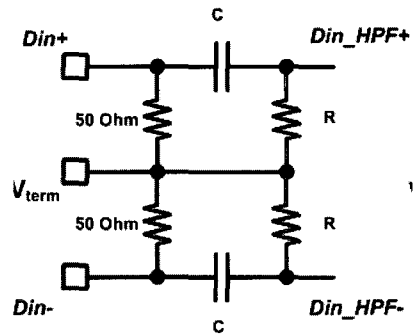


그림 6. 고주파 영역 통과 필터
Fig. 6. High pass filter.

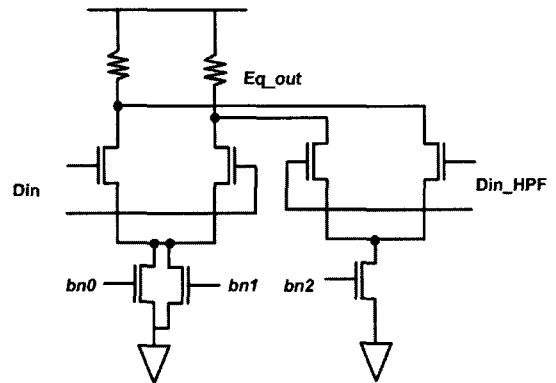


그림 7. 결합기
Fig. 7. Combiner.

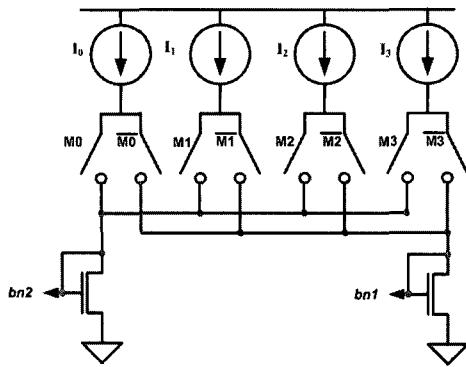


그림 8. 바이어스 전류 제어기
Fig. 8. Bias current controller.

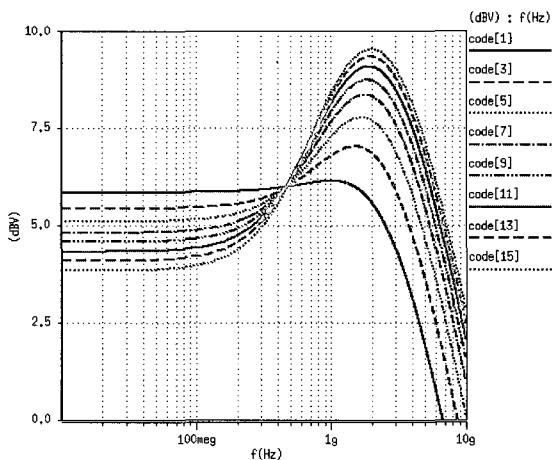


그림 9. 이퀄라이저 이득 곡선
Fig. 9. Equalzier gain curve.

결합기 다음 단의 신호의 공통 (common-mode) 전압이 항상 일정하게 된다. 또한 고주파 영역이 아닌 다른 쪽 경로의 신호를 줄여줌으로써 보다 높은 보상 이득을 가질 수 있다. 이를 code에 따른 이득 곡선을 시뮬레이션해보면 그림 9와 같은 이득 곡선을 나타낸다.

나. 위상동기 회로

클럭 데이터 복원 회로에 I/Q 반주기 클럭 (Half-Rate Clock)을 제공하기 위해 그림 10과 같은 전하 펌프 (Charge-pump)를 사용한 위상 동기 회로를 구성하였다.

VCO는 최대한 면적을 줄이기 위해 4단의 링 오실레이터를 사용하였고 각각의 증폭기 단 (Gain stage)은 그림 11과 같은 위상 조합 방식을 이용해 설계하였다^[7]. 버퍼를 지난 입력과 그렇지 않은 입력 신호의 조합 비율을 전류로 조절함으로써 전체 오실레이터의 발진 주파수를 컨트롤 할 수 있고 이를 두 개의 제어 신호로 나누어 charge-pump에 의한 Fine control 이외에 외부

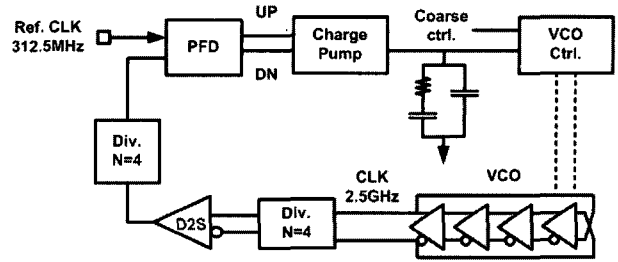


그림 10. 위상 동기 회로
Fig. 10. Phase lock loop circuit.

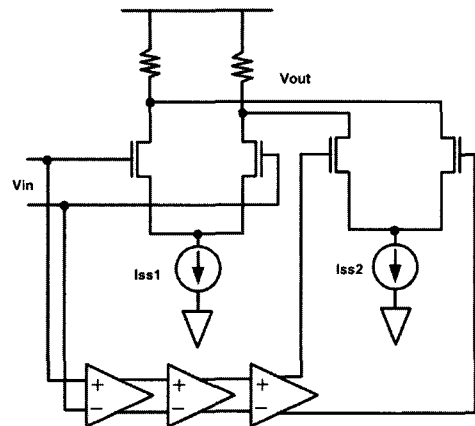


그림 11. 오실레이터 증폭기 단
Fig. 11. Oscillator gain stage.

에서 Coarse control 할 수 있게 하였다. 이때 양 쪽 pair에 흐르는 전류를 항상 일정하게 함으로써 발진 신호의 진폭은 항상 일정하다.

다. 클럭 및 데이터 복원 회로

클럭 및 데이터 복원 회로는 그림 12와 같은 위상 조합 형태의 구조로 되어 있다^[8]. 클럭 위상 제어기 (Controller)는 위상 검출기의 UP과 Down 신호를 4

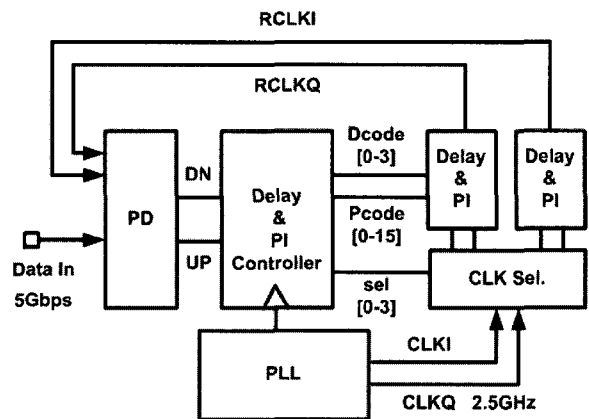


그림 12. 위상 조합 방식의 클럭 데이터 복원 회로
Fig. 12. Phase-interpolating clock and data recovery circuit.

분주된 클럭으로 샘플링해 클럭 위상을 결정하는 위상 제어 신호를 출력하게 된다. sel[0-3] 신호는 위상 차트의 사분면을 결정하게 되고 각 사분면에 대한 위상 단계를 thermometer 코드인 Pcode[0-15]에 의해 위상 조합기 (Phase Interpolator)를 통해 16단계로 조합하게 된다. 그리고 그 각 위상 단계를 세분화하기 위한 Dcode[0-3]에 의해 시간 지연 버퍼 (Delay Buffer)를 제어해 4단계의 위상 차이를 제어하게 된다. 즉 2.5GHz를 기준으로 했을 때 1.56 ps위 위상 분해도(resolution)를 갖게 된다.

그림 13은 기준 클럭이 50ppm 차이가 날 때 복원된 클럭의 위상이 데이터의 위상을 따라가는 것을 위상 조합기와 시간 지연 버퍼에 입력되는 디지털 코드의 변화를 통해 나타낸 결과이다. 주파수 차이를 따라가기 위

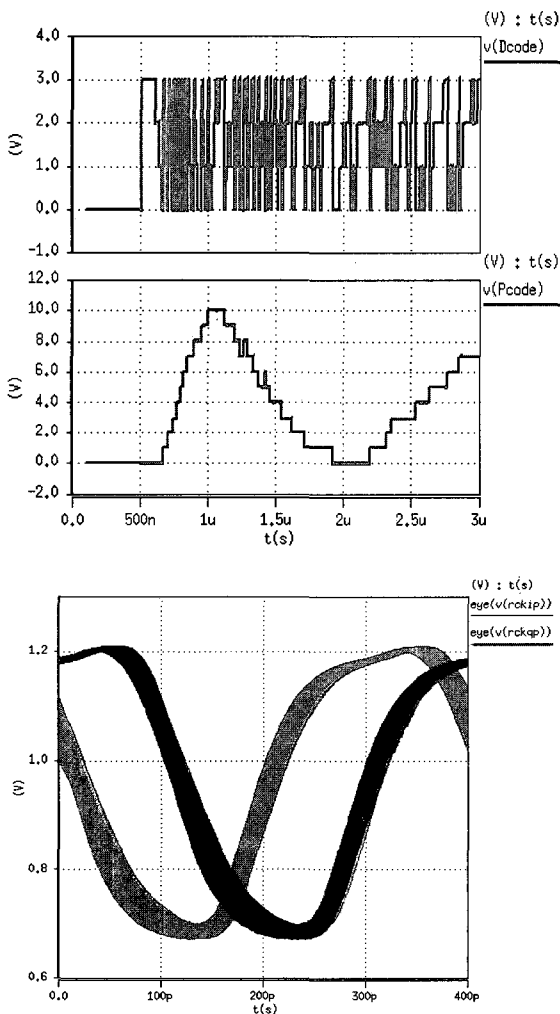


그림 13. 위상 조합기의 위상 조절 코드와 복원된 클럭 지터
Fig. 13. Phase control code of phase interpolator and recovered clock jitter.

해 위상 조합기와 시간 지연 버퍼를 제어하는 코드가 계속적으로 변하는 것을 볼 수 있다. 그리고 복원된 클럭은 PLL에서 나온 기준 클럭의 지터 및 데이터 입력에 따른 코드 변화에 따른 지터를 포함하고 있다.

라. 적응 동작 회로

적응 동작을 위한 귀환 제어 루프 (feedback control loop)를 구성하기 위해 기존의 half-rate 위상 검출기를 그림 14와 같이 새롭게 구성하였다. 클럭의 상승과 하강 두 부분에서 위상 차이를 판별하여 클럭의 위상 차이를 나타내는 UP과 DN 신호 이외에 보상 이득이 적은지 과도한지를 판단하는 C_UP과 C_DN 신호를 발생하게 된다. 이러한 두 신호를 다시 4분주 된 클럭으로 샘플링해 4bit의 Counter를 가감하게 되어 보상 이득 조절 코드를 내보내게 된다.

그림 15는 PCB 80cm 전송 된 입력 신호의 보상 이득 조절 코드의 변화를 시뮬레이션 한 결과이다. 코드에 따라 그림 8의 전류 제어기를 제어해 이퀄라이저에 적합한 보상 이득을 제공한다.

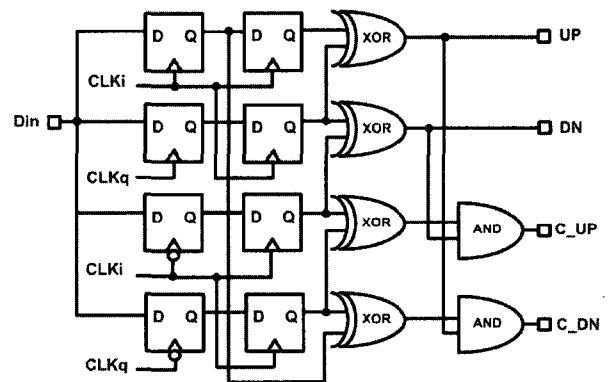


그림 14. 보상 이득 판단을 위한 위상 검출기 구조
Fig. 14. Phase detector structure for equalizer gain control.

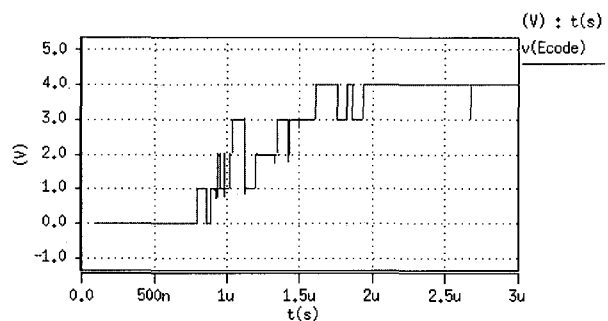


그림 15. 이퀄라이저의 보상 이득 조절 코드
Fig. 15. Equalizer gain control code.

III. 결 과

전송 채널의 경우 PCB는 differential impedance 100 Ohm을 갖는 strip-line을 HSPICE의 w-model을 이용하여 모델링 하였고 칩 패키지는 직렬로 연결된 RLC 모델을 사용하여 포함하였다. 전송 거리에 따른 채널의 주파수 응답 곡선을 시뮬레이션 하면 그림 16과 같은 결과를 얻을 수 있다.

그림 17은 각각 PCB 10cm 와 120cm 전송된 신호의 입력과 이퀄라이저가 적용 동작한 후의 출력 신호의 eye-diagram 을 나타낸다. 10cm 전송의 경우 출력 신호의 eye-diagram에 약간의 jitter가 더 생긴 이유는 첫 번째 보상 이득 단계에서의 dithering 의해 불필요한 보상 이득이 생겨 추가적인 ISI가 생겼다고 할 수 있고 제어 코드를 늘려 보상 이득 단계를 보다 세부적으로 나눌 경우 dithering 에 의한 영향은 줄어들 것으로 보인다.

전송 거리에 따른 데이터 입력 신호와 이퀄라이저 출력 신호의 ISI에 의한 peak-to-peak jitter를 비교해 보면 그림 18과 같이 설계된 회로가 다양한 입력 신호의 ISI 정도에 대해 적절한 보상 이득을 제공해 jitter가 확연히 줄어들음을 볼 수 있다.

그림 19는 CMOS 0.13 μ m 공정으로 설계된 회로의 레이아웃을 보여주는 그림이다. Output Buffer를 제외한 전체 면적은 약 500 μ m x 500 μ m 이고 이중 이퀄라이저와 컨트롤러가 차지하는 면적은 100 μ m x 200 μ m 정도이다. 그리고 Output buffer를 제외한 나머지 블록의 소모 전력은 1.2V 전원에서 약 48mW이고 이중 이퀄라이저와 컨트롤러가 소모하는 전력은 6mW 정도로 면적이나 전력 소모에 있어 기존의 아날로그 방식과 비

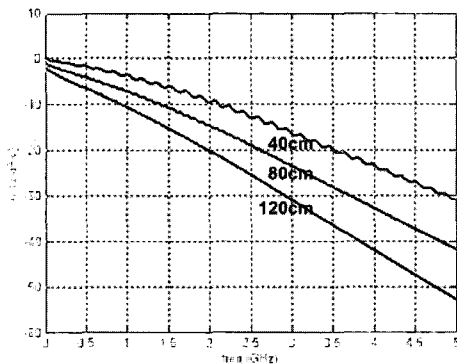
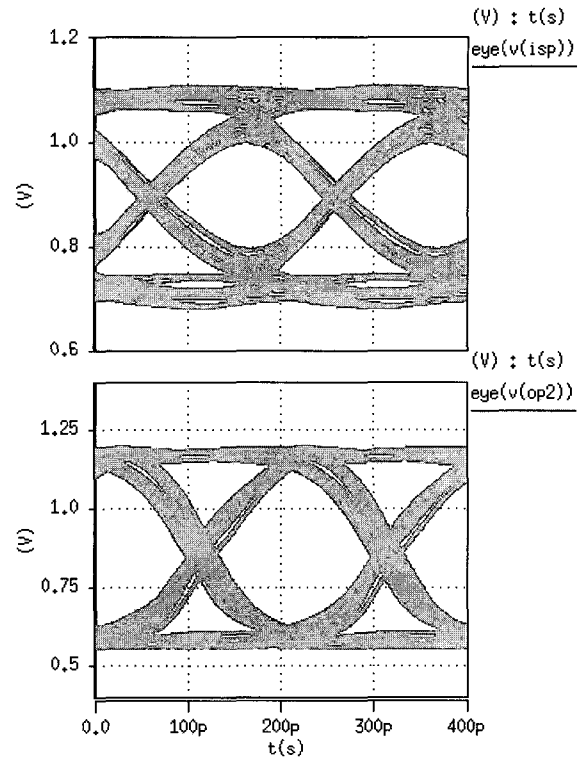
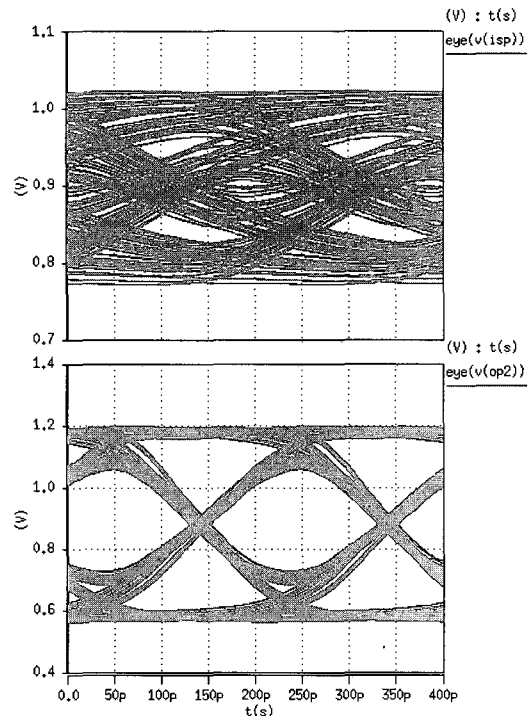


그림 16. PCB 전송 거리에 따른 채널 주파수 응답 곡선
Fig. 16. Frequency response of PCB channel for various transmission length.



(a)



(b)

그림 17. (a) 10cm 와 (b) 120cm PCB 전송 후의 입력 신호와 이퀄라이저 출력 신호

Fig. 17. Eye-diagrams of equalizer Input and output signals after (a)10cm and (b)120cm PCB transmission.

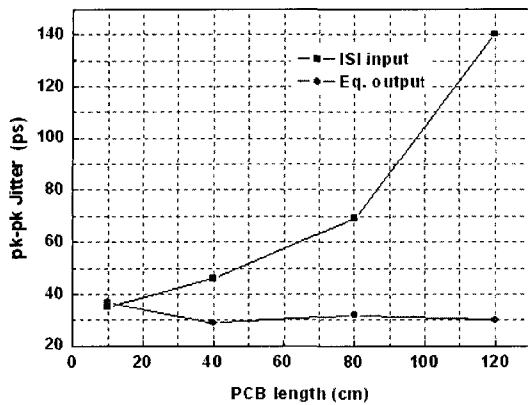


그림 18. 전송 거리에 따른 입력 신호와 이퀄라이저 출력 신호의 ISI jitter 변화

Fig. 18. ISI jitter of equalizer input and output signals for various transmission length.

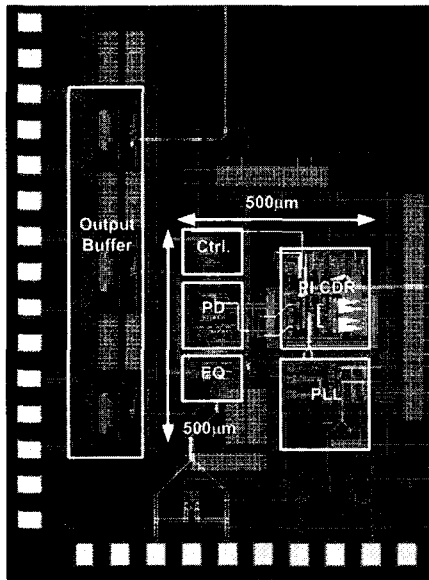


그림 19. 칩 레이아웃

Fig. 19. Chip layout.

표 1. 칩 성능 요약

Table 1. Performance summary.

Process	0.13µm CMOS
Data rate	5Gbps
Simulated ISI Jitter (pk-pk) performance	< 40ps (< PCB 120cm)
Power consumption	PLL: 16 mW (@ 1.2V) CDR: 26mW (@ 1.2V) Eq.+Ctrl.: 6mW (@ 1.2V)
Chip size	PLL : 200µm x 200µm CDR : 500µm x 200µm Eq+Ctrl. : 100µm x 200µm

교해 매우 적은 부분을 차지하고 있다.

전체 칩의 성능을 표 1에 요약하였다.

IV. 결 론

CMOS 0.13µm 공정을 이용해 적은 면적과 전력 소모를 갖는 5Gbps 로 동작하는 필터 형태의 이퀄라이저를 설계하였다. 클럭 데이터 복원 회로의 위상 검출기를 변형해 이퀄라이저의 보상 이득을 디지털 신호로 제어함으로써 다양한 전송 거리에 대해 적응 동작하도록 설계하였다.

참 고 문 헌

- [1] J. S. Choi, M. S. Hwang and D. K. Jeong. "A 0.18µm CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method.", *IEEE J. Solid-State Circuits*, vol. 39, pp. 419-425, March 2004.
- [2] S. Gondi, J. Lee, D. Takeuchi and B. Razavi, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," *ISSCC Dig. Tech. Paper*, pp. 328-329, Feb., 2005.
- [3] A. C. Carusone, "Analog Adaptive Filters." *tutorial at the IEEE Int. Symp. Circuits and Syst.* May 2003.
- [4] N. Krishnapura, *et al.*, "A 5Gb/s NRZ Transceiver with Adaptive Equalization for Backplane Transmission", *ISSCC Dig. Tech. Paper*, pp. 60-61, Feb., 2005.
- [5] R. Payne, *et al.*, "A 6.25-Gb/s Binary Transceiver in 0.13-µm CMOS for Serial Data Transmission Across High Loss Legacy Backplane Channels", *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2646-2657, Dec. 2005.
- [6] A. C. Carusone, "An Equalizer Adaptation Algorithm to Reduce Jitter in Binary Receivers", *IEEE Trans. on Circuits Syst II*, vol.53, no.9, Sept. 2006.
- [7] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw Hill, 2003.
- [8] C. K. Seong, S. W. Lee and W. Y. Choi, "A 1.25-Gb/s Digitally-Controlled Dual-Loop Clock and Data Recovery Circuit with Enhanced Phase Resolution", *IEICE Trans. Electron.*, vol.E90-c, no.1, pp. 165-170, Jan. 2007.

저 자 소 개



이 기 혁(정회원)
 2000년 연세대학교 전자공학과
 학사 졸업.
 2002년 연세대학교 전자공학과
 석사 졸업.
 2007년 현재 연세대학교
 전자공학과 박사 과정.

<주관심분야 : CMOS 아날로그 회로설계, High speed I/O>



성 창 경(학생회원)
 2004년 연세대학교 전자공학과
 학사 졸업.
 2006년 연세대학교 전자공학과
 석사 졸업.
 2007년 현재 연세대학교
 전자공학과 박사 과정.

<주관심분야 : CMOS 아날로그 회로 설계, PLL, CDR>



최 우 영(정회원)
 1988년 Massachusetts Institute
 of Technology, EECS,
 B.S. 및 M.S. degree
 취득.
 1994년 동대학원 Ph.D. 취득.
 1995년 일본 NTT 광전자 연구소
 Post-Doctoral Fellow.

2007년 현재 연세대학교 전기전자공학과 정교수
 <주관심분야 : 고속 회로 및 시스템, 광전자 및
 마이크로웨이브 포토닉스>