

논문 2007-44SD-5-7

# 시뮬레이티드 어닐링을 이용한 신뢰도 최적 소자배치 연구

## ( A Study on Reliability-driven Device Placement Using Simulated Annealing Algorithm )

김 주 년\*, 김 보 관\*\*

( Joonyun Kim and Bo-Gwan Kim )

### 요 약

본 논문에서는 열전도 환경하의 MCM과 진공에서 작동하는 우주전자 장비의 신뢰도 최적화를 위한 부품 배치 연구에 관해 기술하고 있다. 최적배치를 위해 초기 부품 배치 후 FDM을 solver로 이용하여 부품의 접합온도를 계산하였으며 접합온도를 이용하여 전자장치의 신뢰도를 예측한 후 시뮬레이티드 어닐링 방법을 통해 신뢰도 최적배치 결과가 기술되었다. 시뮬레이티드 어닐링 적용 시 흔들기는 부품 치환방식을 이용하였으며 온도 감소계수 및 열 평형 계수의 변화에 따른 시뮬레이션 결과를 기술하였으며 특히 장치의 고장률 최소화 목적함수와 평균 접합온도 최소화 목적함수에 대해 각 적용결과에 대한 비교분석을 통하여 새로운 신뢰도 최적화 접근방법을 제안하였다.

### Abstract

This paper introduces a study on reliability-driven device placement using simulated annealing algorithm which can be applicable to MCM or electronic systems embedded in a spacecraft running at thermal conduction environment. Reliability of the unit's has been predicted with the devices' junction temperatures calculated from FDM solver and optimized by simulated annealing algorithm. Simulated annealing in this paper adopts swapping devices method as a perturbation. This paper describes and compares the optimization simulation results with respect to two objective functions: minimization of failure rate and minimization of average junction temperature. Annealing temperature variation simulation case and equilibrium coefficient variation simulation case are also presented at the two respective objective functions. This paper proposes a new approach for reliability optimization of MCM and electronic systems considering those simulation results.

**Keywords :** Reliability Optimization, Simulated Annealing, Junction Temperature, Thermal Analysis, Finite Differential Method

### I. 서 론

MCM(Multi Chip Module)과 같이 열전도가 주를 이루는 부품의 열해석과 인공위성, 우주탐사선, 그리고 우주왕복선과 같이 진공상태에서 작동하는 우주비행체 전자장치(spacecraft electronics units)의 열해석은 거의 동일한 개념으로 접근이 가능하다. 전자소자의 열 문제는 소자의 신뢰도 향상을 위해 매우 중요한데, 소자내

부에 열이 집중되면 미시적으로는 소자의 전이동(electro migration)과 같은 현상으로 나타나며 거시적으로는 고열 점(hot spot) 현상이 나타나 소자 고장을 유발하며 나아가서는 시스템 레벨의 장치고장으로 나타난다. 전자장치 혹은 MCM의 신뢰도는 장치와 MCM을 구성하는 각 구성소자들의 신뢰도에 의해 결정되며, 이들 신뢰도의 합으로 계산된다. MCM 혹은 장치 PCB상의 부품 배치는 VLSI에서의 배치 및 라우팅(P&R)과 동일한 문제이다. MCM에서는 배선길이(wire length)와 면적이 매우 중요하게 차지하지만 우주 전자 장치들은 탑재되면 수리가 불가능하기 때문에 배선길이나 면적보다 시스템 구성장치들의 신뢰도가 가장 중요하게 대두된다.

\* 정희원, 한국항공우주연구원  
(Korea Aerospace Research Institute)

\*\* 정희원, 충남대학교 전자공학과  
(Chungnam National University)

접수일자: 2007년3월2일, 수정완료일: 2007년3월27일

신뢰도와 부품 배선을 고려한 PCB 상 부품배치에 관한 연구는 1990년도 초반에 매릴랜드대학 CALCE (Center for Advanced Life Cycle Engineering)의 연구로부터 널리 집중적으로 수행되었다. 이 연구에서는 대류 조건 PWB(Printed Wiring Board)의 부품실패율을 최소화하기 위한 배치연구가 시작되었으며 부품의 배선 길이를 최소화하면서 신뢰도를 높이는 연구가 소개되었다. 이 방법에서는 1차원 부품의 배치를 바탕으로 부품의 위치를 바꾸었을 때 온도가 낮으면 선택하는 방법을 최적화를 하였는데, 2차원 부품배치를 고려한 전역배치의 연구는 수행되지 못하였다<sup>[1]</sup>.

1990년대 후반 이후에 VLSI/ULSI에서 고열점(Hot-spots)은 VLSI/ULSI의 성능저하와 신뢰도 심각한 문제가 되므로 고열점을 줄이기 위한 연구가 진행되었다<sup>[2-3]</sup>. 그 방법의 하나로 부품을 배치할 때 표준 셀은 전력소모를 최소화 하고 매크로셀은 열적 배치를 고려하여 고열점을 최소화하는 방법이 제시되었다. 그러나 이와 같은 접근은 실제로 신뢰도를 최적화 보다는 고열점 제거에 초점을 두었다.

최근에는 열력모델(thermal forced model)을 이용하여 온도최적화 하여 신뢰도를 높이는 연구가 수행되었다. 이 연구에서는 건설적 알고리즘(constructive algorithm)과 열력 배치 알고리즘과 같은 휴리스틱한 알고리즘을 적용하여 MCM 혹은 혼합(hybrid)회로에 응용하여 신뢰도를 최적화하였다<sup>[4-5]</sup>. 그러나 이 논문에서는 배치를 위한 소자들의 중요한 파라미터인 활성화에너지 값을 하나의 값(1.0eV)으로 선정하여 다양한 부품으로 구성될 수 있는 PCB상의 소자 배치의 문제는 고려되지 않았다.

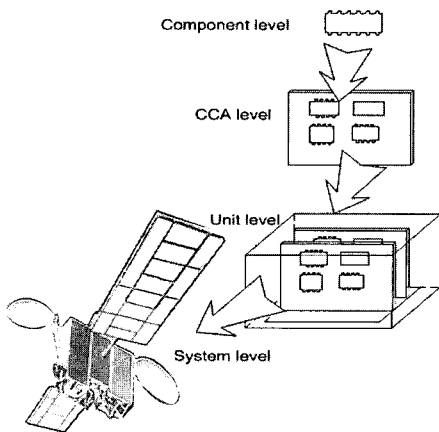


그림 1. 신뢰도 레벨: 부품, CCA, 장치, 시스템  
 Fig. 1. Reliability level: component, CCA, unit, and system.

본 논문에서는 2차원 부품배치와 다양한 열저항과 활성화에너지를 갖는 소자들로 구성된 전자장치 CCA (Circuit Card Assembly)의 신뢰도 최적화를 고려한 PCB 상의 부품배치에 관한 연구결과를 기술하였다. 최적화를 위해 시뮬레이티드 어닐링 탐색알고리즘을 활용하였다. 신뢰도를 계산하기 위한 부품의 온도는 부품의 접합온도가 사용되며 부품의 온도를 구하기 위해 FDM 방법을 이용하였다. 신뢰도를 계산하기 위한 활성화에너지는 MIL-HDBK-217F에 나타나있는 대표적 소자의 활성화에너지를 활용하였다<sup>[6]</sup>. 또한 최적화 방법 계수를 다양하게 변화시키고 목적함수를 새롭게 변화시켜 시뮬레이션을 통해 얻은 결과를 바탕으로 새로운 최적설계 방법을 제안하였다.

## II. 전자소자 신뢰도 모델 및 열 모델

### 1. 전자소자 신뢰도 모델

전자소자의 고장 밀도 함수(failure density function)  $f(t)$ 는 시간에 대해 누적 고장률  $F(t)$ 의 차이 값으로 시간  $t$ 에 대해 고장률은 증가하며 식 (1)과 같다. 신뢰도와 누적고장은 식 (2)로 표현된다.

$$f(t) = \frac{dF(t)}{dt} = - \frac{dR(t)}{dt} \quad (1)$$

$$R(t) = \int_t^\infty f(t)dt, \quad F(t) = \int_0^t f(t)dt \quad (2)$$

순시적 고장률(instantaneous failure rate) 또는 위험률(hazard rate)  $\lambda$ 는 시간  $t$ 에서의 고장률을 나타내며 식 (3)과 같다. 그리고 신뢰도는 고장률에 대해 식 (4)와 같이 표현되며 음의 지수분포(negative exponential distribution)함수를 갖는다. 한편 고장수리가 불가능한 시스템의 경우 고장률  $\lambda$ 는 MTTF(Mean Time To Failure)의 역수이다.

$$\lambda(t) = \frac{f(t)}{R(t)} = - \frac{dR(t)}{dt} \times \frac{1}{R(t)} = - \frac{d \ln R(t)}{dt} \quad (3)$$

$$R(t) = \exp\left(- \int_0^t \lambda(t)dt\right) = \exp(- \lambda t) \quad (4)$$

$$= \exp(- t/MTTF)$$

소자 하나의 고장률은 식 (5)과 같다. 고장률은 Arrhenius 온도식을 따르며 기준온도에서의 개별 소자

고장률 대비 작동온도에서의 개별소자 고장률의 비로 나타낸다. 전자소자의 고장률 단위는  $failure/10^6hrs$  이다.

$$\lambda(T_i) = \lambda(T_r) \times \exp\left[\frac{E_a}{k} \left(\frac{1}{T_r} - \frac{1}{T_i}\right)\right] \quad (5)$$

- $\lambda(T_i)$ :  $T_i$  온도에서의 개별 소자 고장률
- $\lambda(T_r)$ :  $T_r$  기준(reference) 온도에서의 개별 소자 고장률
- $E_a$ : 활성화에너지(Activation energy)
- $k$ : Boltzmann 상수( $8.62 \times 10^{-5} eV$ )

한편, 모듈의 고장률은 개별소자 고장률의 합으로 나타나며 식 (6)과 같다. 이때  $j$ 은 부품의 개수를 나타낸다.

$$\lambda_s = \sum_{i=1}^j \lambda(T_i) \quad (6)$$

활성화에너지( $E_a$ ) 단위는 eV이며 소자에서의 활성화에너지는 전자부품이 화학적 반응이 일어나는 최소에너지를 말한다. 한편 전자부품 신뢰도에서 활성화에너지는 소자의 고장이 발생하는 최소에너지를 말한다. 고장 메커니즘에 따라 활성화에너지는 넓은 범위로 분포하는데 대표적인 전자소자의 고장메커니즘과 발생 활성화에너지 관계는 도표 1에 나타나있다<sup>[7-8]</sup>. 활성화에너지는 반도체 소자 제조공정에 의해 결정되는 상수이며 소자가 일단 선택되면 이 값은 결정된다. 설계시 활성화에너지가 다른 부품의 교체가 불가능한 시스템에서는 식 5에서 나타난 바와 같이 MCM 혹은 CCA에 장착된 부품의 작동온도에 의해 신뢰도가 결정된다.

일반적으로 전자 소자로부터 전자장치의 신뢰도를

표 1. 일반적인 고장 메커니즘에 대한 활성화 에너지  
Table 1. Activation Energies of Common Failure-Mechanisms.

고장 메커니즘	가속인자	Ea (eV)
Metal Corrosion	습도, 온도, 전압	0.3-0.6
Electro-migration(Al)	온도, 전류밀도	0.35-0.85
Metalization migration	온도, 전류밀도	1
Hot Carrier	전류, 온도	-0.06
TDDB	전계, 온도	0.3-1.0
Au-Al intermetallic growth	온도	0.5-1.0

계산하는 수식모델로는 CNET, MIL-HDBK-217F, BellCore, China 293등이 사용되는데 본 논문에서는 엄격한 우주환경시스템 신뢰도 예측에 활용되고 있는 MIL-HDBK-217F의 수식을 활용하였다<sup>[6]</sup>.

2. 전자소자의 열 모델

전자소자 신뢰도 계산에 사용되는 온도는 소자의 접합(junction) 온도이다. 접합온도를 구하기 위한 온도 모델로는 부품의 작동 환경에 따라 대류-전도 혼합모델, 혹은 전도모델로 분류되며 또한 JEDEC(Joint Electronics Device Council)과 같은 표준화 된 모델 혹은 제조사 고유의 열모델로 분류된다. 일반적으로 소자의 열모델은 전도와 대류에 의해 결정되는데, MCM과 같이 대류가 발생하지 않는 환경에서의 소자나 진공상태에서의 전자 소자들은 대류현상이 없어지게 되고 열전도가 온도 흐름을 지배한다. 그림 2는 열 전도 환경 하에서의 소자의 열 전도 모델을 보여주고 있다.

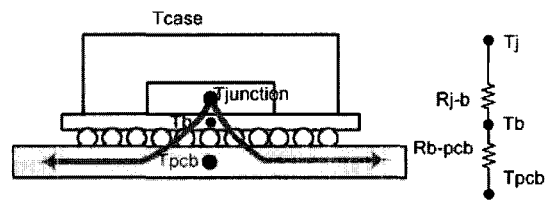


그림 2. 전자소자의 열전도 모델  
Fig. 2. Thermal conduction model of electronic device.

$R_{j-b}$ 와  $R_{b-pcb}$ 의 값을 이용하여 식 (7)으로써 접합온도 계산이 가능한데 일반적으로 소자 제조사의 사양서를 통해 확보할 수 있는 데이터는 열저항( $\theta_{jc}$ )이 유일하므로 일반적으로 식 (8)을 이용하여 접합온도를 계산한다. 이때  $T_c$ 는 부품 케이스 온도,  $P$ 는 소모전력으로 단위는 와트(Watt)이며  $\theta_{jc}$ 는 케이스와 접합부사이 열저항(thermal resistance)이며 단위는  $^{\circ}C/W$ 이다.

$$T_j = T_{pcb} + P \times (R_{j-b} + R_{b-pcb}) \quad (7)$$

$$T_{jc} = T_c + P \times \theta_{jc} \quad (8)$$

3. FDM을 이용한 소자 열 해석

열 전도는 온도 기울기에 비례하며 높은 온도에서 낮은 온도로 전도가 이루어지므로 음의 기울기를 가지며 비례상수  $k$ 와 곱으로 나타난다. 열전도 방정식은 Fourier의 법칙으로 식 (9)와 같다<sup>[9]</sup>.

$$q = -k \frac{dT}{dx} \quad (9)$$

$k$ : 열 전도도(heat conductivity,  $W/m \cdot K$ )

$q$ : 열 유속(heat flux,  $W/m^2$ )

식 (9)로부터 1차원에서의 순수 열전도(net heat conduction) 식은 식 (10)과 같고, 이때  $q_{net}$ 는 순수(net) 열 유속이다.

$$q_{net}A = Q_{net} = -kA \frac{\partial^2 T}{\partial x^2} \delta x \quad (10)$$

한편 열 보존법칙 이용하면 1차원 천이 온도방정식이 식 (11)으로 표현된다. 이때  $\alpha = k/\rho c_p$ 는 열확산율(thermal diffusivity,  $J/m^3 \cdot K$ )이며,  $\rho$ 는 밀도( $kg/m^3$ )이며  $c_p$ 는 비열( $J/kg \cdot K$ )이다. 그리고  $\dot{q}$ 는 단위체적당 열에너지 발생률( $W/m^3$ )이다.

$$\nabla^2 T + \frac{\dot{q}}{k} = \frac{1}{\alpha} \frac{\partial T}{\partial t} \quad (11)$$

1차원 온도방정식에서 단순한 형태의 3차원 열 방정식은 식 (12)와 같다.

$$\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} + \frac{\dot{q}}{k} = \frac{1}{\alpha} \frac{\partial T}{\partial t} \quad (12)$$

인공위성과 같은 전자장치나 혹은 MCM의 소자는 최소한 수 시간 이상 작동하므로 열평형 상태에 도달하는 천이 과정은 큰 의미가 없고 이미 온도가 열적으로 일정(steady)한 조건인 정상상태의 온도가 의미가 있다. 이 정상상태 조건하에서는 시간에 따른 온도 열 변화는 없으므로 2차원 공간 온도는 식 (13)과 같다.

$$\frac{\partial}{\partial x} \left( k \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k \frac{\partial T}{\partial y} \right) + \dot{q} = 0 \quad (13)$$

전자부품의 온도를 계산하기 위해 일반적으로 유한요소법과 유한차분법이 사용된다. 2차원에서의 온도 계산은 유한 요소법에 비해 유한 차분법이 편리하므로 널리 사용되며 본 논문에서도 유한 차분법을 사용하였다.

유한 차분법을 이용하면 열 발생이 있는 정상상태 조건에서는 최종적으로 식 (14)와 같이 표현된다.

$$T_{m,n+1} + T_{m,n-1} + T_{m-1,n} + T_{m+1,n} + \frac{\dot{q}(\Delta x)^2}{k} - 4T_{m,n} = 0 \quad (14)$$

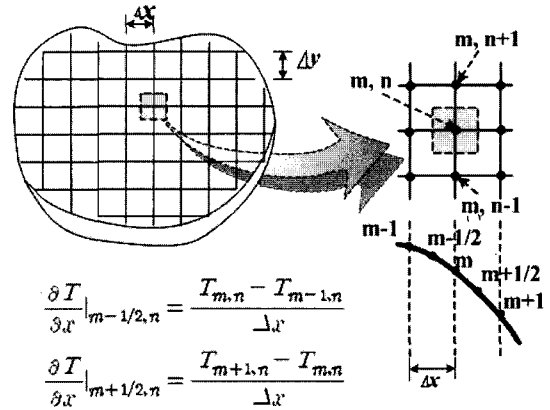


그림 3. 2-차원 열전도 유한차분 근사  
Fig. 3. 2-D approximate finite differential of thermal conduction.

소자의 접합온도는 식 (8)과 같이 나타나는데 주변 온도와 자체 발열온도와 주변 소자들에 의한 열상승분 계산 결과( $T_{FDM}$ )의 합으로 표현될 수 있다.

$$T_{jc} = T_{amb} + T_{FDM} + P \times \theta_{jc} \quad (15)$$

PCB 혹은 MCM에 배치된 소자의 케이스 온도를 구하기 위한  $T_{FDM}$ 값은 다음 식(16)과 같이 행렬로 나타낸다.  $[a]$ 는 2차원 유한차분행렬이다.

$[T_{F1}, T_{F2}, \dots, T_{Fn}]^T$ 은 유한차분행렬에 의한 각 소자의 온도이며  $[b_1, b_2, \dots, b_n]^T$ 는 식 (14)에서  $\left[ \frac{\dot{q}_1(\Delta x)^2}{k}, \frac{\dot{q}_2(\Delta x)^2}{k}, \dots, \frac{\dot{q}_n(\Delta x)^2}{k} \right]^T$  항으로 모두 열벡터(column vector)이다.

$$\begin{aligned} a_{11}T_{F1} + a_{12}T_{F2} + a_{13}T_{F3} + \dots + a_{1n}T_{Fn} &= b_1 \\ a_{21}T_{F1} + a_{22}T_{F2} + a_{23}T_{F3} + \dots + a_{2n}T_{Fn} &= b_2 \\ \vdots & \\ a_{n1}T_{F1} + a_{n2}T_{F2} + a_{n3}T_{F3} + \dots + a_{nn}T_{Fn} &= b_n \end{aligned} \quad (16)$$

행렬 벡터의 해를 구하기 위해 Gauss 소거법, LU 분해법(decomposition), Gauss-Seidel 소거법이 널리 사용되는데 본 논문에서는 해를 얻는데 Gauss-Seidel 소거법을 이용하였다. 최종적으로 구하고자하는 각 소자들의 접합온도는 식 (17)로 나타낼 수 있다.

$$\begin{bmatrix} T_{jc1} \\ T_{jc2} \\ \vdots \\ T_{jcn} \end{bmatrix} = \begin{bmatrix} T_{F1} \\ T_{F2} \\ \vdots \\ T_{Fn} \end{bmatrix} + \begin{bmatrix} P_1 \times \theta_{jc1} \\ P_2 \times \theta_{jc2} \\ \vdots \\ P_n \times \theta_{jcn} \end{bmatrix} + T_{amb} \quad (17)$$

4. 열 전도 모델

본 논문에서는 CCA의 신뢰도를 최적화를 위한 열전도 시뮬레이션 모델로는 FR-4층과 구리층(copper layer)로 구성된 8층의 PCB 기판을 고려하였다. 그림 4는 모델링에 사용된 CCA 소자와 PCB의 모델링을 보여준다. CCA를 구성하는 소자들은 다양한 소모전력, 열저항 그리고 활성화에너지를 갖는 소자들을 고려하여 PCB 상에 일정한 간격으로 배치를 하였다. PCB 주변은 일정한 온도로 유지되며 지속적으로 열이 빠져나갈 수 있는 열 싱크(heat sink)로써 웨지록(wedge lock)을 배치하였다. PCB는 4층의 구리층과 4층의 에폭시(FR-4)층으로 가정하였다. PCB를 이용한 열 전도도( $k$ )의 계산은 참고문헌에 따라 다음과 같이 계산하였다<sup>[10]</sup>. 전도도( $k_{PCB}$ )를 계산할 때 PCB를 구성하는 에폭시층의 경우와는 달리 구리층은 충만도(fill factor,  $f.f.$ )에 따라 전도도가 달라지므로 충만도를 고려하여야 한다. 수식에서  $m$ 은 PCB를 구성하는 구리층의 개수이며  $n$ 은 에폭시 층의 개수이다. 그리고  $t_i$ 는 구리층의 두께이

며  $t_j$ 는 에폭시층의 두께이다.

$$k_{PCB} = 0.8 + 350 \times \left( \frac{\sum_{i=1}^m t_i \times f.f.}{\sum_{i=1}^m t_i + \sum_{j=1}^n t_j} \right) \quad (18)$$

PCB를 통한 열전도는 PCB 자체가 일정 열 전도도  $k$ 를 가지면서 열적으로 균일(isothermal)한 2차원 구조로 가정하였다. 이는 MCM과 PCB의 온도 계산을 위해 사용하는 일반적 접근방법이다. 본 논문에서 최적배치를 위하여 그림 5에서와 같이 PCB 상에 49개의 소자를 배치하였다.

각 소자들의 열 저항 값은 10~27(°C/W) 범위 내에 랜덤하게 분포를 가지도록 설정하였다. 활성화에너지는 MIL-HDBK-217F에서와 같이 CMOS, VHSIC CMOS, 그리고 ASTTL 계열 소자 값들을 이용하여 설정하였다.

5. 시뮬레이티드 어닐링을 이용한 신뢰도 최적배치

TSP(Traveling Salesman Problem) 문제 경우 해 공간(solution space)이 매우 커서 전역최적화 알고리즘을 이용하여 최적해를 찾는다. 전역최적화 방법으로는 유전알고리즘(GA), Taboo 탐색 그리고 시뮬레이티드 어닐링(SA) 방법이 널리 사용되고 있다. SA는 확률적 탐색알고리즘으로 Kirkpatrick에 의해 소개된 이후 복잡한 문제를 최적화하는데 아주 우수한 해를 제시하는 것으로 알려져 있다<sup>[11-12]</sup>. 특히 SA 알고리즘의 장점은 국부 최적해(local minimum)에 빠지지 않고 어닐링과정 중 흔들기(perturbation)를 통해 전역 최적해(global minimum)를 찾을 수 있다는 것이다. 또한 SA의 가장 큰 장점은 최적해를 탐색하는데 소요시간이 큰 제한 조건이 아닌 경우 상당히 우수한 해를 제공한다. 특히 SA 알고리즘 구현은 다른 알고리즘에 비해 용이하기 때문에 PCB상 부품배치의 최적화 해법 탐색에 SA를 활용하였다.

SA를 이용하여 신뢰도 최적화 문제를 해결하기 위한 블록도는 그림 6에 나타나있다.

우선 PCB와 소자의 특성을 입력받아 열해석에 필요한 파라미터를 계산하고 초기 배치를 수행한다. 이후 solver를 거쳐 열해석을 수행하고 계산된 소자별 접합 온도를 이용하여 CCA 신뢰도 예측을 수행한다. 다음 단계에서 SA를 이용하여 어닐링 온도 단계별 열평형(equilibrium) 상태에 도달 할 때까지 최적해를 찾아내

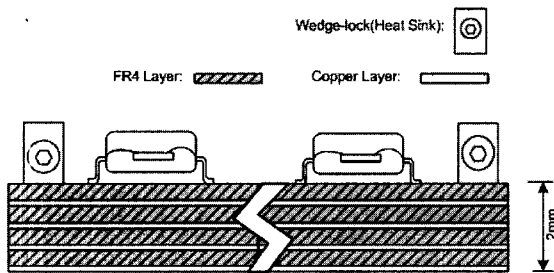


그림 4. CCA 소자와 PCB의 모델링  
Fig. 4. Modeling of CCA devices and PCB.

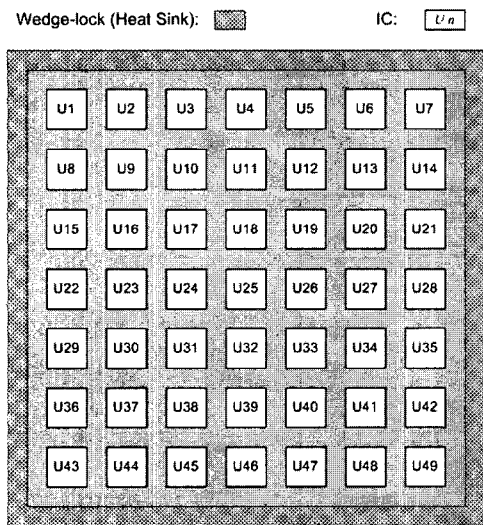


그림 5. 신뢰도 최적화 시뮬레이션을 위한 CCA 구성  
Fig. 5. Configuration of CCA for reliability optimization simulation.

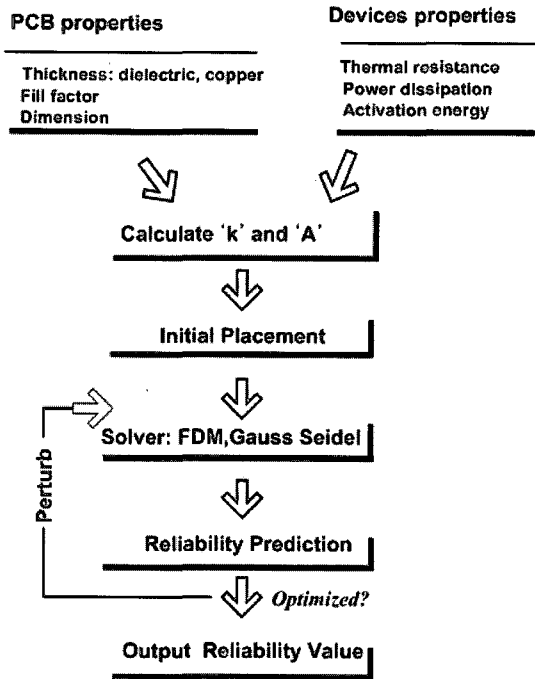


그림 6. 신뢰도 최적화 배치를 위한 SA 흐름도  
 Fig. 6. SA flow diagram for reliability optimization placement.

며, 어닐링 온도가 응고(frozen) 온도까지 계속적으로 탐색을 수행한다.

SA를 적용하기 위해서는 SA 파라미터들 중 어닐링 방법에 대한 고려가 가장 중요하다. 온도를 낮추는 어닐링 방법은 지수적 감소, 로그적 감소, 또는 급격한 감소방법 등이 있다. 본 논문에서는 지수적 감소방법을 이용하였으며 식 (19)과 같다. 이때  $\alpha_T$ 는 온도 감소계수이며,  $T_o$ 는 초기 온도이다.

$$T = \alpha_T T_o, \quad 0 < \alpha_T < 1, \quad 0 < T_o \quad (19)$$

초기 온도와 최종온도 그리고 열적평형 설정에 필요한 파라미터들은 시뮬레이션을 통하여 최적 파라미터를 도출하는 과정을 거쳐 결정되었다. 또한 배치에 따른 소자의 온도를 해석하는 solver로는 FDM과 Gauss-Seidel 방법을 이용하여  $T_{jc}$ 를 계산하였다. 부품의 배치를 흔들기 위해서는 두 개의 부품들 자리를 랜덤하게 상호 교환하는 방식으로 배치를 바꾸었으며 신뢰도 비용함수 계산을 위한 계산식은 수식 (5-6)을 적용하였다.

그림 7는 신뢰도 최적화를 적용하기 위한 의사코드(pseudo-code)를 나타낸다. 일반적으로 신뢰도 최적화를 위해 비용함수 계산을 식 (20)에서와 같이 부품의 신뢰도 합을 최소화 하는 함수를 이용한다. 그러나 본

```

SimulatedAnnealing( )
Initialize( $T_o, T_f, \alpha, M$ ); //initial, frozen temperature
//annealing method and Markov chain
 $X = InitialPlacement()$ ; //randomly initial placement
 $\lambda(X) = CalculationCost(X)$ ; //Calculate the  $T_{jc}$  and cost
//using FDM
while(  $T > T_f$  )
    for  $i = 1$  to  $M$  //Length of Markovian chain
         $Y = Perturb(X)$ ; //randomly exchange two devices
         $\lambda(Y) = CalculationCost(Y)$ ; //calculate new cost
         $\Delta\lambda = \lambda(X) - \lambda(Y)$ ;
        if (  $\Delta\lambda < 0$  or (  $e^{-\Delta\lambda/T} > random(0,1)$  ) )
            then  $\lambda(X) = \lambda(Y)$  //accept new movement
        endif;
    end
    Annealing( $T$ ); // Decreasing Temperature,  $T = \alpha_T T_o$ 
end
    
```

그림 7. SA 알고리즘 의사코드  
 Fig. 7. Pseudo-code of Simulated Annealing.

논문에서는 식 (20)에서와 같이 소자 평균 접합온도를 최소화하여 열적 평균을 낮추고 신뢰도를 최적화 시키는 방안을 제시하였으며 시뮬레이션을 수행하였다.

$$Min\{Failure\ Rate\} = Min\left\{\sum_{i=1}^{49} \lambda(T_i)\right\} \quad (20)$$

$$Min\{Avg.\ of\ T_{jc}\} = Min\left\{\frac{\sum_{i=1}^{49} T_{jci}}{49}\right\} \quad (21)$$

### III. 시뮬레이션 결과

1. Min{Failure Rate} 목적함수 시뮬레이션 결과  
 식 (20)의 고장률 최소화 즉 신뢰도를 최대화 목적함수로 SA 시뮬레이션 한 결과는 다음 그림 8과 같다.

그림 8에서 윗 그림은 온도 감소 계수( $\alpha_T$ )의 변화에 따른 최적화 결과를 보여준다. 온도 감소 계수에 따라 고장률이 294~297 가량 되었다. 그림 8의 아래 그림은 열평형에 도달하기 위한 열평형 계수(반복 회수) 변화에 따른 고장률의 변화를 보여준다. 열평형 계수 값이 10일 경우에는 고장률이 297가량 되었으며 열평형 계수 값이 50일 경우 고장률이 약 293(접합온도=112.36°C)가량 되었다.

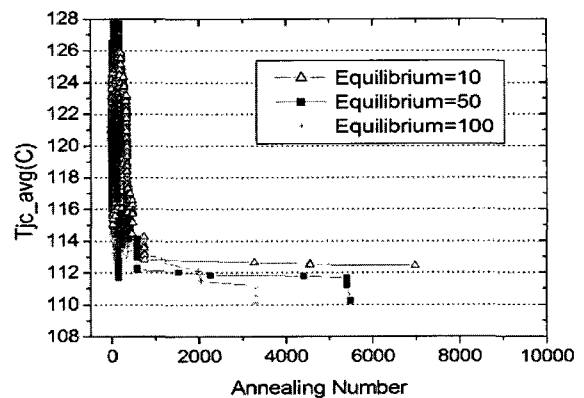
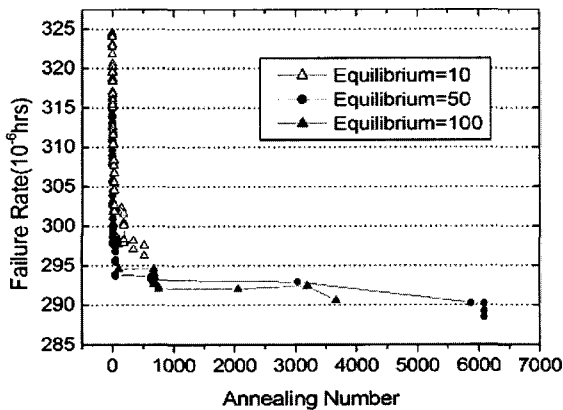
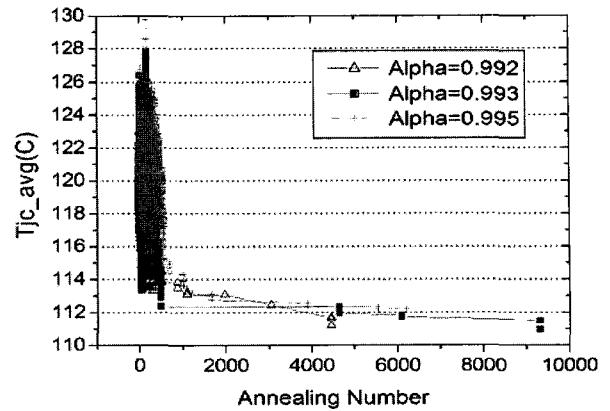
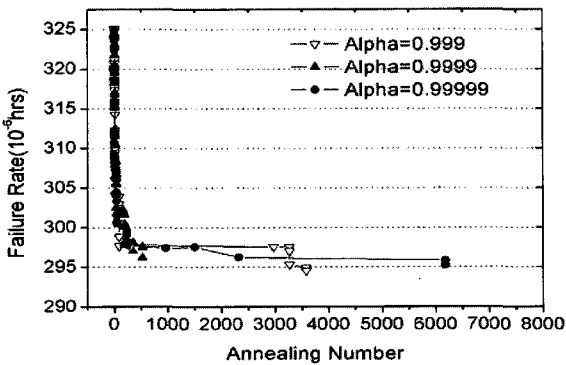


그림 8. 고장률 최소 목적함수 조건에서  $\alpha_T$  및 열평형 계수 변화에 따른 SA 시뮬레이션 결과

Fig. 8. SA simulation result w.r.t.  $\alpha_T$  and equilibrium coefficient variations under  $Min\{Failure Rate\}$ .

그림 9. 평균 접합온도 최소 목적함수 조건에서  $\alpha_T$  및 열평형계수 변화에 따른 SA 시뮬레이션 결과

Fig. 9. SA simulation result w.r.t.  $\alpha_T$  and equilibrium coefficient variations under  $Min\{Avg. of T_{jc}\}$ .

2.  $Min\{T_{jc\_avg}\}$  목적함수 시뮬레이션 결과

소자들의 접합온도 평균을 최소화하는 목적함수로 SA 시뮬레이션 한 결과는 다음 그림 9에서와 같다. 그림 9의 윗 그림은 온도 감소 계수의 변화에 따른 최적화 결과를 보여준다. 온도 감소 계수에 따라 평균온도가 111~114°C 가량 되었다.

그림 9의 아래 그림은 열평형 계수에 따라 평균 접합온도 변화를 보여주는데 110°C(고장률=288)~113°C가 되었다. 이 결과를 미루어 보아 온도 감소계수보다는 열평형 계수에 따라 상대적으로 나은 해를 찾는 것을 알 수 있다.

3. 시뮬레이션 결과 비교

고장률 최소화 목적함수 일 경우 온도감소계수 및 열평형계수 변화에 따른 고장률 최소값은  $293.32(10^{-6}hrs)$ 이며 이때 소자들의 평균 접합온도는 최소값은 112.36°C이다. 평균 접합온도 최소화 목적함수 일 경우 고장률을 최소값은  $288.79(10^{-6}hrs)$ 이며 평균 접합온도 최소값

은 110.25°C가 되었다. CCA의 신뢰도를 최적화하기 위해서는 신뢰도 최적 목적함수 보다 본 논문에서 제안한 평균 접합온도 목적함수에 의한 신뢰도 최적해가 높게 나타났다 이것은 소자 단위의 신뢰도 곱으로 최적화하는 것 보다 온도를 균일하게 분포하도록 설계하는 것이 오히려 나은 신뢰도를 보장함을 보여준다. 그러므로 MCM 및 우주 전장장치 설계 시 고열점 제거와 온도 균일 분포 구현이 매우 중요하게 된다.

IV. 결 론

우주분야 전자장치의 신뢰도와 MCM의 신뢰도는 각 부분품들의 신뢰도에 의해 결정되는데 소자의 신뢰도는 소자의 접합온도와 활성화에너지에 의해 결정된다. 본 논문에서는 신뢰도를 고려한 최적배치 연구결과를 기술하였다. 신뢰도 최적화를 위해 다양한 열저항을 가진 소자들을 PCB상에 열 전도환경하에 작동하는 CCA를 고려하였다. FDM과 Gauss-Seidel 방법을 이용하여 부

품의 온도를 계산하였으며 최적화를 위해 전역최적화 알고리즘의 하나인 시뮬레이티드 어닐링 방식을 활용하였다. 일반적인 고장률 최소화과 평균 접합온도 최소화를 시뮬레이티드 어닐링의 목적함수로 설정하여 시뮬레이션을 수행하였는데 본 논문에서 제안된 평균 접합온도 최소화가 고장률 최소화에 비해 나은 해를 제공하였다. 이를 통해 신뢰도 최적화 문제가 단순한 신뢰도 계산 수식에 의한 최소화보다는 고열점 제거와 접합온도 균일 분포를 도모하는 방법이 더욱 효율적임을 확인하였다.

참 고 문 헌

[1] Michael D. Osterman and Michael G. Pecht, "Placement for Reliability and Routability of Convectively Cooled PWB's", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 9, no. 7, pp. 734-744, Jul. 1990.  
 [2] Ching-Han Tsai and Sung-Mo Kang, "Macrocell Placement with Temperature Profile Optimization," *Proceedings of the 1999 IEEE ISCAS*, vol. 6, pp. 390-394, Jul 1999.  
 [3] Ching-Han Tsai and Sung-Mo Kang, "Cell-Level Placement for Improving Substrate Thermal Distribution," *IEEE Transactions on CAD of Integrated Circuits and Systems*, vol. 19, no. 2, pp. 253-266, Feb. 2000.

[4] Jing Lee, "Thermal Placement Algorithm Based on Heat Conduction Analogy," *IEEE Transactions on Components and Packaging Technologies*, vol. 26, no. 2, pp. 473-483, Jun. 2003.  
 [5] Jing Lee, "General Thermal Force With Experimental Studies," *IEEE Transactions on Component and Packaging Technologies*, vol. 29, no. 1, pp20-29, March 2006.  
 [6] *MIL-HDBK-217F Reliability Prediction of Electronic Equipment*, DoD USA, 1991.  
 [7] Milton Oring, *Reliability and Failure of Electronic Materials and Devices*, Academic Press, 1998.  
 [8] Pradeep Lall, "Tutorial: Temperature As an Input to Microelectronics-Reliability Models," *IEEE Transactions on Reliability*, vol. 45, no. 1, pp. 3-9, March 1996.  
 [9] Frank P. Incroperat and David P. Dewitt, *Fundamentals of Heat and Mass Transfer*, 4th edition John Wiley&Sons, pp. 211-219, 1996.  
 [10] 김주년, 김보관, "열전도 환경을 고려한 전장탑재 물의 소자 열 해석," *전자공학회논문지 제 43권 SC편 제 5호*, pp.60-67, 2006년 9월.  
 [11] Kirkpatrick, S., Gelatt Jr., C.D., & Vecchi, M. P., "Optimization by simulated annealing," *Science*, pp. 220, 671. 1983.  
 [12] Jilla, C., *Simulated Annealing*, MIT 16.899 Multidisciplinary System Design Optimization Lecture Notes, 2002.

저 자 소 개



김 주 년(정회원)  
 1992년 경북대학교 전자공학과 학사 졸업.  
 1992년 Applied Materials Korea  
 1995년 경북대학교 전자공학과 석사 졸업.  
 1995년~현재 한국항공우주연구원 (KARI) 근무

<주관심분야 : CAD 및 VLSI, 회로 및 시스템 기술, 고신뢰 시스템 기술>



김 보 관(정회원)  
 1976년 서울대학교 전자공학과 학사 졸업.  
 1978년 KAIST 전기전자공학과 석사 졸업.  
 1980년~1991년 금오공대 조교수.  
 1989년 U of Wisconsin 전기 및 컴퓨터공학박사 졸업.

1991년~현재 충남대학교 전자공학과 정교수  
 <주관심분야 : CAD 및 VLSI, 통신 VLSI 시스템, 하드웨어/소프트웨어 co-design>