

논문 2007-44SD-5-2

ALD 방법으로 증착된 HfO₂/Hf 박막을 게이트 절연막으로 사용한 MOS 커패시터 제조

(The Fabrication of MOS Capacitor composed of HfO₂/Hf Gate Dielectric prepared by Atomic Layer Deposition)

이 대 갑*, 도 승 우**, 이 재 성***, 이 용 현**

(Dae-Gab Lee, Seung-Woo Do, Jae-Sung Lee, and Yong-Hyun Lee)

요 약

본 논문에서는 MOS 소자의 게이트 유전체로 사용될 고유전 박막으로 HfO₂/Hf 박막을 제조하여 그 전기적 특성을 관찰하였다. HfO₂ 박막은 TEMAHf와 O₃ 전구체를 사용한 ALD 방법으로 p-type (100) 실리콘 웨이퍼 위에 증착하였다. HfO₂ 막을 증착시키기 전에 중간층으로써 Hf 금속 층을 증착하였다. Round-type의 MOS 커패시터 제작을 위해, 상부 전극은 Al 또는 Pt을 이용하여 약 2000 Å 두께의 전극을 형성하였다. HfO₂ 박막은 화학정량적 특성을 보였으며, HfO₂/Si 계면에서 Si-O 결합 대신 Hf-Si 결합과 Hf-Si-O 결합이 관찰되었다. HfO₂와 Si 사이의 Hf 중간층은 SiO_x의 성장이 억제되었고, HfSi_xO_y으로 변형되었다. 이러한 결과로 HfO₂/Hf/Si 구조에서 Hf 중간층이 있음으로 게이트 유전체의 고유전율이 유지되면서 계면 특성이 개선됨을 확인하였다.

Abstract

In this paper, HfO₂/Hf stacked film has been applied as the gate dielectric in MOS devices. The HfO₂ thin film was deposited on p-type (100) silicon wafers by atomic layer deposition (ALD) using TEMAHf and O₃ as precursors. Prior to the deposition of the HfO₂ film, a thin Hf metal layer was deposited as an intermediate layer. Round-type MOS capacitors have been fabricated on Si substrates with 2000Å-thick Al or Pt top electrode. The prepared film showed the stoichiometric components. At the HfO₂/Si interface, both Hf-Si and Hf-Si-O bonds were observed, instead of Si-O bond. The sandwiched Hf metal layer suppressed the growing of SiO_x layer so that HfSi_xO_y layer was achieved. It seems that the intermediate Hf metal layer has a benefit for the enhancement of electric characteristics of gate dielectric in HfO₂/Si structure.

Keywords : ALD (atomic layer deposition), HfO₂, Hf, Interface property, HfSiO

I. 서 론

집적도가 0.1 μm 이하인 CMOS (complementary metal-oxide-semiconductor) 기술에서 게이트 유전체 (gate dielectrics)로서 실리콘 산화막(SiO₂)의 효용성은 한계에 달하였고 여러 유전체가 SiO₂의 대체물로서 연구되고 있다.^[1-2] 최근에 대체물질로서 Ta₂O₅^[3], TiO₂^[4], ZrO₂^[5], Al₂O₃^[6], Si₃N₄^[7], SrTiO₃, HfO₂^[8] 등이 활발히 연구되고 있다. 이 중에서 HfO₂은 SiO₂를 대체할 게이트 유전체로서 많은 관심을 받고 있는 물질이다. HfO₂

* 학생회원, ** 정회원, 경북대학교 전자공학과
(Dept. of Electronics Engineering, Kyungpook national University.)

*** 정회원, 위덕대학교 정보통신공학부
(Division of Information and Communication Engineering, Uiduk University.)

※ 이 논문은 교육인적자원부에서 지원하는 Brain Korea 21(BK21)의 연구지원으로 수행되었습니다.

※ 이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2005-041-D00487)

접수일자: 2007년2월6일, 수정완료일: 2007년4월13일

는 22~25의 높은 유전상수(dielectric constant)를 갖고 있으며, Si과의 접촉에서 열역학적으로 안정성^[9]을 갖고 있다. HfO₂의 높은 에너지 밴드 갭(5.68 eV)^[8] 값은 고유의 장벽높이(barrier height)와 누설전류(leakage current)를 최소로 유지할 만큼 충분히 높은 수치이다. 또한 실리콘과 유사한 열팽창계수와 작은 lattice mismatch(~5%)를 갖고 있으며, 높은 밀도(9.68 g/cm³) 때문에 불순물 확산에 대해 저항성을 갖고 있다. 그러므로 HfO₂는 차세대 게이트 유전체로서 주목받고 있다. 반면, HfO₂를 게이트 산화막으로 CMOS 공정에서 적용하는데 있어서 실리콘과 계면에서 발생하는 interface layer control, fixed charge, channel mobility, 및 charge trapping^[8]등과 같은 몇 가지 문제점이 나타난다. 이와 같은 문제점의 주요한 원인은 산화막과 실리콘 계면 사이에서 공정 중 자연스럽게 생성되는 저유전체(SiO_x) 때문이다. 이로 인해 게이트 충전용량이 감소하게 되고, 형성되는 계면 유전막에 의해 charge trap 형성 등의 문제점이 발생하게 된다. 본 논문에서는 HfO₂/Hf/Si 구조를 제안하여 Si 계면에서 저유전층 형성을 억제시켜 HfO₂와 Si 계면에서의 전기적 특성을 개선시키고자 하였다.

II. 실험방법

p-type (100) Si 웨이퍼 위에 ALD-HfO₂ 박막을 증착하였다. Hf 전구체(precursor)로 TEMAH [Tetrakis-(ethylmethymino)hafnium]을 사용하였고, 산소의 전구체로는 O₃을 사용하였다. Ar을 carrier gas로 사용하였으며, 350 °C, 0.7 Torr에서 10 layer의 Hf 중간층과 150 Å의 HfO₂ 층을 연속 증착하였다. 박막의 열처리 공정은 가열로(furnace)를 이용하여 N₂ 분위기의 500~

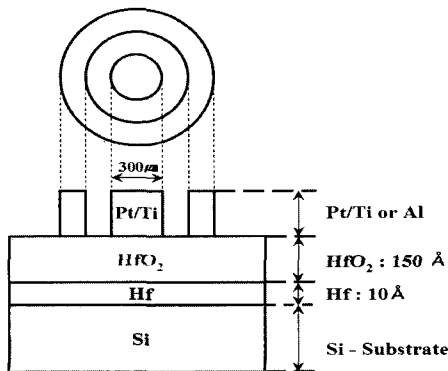


그림 1. 제조된 MOS 커패시터의 구조
Fig. 1. The structure of fabricated MOS capacitor.

800 °C 범위에서 공정을 하였다.

열처리된 박막을 lift-off 방법으로 금속 전극인 Al^[10-11]과 Pt^[12]를 각각 증착하여 그림 1과 같이 guard-ring이 있는 round-type의 MOS 커패시터를 제작하였다. Al 전극은 thermal evaporator를 이용하여 약 2000 Å 두께의 전극을 증착하였고, Pt 전극은 E-Beam을 이용하여 Pt(2000 Å)/Ti (100 Å)을 형성하였다. 전극이 형성된 MOS 커패시터는 400 °C, N₂ 분위기에서 20 분간 금속 열처리(metal alloy)를 수행했다.

III. 결과 및 논의

1. 물리적 특성

ALD HfO₂ 박막의 형성 여부와 조성 분석을 위해서 AES 분석을 하였다. 그림 2는 ALD HfO₂/Hf 박막의

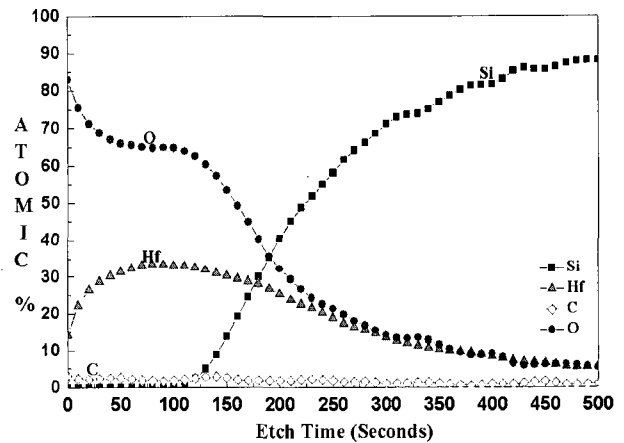


그림 2. 실리콘 위에 증착된 HfO₂/Hf 박막의 AES 분석
Fig. 2. AES depth profiles of HfO₂/Hf thin film on silicon.



그림 3. 실리콘 위에 증착된 HfO₂/Hf/Si 박막의 TEM 단면도
Fig. 3. A cross section TEM image of HfO₂/Hf/Si thin film on silicon.

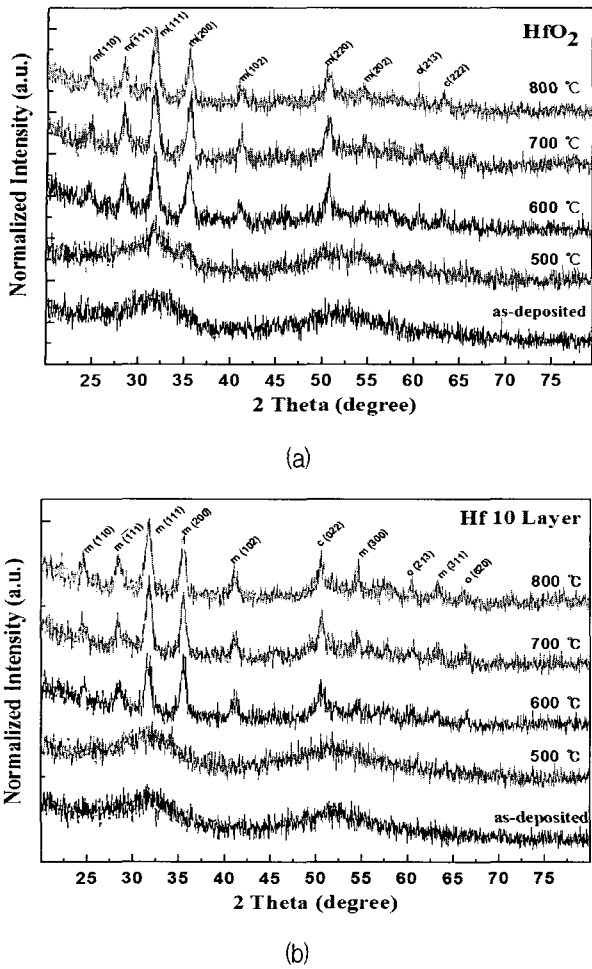


그림 4. 열처리 온도에 따른 XRD 스펙트라 ;
 (a) HfO₂/Si(기판) 구조, (b) HfO₂/Hf/Si(기판) 구조
 Fig. 4. XRD spectra as a function of annealing temperature ; (a) HfO₂/Si(sub.) structure, (b) HfO₂/Hf/Si(sub.) structure.

as-deposited 상태의 시료의 깊이 방향 AES 분석 결과이다.

Hf:O의 조성비가 1:2에 근접하여 화학정량적 조성비를 보이고 있다. HfO₂와 Si 사이의 중간층의 형성은 그 두께가 너무 얇기 때문에 AES 분석으로는 정확하게 계면의 조성비를 관찰할 수 없었다. 그러나 그림 3의 TEM 분석 결과를 통해 HfO₂와 Si 계면 사이에 중간층이 형성된 것을 확인 할 수 있었다.

열처리 후, 시료의 결정성을 분석하기 위해 HfO₂/Si 구조와 HfO₂/Hf/Si 구조의 시료를 각각 준비하였다. 준비된 시료는 500 °C~800 °C, N₂ 분위기에서 각각 20 분간 가열로(furnace)를 이용하여 열처리를 실행하였다. 열처리를 실행한 시료들은 XRD (X-ray Diffraction)을 이용하여 각각의 온도에 따른 박막의 결정화를 분석하였다. 분석 결과 HfO₂ 박막은 비정질(amorphous) 상태

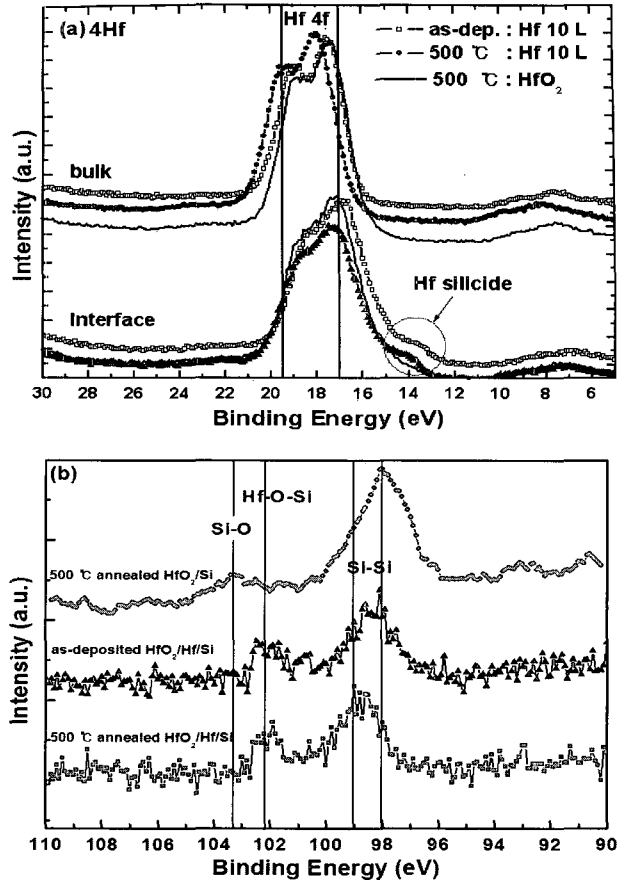


그림 5. as-dep. 상태의 HfO₂/Hf과 500 °C 열처리한 HfO₂/Hf 박막의 Hf 4f (a)와 Si 2p (b) XPS 스펙트라
 Fig. 5. Hf 4f (a) and Si 2p (b) XPS spectra for as-deposited HfO₂/Hf and 500 °C annealed HfO₂/Hf thin film.

에서 결정질(crystalline)^[13-15]로 변형이 일어날 때 단사정계(monoclinic)와 사방정계(orthorhombic)^[16]의 구조를 지니는 것으로 나타났다.

그림 4의 (a)를 보면 HfO₂ 박막의 시료는 약 33° 부근에서 단사정계의 peak가 나타났다. 이것으로 500 °C에서 비정질의 상태에서 결정화가 일어나 결정질로 변형이 된 것을 알 수 있다. 반면 그림 4의 (b)는 HfO₂와 Si 사이에 Hf layer가 있는 구조의 시료들은 500 °C에서 결정화가 일어나지 않고 비정질 상태가 유지되고 있음을 확인 할 수 있다. 그러나 600 °C 이상에서 열처리를 했을 경우 비정질 상태에서 다결정질(polycrystalline)로 변화 된 것으로 보이는 단사정계의 peak가 나타나는 것을 확인 할 수 있다. 박막이 결정화가 됨에 따라 누설전류가 증가하게 되고 이로 인해 정전용량이 낮아지게 되며 게이트 산화막으로서 기능이 저하된다. 그러므로 Hf을 사용함으로써 인해 HfO₂ 박막의 결정화를

억제하여 HfO₂를 게이트 산화막으로 사용하기에 유리하다고 판단된다. 600 °C 이상의 고온에서 HfO₂ 결정 형성이 Hf 중간층의 두께와 무관하게 진행됨을 알 수 있었다.

그림 5는 500 °C에서 열처리 전, 후의 HfO₂/Hf 박막과 HfO₂ 박막의 깊이 방향에 대한 화학적 구조를 찾아내기 위한 XPS 분석 결과이다. Bulk에 대한 Hf 4f peak은 17~20 eV 범위에서 측정된다. 이 peak의 범위는 Hf-O의 결합(bond)을 나타낸다. Bulk에서의 Si 2p spectra의 결합에너지(binding energy) 신호는 관찰되지 않았다. Hf-Si 결합의 결합에너지는 14.3 eV에서 peak가 나타난다. Si 2p spectra에서 99 eV의 peak는 Si 기판의 성분을 나타내고 102 eV에서 나타나는 peak는 박막내부에 Hf-O-Si 결합이 존재함을 의미한다. 그림 5의 (b)에서 HfO₂ 박막의 경우 as-deposited HfO₂/Hf 박막과 500 °C 열처리한 HfO₂/Hf 박막에서 나타나는 102 eV의 Hf-Si-O peak가 나타나지 않음을 확인할 수 있으며, HfO₂ 박막에서는 103.3 eV의 Si-O의 peak가 약하게 나타난다. 그림 5 (a)인 Hf 4f spectra에서 약한 Hf silicide peak가 나타나지만 그림 5 (b) Si 2p spectra 그림에서는 Hf silicate (HfSi_xO_y) peak 밖에 나타나지 않았다. 이와 같은 XPS 분석 결과를 통해 열처리된 HfO₂/Hf 구조의 박막은 열처리 과정에서 Hf 중간층이 HfO₂/HfSiO/Si 구조로 변형된 것을 확인할 수 있다.

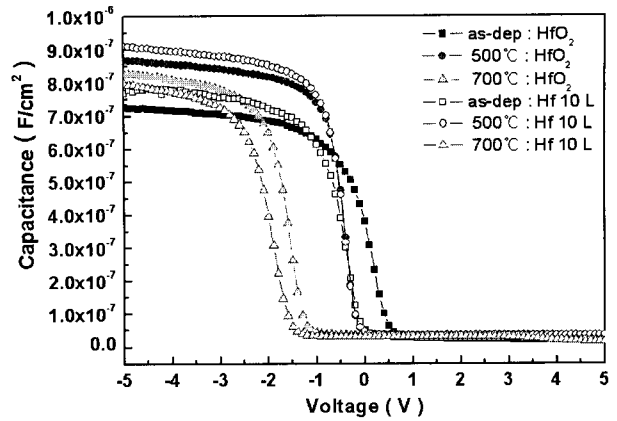
2. 전기적 특성

제작된 MOS 커패시터를 이용하여 전기적 특성을 분석하였다. 그림 6의 (a)는 Al 전극으로 제작된 커패시터의 C-V 특성 곡선이고, (b)는 Pt 전극을 이용하여 제작된 커패시터의 C-V 특성 곡선이다.

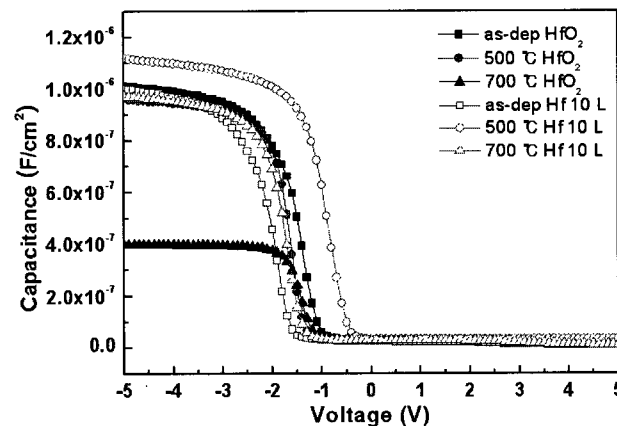
그림 6의 (a)에서 HfO₂/Hf/Si 구조는 500 °C에서 열처리 했을 때 정전용량이 커지며, V_{FB} (flat-band voltage)는 거의 변화가 없는 것을 확인할 수 있다.

그러나 700 °C 이상에서 열처리 했을 경우 oxide trapped charge가 증가하여 V_{FB}가 좌측으로 이동한다. 반면, HfO₂/Si 구조의 경우 500 °C 이상에서 열처리로 인해 oxide trapped charge가 증가하여 V_{FB}가 좌측으로 이동하며 500 °C에서 열처리를 해주었을 때보다 상대적으로 정전용량이 낮아졌다.

Hf 중간층이 있는 구조는 중간층이 없는 구조보다 500 °C에서 열처리를 하였을 때 oxide trapped charge의 생성이 억제되고 상대적으로 높은 유전상수를 갖게



(a)



(b)

그림 6. 열처리 온도에 따른 C-V 특성 ; (a) Al 전극, (b) Pt 전극

Fig. 6. C-V characteristics as a function of annealing temperature ; (a) Al electrode, (b) Pt electrode.

된다. 그림 6의 (b)에서도 역시 HfO₂/Hf/Si 구조의 시료는 500 °C 열처리 후, oxide trapped charge가 감소하여 V_{FB}가 우측으로 이동하며 상대적으로 높은 정전용량을 얻었다.

그림 7은 HfO₂/Si 구조와 HfO₂/Hf/Si 구조의 열처리 온도에 따른 유전상수의 변화를 나타내는 그림이다.

Pt 전극을 사용했을 때 더 높은 유전상수를 얻을 수 있었다. HfO₂/Si 구조의 경우, 열처리 온도가 올라 갈수록 유전상수는 감소한다. 이것은 열처리 과정에서 Si 과 HfO₂ 박막 사이 계면에서 계면층인 SiO_x가 생성되어 유전 상수가 감소하였기 때문이다. 반면 HfO₂/Hf/Si 구조의 경우, 유전상수가 500 °C에서 Al 전극을 사용했을 때 최대 15.45, Pt 전극을 사용했을 때 최대 18.98의 유전상수를 얻을 수 있었다. 이것 역시 oxygen atom이 HfO₂의 박막을 통해 계면 쪽으로 확산해 들어가 Hf 층과 결합하여 HfSi_xO_y을 형성하였기 때문이다. 이때 형

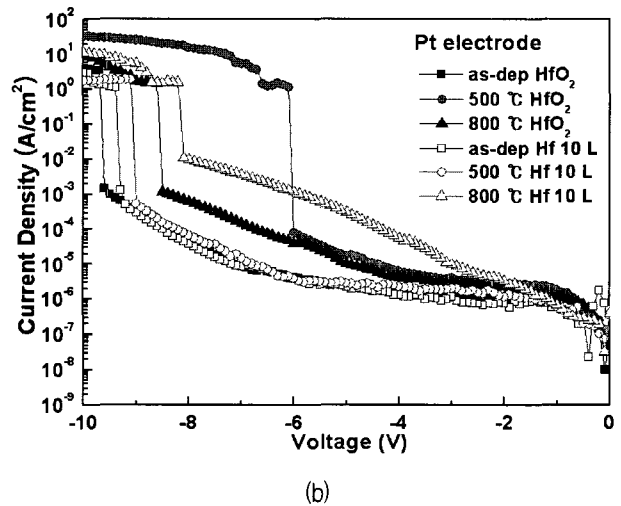
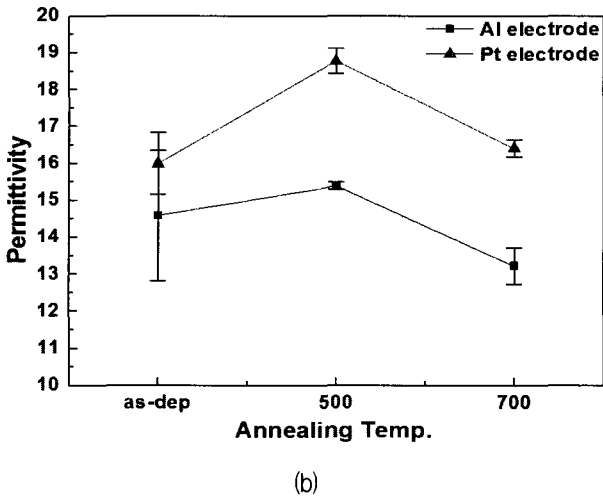
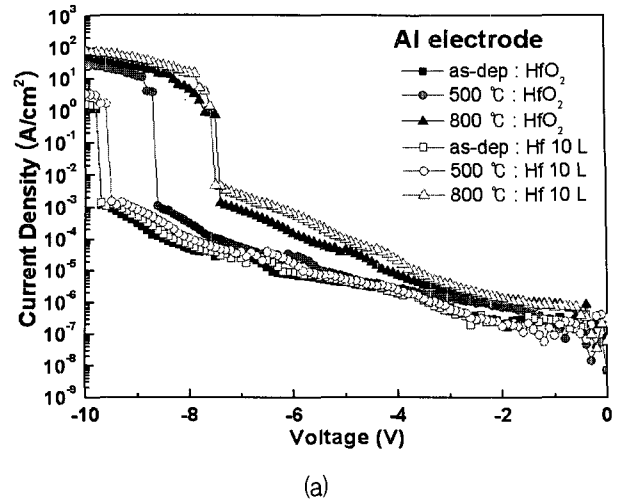
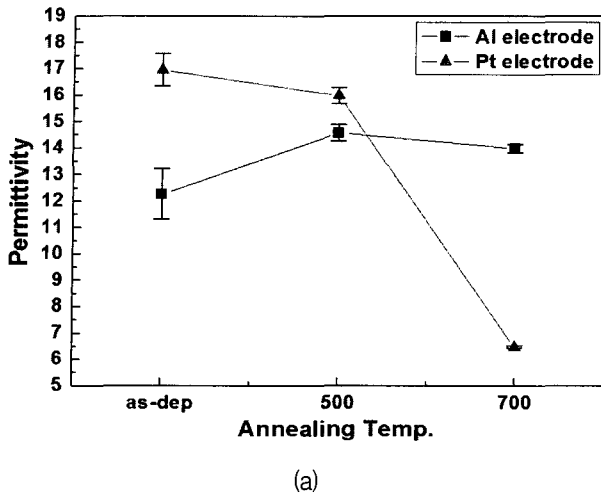


그림 7. MOS capacitor의 유전율; (a) HfO₂/Si 구조, (b) HfO₂/Hf/Si 구조

그림 8. 온도에 따른 ALD HfO₂ MOS 커패시터의 I-V 특성; (a) Al 전극, (b) Pt 전극

Fig. 7. Permittivity of MOS capacitor ; (a) HfO₂/Si structure, (b) HfO₂/Hf/Si structure.

Fig. 8. I-V characteristics of ALD HfO₂ MOS capacitor as a function of temperature ; (a) Al electrode, (b) Pt electrode.

성된 HfSi_xO_y은 Hf 층이 없는 구조의 계면에 형성된 SiO_x 보다 상대적으로 높은 유전율을 갖고 있다. 700 °C 이상의 온도에서 열처리하는 박막의 결정화로 인해 누설전류가 증가하게 되고, 유전상수가 감소한다. 그림 8은 상부 전극과 열처리 온도에 따른 I-V 특성을 측정 결과이다.

을 뿐만 아니라 breakdown도 빨리 일어난다. 그림 8의 (b)는 Pt 전극을 이용한 커패시터의 온도에 따른 I-V 특성이다. 500 °C에서 열처리한 경우, Hf 층이 증착된 시료에서 누설전류 양이 상대적으로 적고 breakdown이 늦게 일어난다는 것을 알 수 있다. 온도가 증가할수록 I-V 특성은 Hf 층이 증착된 시료를 제외한 나머지 시료들은 누설전류 양이 열처리 전 상태보다 상대적으로 증가했다.

그림 8의 (a)는 Al 전극을 이용한 커패시터의 I-V 특성이다. HfO₂/Si 구조의 경우 열처리 온도가 높아짐에 따라 누설전류의 양이 상대적으로 증가할 뿐만 아니라 breakdown이 열처리 전 상태의 시료보다 훨씬 빨리 일어난다. 반면 HfO₂/Hf/Si 구조의 경우 500 °C에서 열처리한 시료는 breakdown이 일어나는 전압이 열처리 전과 비슷하며 열처리 후에도 낮은 누설전류를 유지하게 된다. 800 °C에서 열처리한 시료들의 경우 HfO₂의 결정화가 일어났기 때문에 누설전류의 양이 많

IV. 결 론

본 논문에서 게이트 유전체인 HfO₂ 박막을 증착하여 실리콘 공정에 적용했을 때 발생하는 계면층 문제를 개선하기 위해 Hf layer를 이용한 HfO₂/Hf/Si 구조를

제안하였다. 이러한 구조에서 HfO₂ 박막의 결정화가 시작되는 온도를 높일 수 있었고, 계면에 형성되는 SiO_x의 형성이 억제되었다. Pt 전극을 이용한 HfO₂/Hf/Si 구조에서 최대 18.97의 상대적으로 높은 유전상수를 얻을 수 있었다. HfO₂/Hf/Si 구조는 계면 박막층(SiO_x) 성장을 억제해줌으로써 계면에서의 oxide charge trap이 감소함을 알 수 있었다. 또한, 안정적이고 낮은 누설전류 특성을 보이고 있었다. 이러한 결과를 통해 향후 대체 게이트 유전체로서 HfO₂ 사용 시 Hf 중간층을 이용함으로써 실리콘 기판과의 계면 특성을 개선할 수 있을 것으로 기대한다.

참 고 문 헌

- [1] T. Tori., "Gate Dielectrics and MOS ULSIs," (Springer, New York, 1997).
- [2] G. D. Wilk, R. M. Wallace, J. M. Anthony, "High-K gate dielectrics: Current status and materials properties considerations," J. Appl. Phys., Vol.89, No.10, pp.5243-5275 (2001).
- [3] Byoung Hun Lee, Yongjoo Jeon, Keith Zawadzki, Wen-Jie Qi and Jack C. Lee, "Effect of interfacial layer growth on the electrical characteristics of thin titanium oxide films on silicon," Appl. Phys. Lett. 74, 3143, 1999.
- [4] H. Kim, D. C Gilmer, S. A. Campbell, and D. L. Polla, "Leakage current and electrical breakdown in metal-organic chemical vapor deposited TiO₂ dielectric on silicon substrates," Appl. Phys. Lett. 69, p.3860, 1996.
- [5] R. Nieh, S. Krishnan, J. Cho, C. Kang, S. Gopalan, K. Onishi, R. Choi, and Jack C. Lee, "Comparison between ultra-thin ZrO₂ and ZrO_xNy gate dielectrics in TaN or poly-gated nMOSCAP and nMOSFET devices," 2002 VLSI Symposium Dig., p186, 2002.
- [6] S. B. Chen, C. H. Lai and Albert Chin, "High-density MIM capacitor using Al₂O₃ and AlTiOx dielectrics," IEEE Electron Device Lett., Vol 23, No.4, 185, April (2002).
- [7] A. Ono, K. Fukasaku, T. Fukuda, N. Ilezaw, K. Imai, and T. Horiuchu, "A 70 μm Gate Length CMOS technology with 1.0 V Operation," Technical Digest of Symposium on VLSI Technology, p. 14, 2000.
- [8] B. H. Lee, "Technology development and process integration of alternative gate dielectric material: Hafnium oxide," Ph. D. dissertation, The university of Texas at Austin, 2000.
- [9] K. J. Hubbard and D. G. Schlom, "Thermodynamic Approach to Selecting Alternative Gate Dielectrics," The Materials Research Society Bulletin, vol. 27(3), p.198, 2002.
- [10] Hang Hu Chunxiang Zhu, "Physical and electrical characterization of HfO₂ metal-insulator-metal capacitors for Si analog circuit application," J. Appl. Phys., Vol. 94, Jul.1, pp.551-557 (2003).
- [11] J. S. Kim, H. J. Lee, K. S. Kim, J. E. Lee, Y. Roh, Y. S. Jung and C. W. Yang, "Characteristics of high-k gate oxides prepared by oxidation of 1.4 nm multi-layered Hf/Al metal film," Thin Solid Films, Volume 515, Issue 2, 25, October 2006, Pages 517-521.
- [12] F. Fillot, B. Chenevier, S. Maitrejean, M. Audier, P. Chaudouet, B. Bochu, J. P. Senateur, A. Pisch, T. Mourier, H. Monchoix et al., "Investigations of the interface stability in HfO₂-metal electrodes," Microelectronic Engineering, Volume 70, Issues 2-4, Nov. 2003, Pages 384-391.
- [13] Kaupo Kukli, Mikko Ratala, Timo Sajavaara, Juhani Keinonen, and Markku Leskela, "Atomic Layer Deposition of Hafnium Dioxide Films from Hafnium Tetrakis(ethylmethylamide) and Water," Chem. Vap. Deposition 2002, 8, No. 5.
- [14] G. He, Q. Fang, M. Liu, L. Q. Zhu, L. D. Zhang, "The structural and interfacial properties of HfO₂/Si by the plasma oxidation of sputtered metallic Hf thin films," Journal of Crystal Growth, 268, (2004), 155-162.
- [15] M.-H. Cho, Y. S. Roh, C.N. Whang, and K. Jeong, S. W. Nahm, D. -H. Ko, J. H. Lee, N. I. Lee, and K. Fujihara, "Thermal stability and structural characteristics of HfO₂ films on Si(100) grown by atomic layer deposition," Applied Physics Letters, Vol 81, No 3.
- [16] Suheun Nam, Seok-Woo Nam, Jung-Ho Yoo, Dae-Hong Ko, "Interface control by modified sputtering on Pt/HfO₂/Si system," Materials Science and Engineering, B102, (2003), 123-127.

— 저 자 소 개 —



이 대 갑(학생회원)
 2005년 대구가톨릭대학교
 물리반도체과학 학사 졸업
 2007년 경북대학교 전자공학과
 석사 졸업
 <주관심분야 : 반도체소자>



이 재 성(정회원)
 1987년 경북대학교 전자공학
 학사 졸업
 1989년 경북대학교 전자공학
 석사 졸업
 1995년 경북대학교 전자공학
 박사 졸업

1996년~1998년 Hyundai Electronics Industries
 Co. Ltd. (HEI), Fellow Engineer
 1998년~현재 위덕대학교 정보통신공학부 부교수
 <주관심분야 : 반도체소자, 반도체 Defects,
 Reliability Modeling, Device Characterization>



도 승 우(정회원)
 1995년 경북대학교 전자공학
 학사 졸업
 2004년 경북대학교 전자공학
 석사 졸업
 2004년~현재 경북대학교
 전자공학과 박사과정

<주관심분야 : 반도체소자, plasma immersion
 ion doping>



이 용 현(평생회원)
 1975년 경북대학교 전자공학
 학사 졸업
 1977년 경북대학교 전자공학
 석사 졸업
 1991년 충남대학교 반도체재료
 박사 졸업

1979년~현재 경북대학교 전자전기컴퓨터학부
 교수
 2001년~현재 IEEE 학회 Senior Member
 <주관심분야 : 반도체소자, 반도체제조공정,
 plasma 응용기술>