
유전자 알고리즘을 사용한 저전력 모듈 선택

전종식*

Low Power Module selection using Genetic Algorithm

Jong-sik Jeon*

요약

본 논문에서는 유전자 알고리즘을 이용하여 전력, 면적, 속도를 고려한 저전력 모듈 선택을 제안한다. 제안한 알고리즘은 최적의 모듈 선택을 통해서 전력 소모를 최소화 할 수 있다.

비교 실험에서는 최적 모듈 선택을 고려한 알고리즘은 최대 전력 감소량은 26.9 %를 얻을 수 있었고, 반면에 최소 전력 감소량은 9.0% 얻었다. 모든 벤치마크 평균 전력 감소량은 15.525%가 되었다.

ABSTRACT

In this paper, we present a optimal module selection using genetic algorithm under the power, area, delay constraint. The proposed algorithm use the way of optimal module selection it will be able to minimize power consumption.

In the comparison and experimental results, The proposed application algorithm reduce maximum power saving up to 26.9% comparing to previous non application algorithm, and reduce minimum power saving up to 9.0%. It also show the average power saving up to 15.525% and proved the power saving efficiency.

키워드

Genetic Algorithm, Low Power, Finite and Infinite Impulse Response, Optimal Module Selection

1. 서론

최근까지의 대규모 디지털 시스템 설계시 저전력을 고려해야하는 이유는 저전력을 필요로하는 시스템들이 많이 늘어났고 앞으로는 더욱 그렇기 때문이다. 과거에도 저전력 설계가 요구 되었지만, 최근에는 portable system들이 급격히 증가하였으며, 그 예로 휴대폰, 노트북 컴퓨터, PDA, MP3 등을 들 수 있다. 또한 최근의 대부분의 제품들이 소형화되고 휴대성을 중요시 하고 있다. 실제로 현재의 디지털 시스템 경향은 단순한 휴

대를 떠나서 모든 제품들간의 통신네트워크가 가능한 유비쿼터스 시대로 발전하고 있다.

저전력 설계의 또 다른 필요성으로 IC자체의 전력 소모 증가를 들 수 있다. 시스템 직접화(System on chip)로 인해 회로의 크기 및 복잡도가 증가하고 이로 인해 전력소모의 양이 증가되었으며, IC의 동작속도 또한 급격하게 증가하여 갈수록 전력소모는 증가되고 있다.

일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인은 스위칭 동작(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit current)

* 강원관광대학 부사관과
심사완료일자 : 2007. 08. 27

접수일자 : 2007. 07. 20

등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 약 90% 이상으로 가장 큰 비중을 차지한다. 이런 스위칭 전력은 CMOS 회로의 입력의 스위칭에 따라 공급 전압으로부터 충전되거나 접지로 방전될 때 발생하는 스위칭 전력 소모를 나타낸다. CMOS 회로에서는 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로 저전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 중요한 관건으로 적용된다. 현재 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있다[1].

전력 소비를 줄이기 위한 노력은 설계의 다양한 계층에서 고려되고 있으며 논리 회로에는 패스 로직(pass logic), 멀티 스레숄드로직(multi-threshold logic), 그리고 adiabatic logic circuit 등이 사용되고 LSI 아키텍처에서는 병렬(parallel), 파이프라인(pipeline), 스위칭 캐패시터 감소(switching capacitance reduction), 알고리즘 변환 그리고 파워 관리(power management) 등의 방법 등이 적용되고 있다. 또한 compilation, 스케줄링, 자원 할당을 포함하는 상위 수준 합성도 전력 감소에 크게 기여하고 있다[2][3].

특히 상위 레벨 합성은 설계하고자하는 동작 기술로부터 주어진 제한조건과 목적함수를 만족하는 레지스터 전송 레벨의 구조를 생성하는 단계를 의미한다. 앞서에서도 기술하였지만 저 전력 회로의 구현은 여러 설계 수준의 범위를 포함해야하며 회로 설계 시 초기 단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 레벨에서의 초기 최적화는 매우 중요하다.

본 논문의 구성은 다음과 같다. 서론에 이어, 기존의 상위 레벨 합성 방법에 대해 설명하고, 제안한 알고리즘으로 최적의 모듈 선택에 의한 저전력 최적 모듈선택 알고리즘을 제시한다. 그리고 제안한 전력 감소 스케줄링의 최적 스케줄링을 입증하고 마지막으로 결론과 향후 연구 계획을 제시한다.

II. 저전력을 고려한 상위레벨 합성

상위 레벨 합성은 스케줄링(scheduling), 자원 할당(resource allocation), 바인딩(binding)으로 구성된다. 스케줄링은 동작 기술에서 연산(operation)들을 특정한

제어단계에 할당하는 과정이다. 자원 할당은 알고리즘 구현을 위해 필요한 각 하드웨어 자원의 개수가 결정되며, 큰 관점에서 모듈 선택 단계를 포함하기도 한다. 이 단계에서 설계 제한 조건(design constraint)과 설계 목적(design objective)이 잘 만족되도록 하드웨어 모듈이 선택 및 할당되어야 한다. 그리고 바인딩은 각 연산을 특정한 하드웨어 특징에 지정하는 것을 일컫는 말이며, 이때 연산은 기능연산자, 변수는 저장 유닛 그리고 데이터 전송은 버스 등의 바인딩 유닛으로 지정한다 [4][5].

본 논문에서는 최적 모듈 선택을 유전자 알고리즘을 이용하여 선택, 교배, 돌연변이 연산을 통해 적합도가 우수한 레를 탐색하고 세대가 되풀이 되면서 전력, 면적, 속도를 고려한 최적화 방법을 제안하여 전력 소모를 최소화 할 수 있다.

일반적으로 스케줄링 후, 2가지 단계를 더 거쳐 데이터 패스가 완성된다. 자원의 할당 단계가 그 하나이고, 그 뒤를 이어 자원의 바인딩 단계가 수행된다. 이러한 할당 및 바인딩 단계는 포괄적으로 데이터 패스 할당이라고 한다. 모듈 선택 단계가 자원 할당 단계에 앞서서 수행되는 하나의 독립된 분야라고 하지만, 보통 모듈 선택은 그 밀접한 관련성으로 인해 자원 할당 단계에 포함된다. 자원 할당 단계는 컴포넌트 라이브러리로부터 알고리즘 상에 존재하는 여러 연산들을 구현하기 위한 하드웨어 모듈의 수와 타입을 선택하는 단계이다. 보통 컴포넌트 라이브러리는 여러 특성(기능, 면적, 그리고 전력소모 등)을 가진 여러 타입의 기능연산자를 포함할 수 있기 때문에, 자원 할당 단계에서는 그러한 컴포넌트 라이브러리에서 여러 유형의 기능연산자와 저장 유닛의 수와 타입을 선택할 필요가 있다.

III. 최적의 모듈 선택 방법

모듈을 선택하는 과정은 물리적 정전 용량을 고려하여 적절한 하드웨어를 할당하는 상위 수준 합성 단계이다. 기능연산자, 메모리, 레지스터, 멀티플렉서 그리고 버퍼들은 모듈 선택 단계에서 라이브러리로부터 선택된다. 일반적으로 상대적 물리적 정전 용량이 큰 유닛들은 동작 속도가 매우 중요시되는 회로에서 고려 대상이다. 저 전력 설계의 아키텍처 합성은 전력, 면적, 지연

의 매개 변수에 상호 독립적이기 때문에 최적화 문제가 복잡하다. 최적 모듈 선택 방법으로 유전자 알고리즘을 제안하였으며, 이는 동시에 전력, 면적 지연을 동시에 고려하여 최적화를 수행한다. 일반적인 모듈 선택 및 저전력 설계는 별도로 취급하여 기존의 전력 라이브러리는 전력 예측 모델을 기반으로 스위칭 동작량이 가장 적은 쪽을 선택하여 구축하였으나 본 연구에서는 모든 조건을 고려하여 최적의 조건을 만족할 수 있는 RT(Register Transfer)라이브러리를 구축하였다.

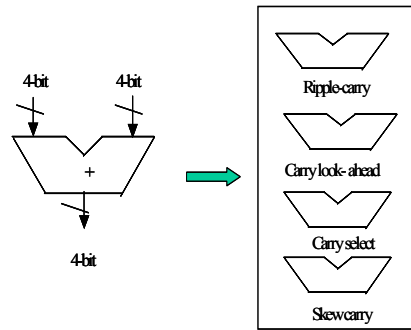


그림 1. RT 컴포넌트 선택 아키텍처
Fig. 1 RT component selection architecture

1. 모델 및 표현 (Models and Representations)

저전력에 사용되는 모듈의 모델 및 표현을 하기 위해 RT 라이브러리를 구축하고 최적 모듈 선택 알고리즘에 필요한 모듈 선택 용어 정의의 기술 최적 모듈 선택 알고리즘을 다음과 같이 기술한다.

가. RT 라이브러리

제안한 알고리즘이 효율성을 측정하기 위하여 표 1에 제시한 라이브러리를 채택하였다.

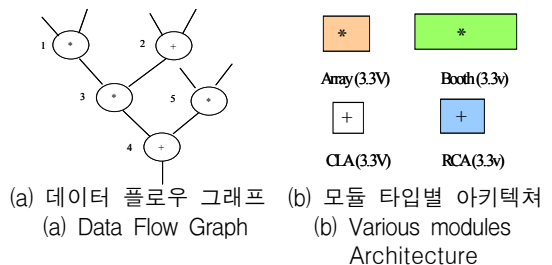
표 1. RT 라이브러리의 예
Table 1. RT library value in experiments

Module Type	Voltage (V)	Delay (ns)	area (μm^2)	power (mW)
+ ripple-carry adder	3.3	150	1258	5.4
	5	80	1258	22.7
+ carry look-ahead	3.3	80	6598	10.5
	5	40	6598	37.3
* booth multiplier	3.3	320	16455	30.7
	5	145	16455	84.0
	3.3	160	32090	143.1
	5	100	32090	295.6

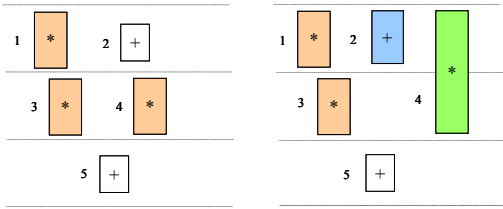
각 엔트리 모듈은 적합한 연산의 전압, 지연, 면적, 전력에 대한 정보를 포함한다. 스위칭 동작은 PRESTO[7]을 이용하여 일반화하였고 컴포넌트는 0.6μ 3.3 V VTI 표준 셀 CMOS 라이브러리를 이용하였다.

또한 이와 같은 컴포넌트들은 단지 2 입력 NAND, NOR, 인버터만으로 합성되었다. 라이브러리를 고정 연산 집합으로 두고 클럭 사이클은 최적화된 파라미터로서 사용하였다. RT 라이브러리의 예를 들면 그림 1에서와 같이 같은 가산 연산이라 하더라도 각 구조에 따라 모듈 선택을 달리 선택하여야 한다. 그림 1은 RT 컴포넌트 선택 아키텍처를 나타낸다.

아키텍처 선택 과정에서 그림 2(a)의 DFG와 그림 2(b) 모듈 타입별 아키텍처의 전력의 제약 조건이 있을 경우 가산 연산을 리플 캐리 가산(Ripple Carry Adder), 캐리 룩어헤드 가산(Carry-look ahead adder), 스쿠 캐리 가산(Skew Carry Adder) 등에서 선택할 수 있다. 보통의 공급 전압 하에서의 RCA(Ripple Carry Adder)는 조금 속도가 느리기는 하지만 적은 물리적 정전 용량으로 인해 CSA(Carry Select Adder)에 비해 에너지 측면에서 효율적이다. 하지만 저 전압 환경으로 속도 제한을 만족할 수 없게 되는 경우, 물리적 정전 용량이 다소 크더라도 CSA(Carry Select Adder)를 사용해야 한다. 따라서 주어진 전력 감소 제약 특성에 맞게 나타난 아키텍처 선택을 그림 2(c)와 그림 2(d)에서 비교하여 나타낼 수 있다.



(a) 데이터 플로우 그래프 (a) Data Flow Graph
(b) 모듈 타입별 아키텍처 (b) Various modules Architecture



delay : 400, power : 450.3 area : 70778 delay : 400, power : 332.8 area : 56401

(c) 아키텍처 1 (d) 아키텍처 2
(c) Architecture 1 (d) Architecture 2

그림 2. 아키텍처 선택
Fig. 2 Architecture selection

```

pop(i) = mutation(pop(i); // 돌연변이
}
pop(i), ... , pop(k)를 population
    내의 kro의 염색체와 대치;
}
가장 우수한 모듈을 return;
}
Until( all the value of  $\psi(v)$  have been tried)
}
    
```

일반적으로 스케줄링 제어스텝은 동일하고 전력 및 면적 면에서 그림 2(d)의 아키텍처가 저 전력에 유리한 구조를 나타낸다. 그림 2는 모듈에서의 아키텍처 선택 과정을 나타내었다.

나. 모듈 선택 용어 정의

(정의 1) 데이터 플로우 그래프 (DFG) : 방향성 그래프 $G(V, E)$ 로서 V 는 연산의 집합이고 E 는 연산간의 의존성을 표현한 에지의 집합이다.

(정의 2) 타입 : 연산자 V 를 나타낸다. $\tau(v)$ 는 연산을 수행하는 함수이다.

(정의 3) 모듈 라이브러리 : 모듈의 집합으로 M 으로 정의된다.

(정의 4) 모듈 지원 집합 : 연산을 v , 연산종류를 $\tau(v)$ 로 표현하며, $\psi(v)$, $\psi(\tau)$ 은 연산을 수행할 수 있는 모든 모듈의 집합이다.

(정의 5) 모듈 매핑 : $f : X \rightarrow M, X \subseteq V$, 은 X 안의 각 연산들은 수행하고 모듈을 할당한다. $X \subset V$ 이면 f 는 부분적 모듈 매핑이라 불리어지며, $X = V$ 이면 완전 모듈 매핑이라 한다. 또한 f^{-1} 는 f 에 의해 매핑 되어진 연산자들의 집합을 나타낸다.

(정의 6) 주어진 모듈 매핑 f 는 면적, 지연시간, 전력 소모 등에 관한 비용함수를 가지고 있다. $Area(f)$, $Delay(f)$, $Power(f)$ 은 상대적으로 f 의 면적, 지연, 전력 비용의 하한 경계를 나타낸다.

모듈 선택은 주어진 최적 목적을 가진 모듈 라이브러리로 주어진 DFG을 위한 최적의 모듈 매핑을 구하는 문제이다.

다. 모듈 선택 알고리즘 방법

전절에서 기술하였듯이 지연과 면적을 고려한 전체적인 최적 전력 감소 즉 면적, 지연, 전력을 최적화한 파라미터를 고려한 아키텍처를 설계하기 위해서는 모듈 선택의 전체 설계 영역을 조사해야 한다. 앞에서 정의한 본 연구에서는 모듈 선택의 조건에 따라 유전자 알고리즘을 사용하여 최적의 모듈 선택을 자연계에서 적자생존의 원리에 따라 세대가 지나면서 우량의 형질을 지닌 개체가 생성되는 과정을 모방한 방법으로 모듈을 선택해서 최적의 결과를 구하고자 한다. 그러나 모듈 선택 영역에서 DFG 전체에 대하여 모듈을 검색하는 것은 바람직하지 못하다. 그러므로 최적 모듈 선택을 위한 효율적인 제거 기법이 중요하다. 그림 3은 제안된 모듈 선택 및 합성 알고리즘을 나타낸다.

```

Main()
{
  Bound ← A vector of Maximum numbers;
  /* 모듈 매핑에 도달할 수 있는 최대비용 */
  v ← An operation which has no predecessor;
  X ←(v) ; f ← ∅
  Call GeneticSelection (X, f, v, Bound)
  For each f in the feasible configuration list
  { If f - Bound > δ Delete f /* 반복제거 */
  For each f in the feasible configuration list
  { Perform Scheduling and Allocation on f;
  /* 스케줄링 및 할당 수행 */
  Find the optimal architecture;
  /* 최적 아키텍처 찾음 */
  }
  target architecture
  ← the optimal architecture
}
}
Proc GeneticSelection(X, f, v, Bound)
{
  generation = 1;
  While(종료조건 K=∅)
  {
  For(i=1부터 임의의 수 K가지 반복)
  {
  염색체 p1, p2 선택; // 선택
  pop(i) = crossover(p1, p2); // 교배
  }
  }
}
    
```

그림 3. 제안된 모듈 선택 알고리즘
Fig. 3 Proposed module selection algorithm

제안한 모듈 선택 알고리즘은 RT 라이브러리로부터 적합도 함수에 의해 평가된다. 이 과정에서 선택, 교배, 돌연변이 연산을 통해 적합도가 우수한 해를 탐색하게 되고 세대가 되풀이 되면서 가장 우수한 모듈을 선택하게 된다. 알고리즘에서 GeneticSelection는 4개의 인수를 가진 반복적인 서브루틴으로, X는 현재 매핑된 연산자의 집합을 나타내고, f는 모듈 매핑 함수이다. 그리고 v는 연산자이고, Bound는 모듈 매핑에 해당하는 최대 비용을 나타낸다.

IV. 제안한 저전력을 고려한 모듈선택 알고리즘의 비교 실험

본 논문에서 비교 실험한 벤치마크는 첫 번째는 FIR(Second Order Finite Impulse Response filter)필터

로 5개의 곱셈과 4개의 덧셈, 19개 예지로 구성된다. 두 번째는 IIR(Second Order Infinite Impulse Response filter)필터로 5개의 곱셈과 4개의 덧셈, 19예지로 구성되어 있다. 마지막으로 참고문헌 [7]에 소개된 data flow 예제)는 6개의 곱셈과 3개의 덧셈, 15개 2개의 뺄셈, 25예지로 구성되어 있다. DFG로 입력을 받아 알고리즘 미적용과 본 논문에서 제안한 알고리즘을 비교 평가하였다.

표 3은 사용된 자원의 수를 나타낸다. 여기에서 결과는 알고리즘 미적용과 제안한 알고리즘은 동일한 제어 스텝의 결과를 얻었다. 기능 연산자(functional unit)와 멀티플렉서간의 절충(tradeoff)을 제외하고는 레지스터 개수는 동일한 결과 값을 보였다. 표 4에서는 최대 26.9% 전력감소를 보였다.

표 3. 제어 스텝과 사용된 자원의 수 비교
Table 3. Comparison of control step and resource usage

벤치마크	제어스텝		사용된 자원					
	미적용	알고리즘 적용	미적용			알고리즘 적용		
			Reg	FUs	Mux	Reg	FUs	Mux
FIR	5	5	10	3	6	10	4	5
IIR	5	5	10	5	10	10	6	9
Paulin	4	4	14	5	11	14	6	10

표 4. 알고리즘 미적용과 알고리즘적용의 전력소모
Table 4. Power consumption obtained by power for FDS and FDS_LP from environment SIG1

알고리즘 벤치마크	미적용	적용	Reduction(%)
Testexample	136.2	99.6	26.9%
FIR	158.7	143.1	9.8%
IIR	231.2	210.3	9.0%
Paulin	376.2	314.4	16.4%

V. 결론

본 논문은 효율적인 유전자 알고리즘에 의한 최적 모듈 선택 알고리즘을 제안하였다. 최적 모듈 선택 방법은 유전자 알고리즘을 이용하여 면적, 지연, 전력의 최적 파라미터에서 선택, 교배, 돌연변이 연산을 통해 적합도가 우수한 모듈을 탐색하고 세대가 되풀이되면서 가장 우수한 모듈을 찾아 내었다. 비교 실험에서는 최적 모듈 선택을 고려한 제안한 알고리즘과 알고리즘을 미적용 했을때의 전력 차이를 비교하여 최대 전력 감소량은 26.9 %를 얻을 수 있었고, 반면에 최소 전력 감소량은 9.0% 얻었다. 모든 벤치마크 평균 전력 감소량은 15.525 %가 되었다.

본 연구의 기대 효과로는 고성능 저전력 데이터 경로 설계의 구현을 위하여 DSP, Microcontroller 및 ASIC, Network 설계에 효과적으로 적용할 수 있다.

참고 문헌

- [1] A. Chandrakasan, T. Sheng, and R. Broderseon, "Low Power CMOS Digital Design. Journal of Solid State Circuits", Vol. 27, No. 4, pp. 473-484, April 1992.
- [2] K. J. Liu, et. al, "Algorithm-Based Low Power and High Performance Multimedia Signal Processing", IEEE Proceedings, Vol. 86, No. 6, pp.1155, Jun. 1998.
- [3] E. Musoll and J. Cortadella, "High-level Synthesis Technique for Reducing the Activity of Functional Units", Proc. Int'l Symposium on Low Power Design, pp.99-104, 1995.
- [4] S. Ramprasad, N. K. Shanbhag, and I. N. Hajj., "Analytical Estimation of Signal Transition Activity from Word-Level Statistics", IEEE Trans. on CAD, Vol. 16, No. 7, pp.718-733, July 1997.
- [5] J. H. Satyanarayana and K. K. Parhi, "Theoretical Analysis of Word_Level Switching Activity in the Presence of Glitching and Correlation", IEEE Trans on VLSI System, April 2000.
- [6] Poonam Agrawal, "PRESTO: A Gate-level Power Analyser", Master's thesis, University of California, Irvine, 1996.
- [7] P. G. Paulin and J. P. Knight, "Force-directed scheduling for the behavioral synthesis of ASICs", IEEE Trans. on CAD, Vol 8, No. 6, Jun. 1989.

저자 소개



전종식(Jong-sik Jeon)

1994년 2월 청주대학교 전자공학과 졸업(공학사)

1996년 8월 청주대학교 전자공학과 졸업(공학석사)

1999년 3월 ~ 2001.2 청주대학교 전자공학과 박사수로

2000년 3월 ~ 현재 강원관광대학 부사관과 조교수

※관심분야 : e-스포츠, 게임시나리오 분석, ASIC