
Clock-gating 을 고려한 저전력 8-bit 마이크로프로세서 설계에 관한 연구

전종식*

The study on low power design of 8-bit Micro-processor with Clock-Gating

Jong-sik Jeon*

요 약

본 논문에서는 전력 소비를 감소시킬 수 있는 클럭게이팅 기법을 제안하여 8bit RISC 마이크로프로세서를 설계하였다. 제안된 설계 방법의 타당성을 검토하기 위해서 저전력을 고려하지 않은 8비트 마이크로프로세서와 클럭 게이팅을 이용한 저전력 8비트 마이크로프로세서를 설계하여 소모 전력을 비교하였다. 기존의 마이크로 프로세서와 저전력으로 설계된 마이크로프로세서와의 소모 전력을 비교한 결과 시간에 대하여 비교하였을 경우 동적 소모 전력에 대하여 21.56% 감소를 얻을 수 있었다.

ABSTRACT

In this paper, to design 8 bit RISC Microprocessor, a method of Clock Gating to reduce electric power consumption is proposed. In order to examine the priority, the comparison results of between a 8 bit Microprocessor which is not considered Low Power consumption and which is considered Low Power consumption using a methods of Clock Gating are represented.

Within the a few periods, the results of comparing with a Microprocessor not considered the utilization of Clock Gating shows that the reduction of dynamic dissipation is minimized up to 21.56%.

키워드

8 bit RISC Microprocessor, Low Power, Clock-Gating, Dynamic Dissipation

1. 서 론

최근까지의 대규모 디지털 시스템 설계시 저전력을 고려해야하는 이유는 저전력을 필요로하는 시스템들이 많이 늘어났고 앞으로는 더욱 그렇기 때문이다. 과거에도 저전력 설계가 요구 되었지만, 최근에는 portable system들이 급격히 증가하였으며, 그 예로 휴대폰, 노트북 컴퓨터, PDA, MP3 등을 들 수 있다. 또한 최근의

대부분의 제품들이 소형화되고 휴대성을 중요시 하고 있다. 실제로 현재의 디지털 시스템 경향은 단순한 휴대를 떠나서 모든 제품들간의 통신네트워크가 가능한 유비쿼터스 시대로 발전하고 있다.

높은 클럭 주파수로 동작하는 시스템의 경우 고전력 소모로 인한 신뢰도 문제와 그에 따른 패키징(packaging) 비용의 증가가 발생함에 따라, 저전력을 고려한 설계 기술은 시스템 설계의 관점에서 점점 더 중요한

* 강원관광대학 부사관과
심사완료일자 : 2007. 08. 29

접수일자 : 2007. 07. 13

비중을 차지하여 소모 전력을 고려한 시스템 설계에 대한 연구가 많이 이루어지고 있다. 이러한 연구들은 회로와 논리 수준의 하위 수준에서의 설계에 대한 연구가 대부분이다. 그러나, RTL(Register Transfer Level) 수준에서 다양한 변환 기법들을 시스템 설계에 적용하여 저전력을 고려한다면, 적은 비용과 노력으로 하위 수준의 설계에 비해 훨씬 더 큰 전력 감소 효과를 얻을 수 있으며, 여러 다양한 기법을 적용할 수 있다.

이전의 상위 수준 합성에 관련된 대부분의 연구는 VLSI의 면적과 성능을 최적화하는 방법에 대하여 집중적으로 연구 되어왔다. 최근 들어, 디지털 시스템의 성능과 복잡도가 증가함에 따라 전력이 중요한 요소가 되기 때문에, 자원 할당 과정에서도 전력을 줄이기 위한 방법들이 제안되고 있다. 저 전력 회로구현은 여러 설계 수준의 범위를 포함해야 하나 특히 회로 설계 초기 단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 수준에서의 최적화는 매우 중요하다. 이전에 제안된 방법으로는 데이터 경로의 병렬화, 파이프라이닝 또는 다중 전압(multiple voltage)을 이용하여 공급전압(supply voltage)을 감소시키거나, 피 연산자를 공유하는 시블링 연산(sibling operation)을 같은 기능장치에 할당하는 스케줄링(scheduling)과 바인딩(binding) 방법을 제시하였다[1][2].

본 논문에서는 데이터 패스 합성에 사용한 동적 전력 소모를 감소시키는데 효과적인 클럭 게이팅(clock-gating) 기법을 이용하여 8-bit 마이크로프로세서를 설계하였다. 전력 소모 중 가장 큰 부분을 차지하고 있는 것은 동적 소모 전력이므로, 사용하고 있지 않는 회로의 클럭을 인가하지 않으면 클럭과 레지스터 값의 변화에 따른 전력 소모를 줄일 수 있다.

따라서 본 논문에서는 회로의 특정 부분의 동작 결과가 다음 단계에서 사용되어질 것인지의 여부를 결정하여, 그 중 필요하지 않은 부분은 클럭을 인가하지 않는다. 즉, 각각 클럭이 회로에 인가될 경우에 정지시킬 회로를 제어하여 소비전력을 감소시킨다[3][4].

II. 전력소모 원인

일반적으로 CMOS 회로에서 전력소모를 결정하는 요소는 정적 전력소모와 동적 전력소모이다. 정적 전력

소모는 누설전류나 전원에서 연속적으로 공급되는 전류에 의한 것이고, 동적 전력소모는 스위칭에 과도전류와 부하 커패시턴스의 충전과 방전에 의한 것이다. 정적 전력 소모는 디바이스의 누설전류와 전원전압에 의해 발생한다. 실용적인 기준으로 상온에서 디바이스 당 0.1 ~ 0.5nA 정도의 누설 전류가 허용된다. 전체 정적 소모 전력은 식 (1)로 나타낸다. 여기에서 I_{lc} (leakage current)는 누설 전류를 나타내고, V_{sv} (supply voltage)는 공급 전압을 나타낸다.

$$P = \sum_{i=1}^n I_{lc} * V_{sv} \dots\dots\dots \text{식 (1)}$$

n 은 디바이스의 개수를 나타내고, 누설전류와 공급 전압의 곱으로 나타낸다. 또 다른 전력 소모인 동적 전력소모에 대한 식은 식 (2)와 같다. 일반적으로 상위 수준에서의 전력 소모는 동적 전력소모만을 고려한다. 파워소모 식 (2)에서 전력 소모에 영향을 주는 요인으로 물리적인 요소인 전원과 클럭 주기 커패시턴스의 정전 용량이 있다. 커패시턴스의 정전 용량은 입력 비트에 따라 유동적이기 때문에 상위 레벨 합성에서는 스위칭 동작(switching activity)를 줄이는 방법이 저 전력의 주목적으로 되고 있다.

$$P_{dynamic} = C_L \cdot V_{DD}^2 \cdot f \dots\dots\dots \text{식 (2)}$$

$$C_L = \alpha C_{phy}$$

식 (2)에서 전력은 공급전압(V_{DD}^2)이 조금만 감소하여도 소비 전력은 크게 감소하게 된다. 그러나 회로의 지연 시간은 증가하게 된다. 일반적으로 회로에서 VDD의 감소는 클럭 주파수에 의해 제한을 받으므로 속도 제한 조건을 만족시키기 위해서는 유효 정전 용량의 감소를 고려해야만 한다[5].

III. 본론

1. 내부 구조

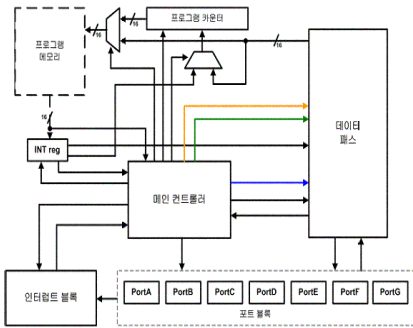


그림 1. Clock-gating을 이용한 저전력 8비트 마이크로프로세서

Fig. 1 Architecture of 8-bit RISC processor with low power

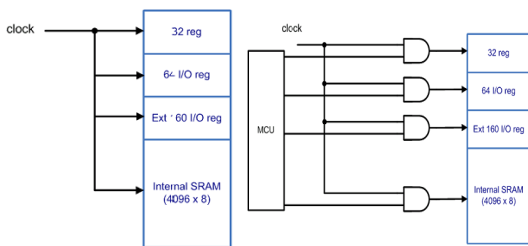
본 논문에서 설계 하고자 하는 저전력 8비트 RISC 프로세서의 내부 구조는 그림 1과 같다.

그림 1은 프로그램 메모리와 데이터 메모리를 액세스하기 위한 버스를 독립적으로 사용하는 하버드 구조(Harvard Architecture)와 파이프 라인 처리 방식을 기반으로 하는 RISC 기술을 적용하여 동작 속도 향상을 갖는다.

2. 저전력을 고려한 합성설계

전력 소모 중 가장 큰 부분을 차지하고 있는 것은 동적 소모 전력이므로, 사용하고 있지 않은 회로 한 부분의 클록을 인가하지 않으면 클록과 레지스터 값의 변화에 따른 전력 소모를 줄일 수 있다.

따라서 회로의 특정 부분의 동작 결과가 다음 단계에서 사용되어질 것인지의 여부를 결정하여, 그 중 필요하지 않은 부분은 정지 시킨다. 즉, 각각 클록이 회로에 인가될 경우에 정지시킬 회로를 제어하여 전력소비를 상당량 줄일 수 있다.



(a) General Datapath (b) with a gated clock

그림 2. 클록 게이팅
Fig. 2 Clock-gating

그림 2 (a)는 일반적인 데이터 패스에 인가되는 클록 (clock)을 나타낸다. 매 사이클마다 클록이 계속해서 인가된다. 사용하지 않는 데이터 메모리에 계속해서 클록이 사용되므로 전력 낭비가 매우 크며, 본 논문에서 적용하기 위한 마이크로프로세서의 구조 특성상 1사이클 명령이 대부분이므로 이에 대한 클록 스위칭(clock switching)이 매우 크다. (b)에서는 제어신호가 인가될 때에만 레지스터가 동작하게 되어 소비되는 전력을 감소시킬 수 있다. 명령어 디코딩을 통하여 데이터 패스에 필요한 제어신호를 만들게 되어 클록이 필요한 부분에 구동(enable)신호를 인가하게 된다. 게이팅(gating)된 클록의 주파수가 낮아질수록 레지스터의 클록 입력에 의한 전력 소모를 더욱 줄일 수 있다.

또한 본 논문에서는 이것을 명령어에 따라 각각 나누어 데이터 패스의 클록 입력을 제어한다. 이러한 예로서 MOV Rd, Rr에 대한 디코딩 과정과 데이터 패스로의 클록 입력을 다음과 같이 나타내었다.



0 0 1 0 1 1 OP code

d : destination

r : source

그림 3. MOV 명령 디코딩
Fig. 3 MOV Instruction decoding

그림 3에서는 명령어(operation) 16비트 중 상위 6비트를 보고 어떤 명령어인지 판별하게 된다. 여기서 d는 데스티네이션 오퍼랜드를 나타내고 r은 소스 오퍼랜드를 나타낸다. 16비트 001011은 MOV 명령어를 나타낸다. 이런 디코딩 과정을 통하여 AND 게이팅(gate)의 입력 제어 신호를 생성하게 된다.

```

if operation(15 downto 10) = "001011" then
  case present_state is
    when T1 =>
      ...
      gpwr_en <= '1';
      io_en   <= '0';
      exio_en <= '0';
      sr_en   <= '0';
    when others =>
      ...
  end case;
...

```

그림 4. VHDL 소스
Fig. 4 VHDL source

그림 4에서 MOV 명령어 디코딩을 하는 VHDL 소스 코딩을 보여준다. 프로그램 카운터가 가리키는 프로그램 메모리 주소 번지의 명령어를 디코딩하게 된다. 오퍼레이션 코드(Operation Code)를 통하여 MOV 명령어를 확인하게 되면, MOV 명령어 동작에만 필요한 GPWR 영역에 클록을 인가하는 구동(enable) 신호를 출력한다.

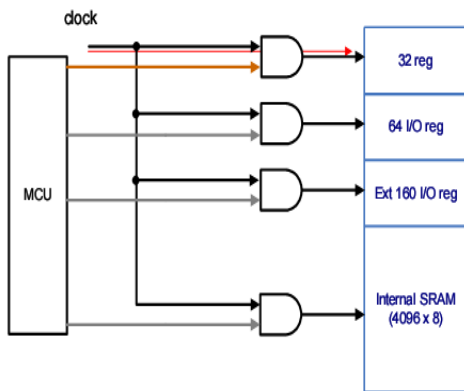


그림 5. 클록 게이팅 제어 신호
Fig. 5 Clock-gating with ctrl signal

그림 5에서는 MCU(Microprocessor Control Unit)에서 나오는 제어 신호에 의하여 데이터 패스의 4개 블록 중 클록이 필요한 블록에 인가됨을 표현하였다. 디코딩 과정을 통하여 클록이 필요한 부분은 GPWR 영역의 레지스터이므로 GPWR 영역에만 구동 신호를 내보내고 그 외의 데이터 메모리 블록에는 구동 신호를 인가하지 않아 클록을 차단하게 된다. 본 논문에서 기준이 되는 8 비트 RISC 프로세서의 대부분의 명령어 이런 형태로

설계되었다.

VI. 실험 및 결과

본 절에서는 제안된 8비트 RISC 마이크로프로세서의 설계 시뮬레이션과 설계된 8비트 RISC 마이크로프로세서와 제안한 저전력을 고려한 설계와의 소모 전력 비교 테스트를 한다. 시뮬레이션 검증은 Modelsim 5.7g 을 이용하였고, 소모 전력 비교 테스트는 Quartus II 5.0 Powerplay Power Analyer를 이용하여 분석하였다. Target Device는 Stratix II EP2S130F1508C4를 이용하였다.

표 1. 기존 설계와 저전력 설계와의 비교
Table 1. Compare between original design

| | Model A (MHz) | Model B (MHz) | compari-son |
|-----------------------|---------------|---------------|-------------|
| Maxumum Frequency | 15.214 | 15.319 | +0.7% |
| Combiantion functions | 6321 | 6260 | -0.9% |
| registers | 8804 | 8804 | - |

본 논문에서 제안한 방식으로 설계하였을 경우 동작 주파수가 0.7% 향상 되었다. 조합회로 블록 또한 0.9% 정도 늘어나게 되었으며 레지스터의 크기는 동일한 결과를 볼 수 있었다.

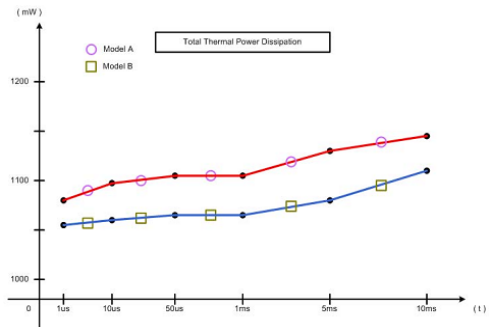


그림 6. 전체 전력 손실 그래프
Fig. 6 Total dissipation power a graph

그림 6에서는 0~1 μ s, 0~10 μ s, 0~50 μ s, 0~1ms, 0~5ms, 0~10ms 각각 6번 전력을 측정하여 시간의 흐름에 따른 전력 감소에 대한 그래프를 볼 수 있다. 그래프에서 알 수 있듯이 일정한 전력의 차를 볼 수 있다. 1 μ s부터 1ms까지 큰 변화는 볼 수 없으나 1ms 이후부터 전력 소모가 증가 하고 있는 것을 알 수 있다. 기존의 설계와 저전력 설계와의 차는 일정한것을 알 수 있다.

V. 결 론

본 논문은 2단 파이프 라인 처리 방식을 채택하여 대부분이 1사이클 명령에 실행되는 8비트 RISC 마이크로 프로세서를 설계하였다. 본 논문에서 설계한 마이크로 프로세서의 데이터 패스 블록에서 클록 스위칭이 매우 크기에 소모 전력이 크다. 따라서 저전력 구조의 프로세서를 구현하기 위하여 클록 게이팅을 이용한 8비트 RISC 마이크로 프로세서를 설계하였다.

명령어 디코딩을 통하여 메인 컨트롤러에서는 모든 명령어에 대한 클록 제어 신호를 생성하고 AND gate를 이용하여 데이터 패스의 클록을 제어하게 된다. 기존의 마이크로 프로세서와 저전력으로 설계된 마이크로 프로세서와의 소모 전력을 비교한 결과 전체 소모 전력에 대하여 2.51%의 감소를 얻었으며 시간에 대하여 비교하였을 경우에 동적 소모 전력에 대하여 21.56% 감소를 얻을 수 있었다.

참고 문헌

- [1] L. Shang, A. S. Kaviani, and K. Bathala, "Dynamic power consumption in Virtex[tm]-II FPGA family", In Proceedings of ACM/SIGDA International Symposium on Field-programmable gate arrays, 2002.
- [2] K. J. Liu, et. al, "Algorithm-Based Low Power and High Performance Multimedia Signal Processing", IEEE Proceedings, Vol. 86, No. 6, pp.1155, Jun. 1998.
- [3] E. Musoll and J. Cortadella, "High-level Synthesis Technique for Reducing the Activity of Functional Units", Proc. Int'l Symposium on Low Power Design, pp.99-104, 1995.
- [4] E. Musool and J. Cortadella, "Scheduling and resource binding for low power", Int'l Symp on System Synthesis, pp.104-109, Apr. 1995.
- [5] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-Power CMOS digital design", IEEE J. of Solid-State Circuits, pp. 473-484, 1992.

저자 소개



전종식(Jong-sik Jeon)

1994년 2월 청주대학교 전자공학과 졸업(공학사)

1996년 8월 청주대학교 전자공학과 졸업(공학석사)

1999년 3월 ~ 2001.2 청주대학교 전자공학과 박사수로

2000년 3월 ~ 현재 강원관광대학 부사관과 조교수

※관심분야 : e-스포츠, 게임시나리오 분석, ASIC