

논문 2007-44SD-6-8

# 차동 이차 고조파 출력을 갖는 CMOS LC 전압조정발진기

(A CMOS LC VCO with Differential Second Harmonic Output)

김 현\*, 신 현 철\*\*

(Hyun Kim and Hyunchol Shin)

## 요 약

발진기를 구성하는 교차결합된 P형 및 N형 트랜지스터의 공통 소스 단자로부터 기본 발진주파수의 이차 고조파 신호를 차동으로 출력하는 전압조정발진기를 제안하였다. 공통소스단자의 임피던스를 최적화하고 발진기를 전압제한영역에서 동작시키면 차동 이차 고조파 신호가 모든 공정/온도/공급전압의 코너에서 진폭차와 위상차가 0~1.6 dB 이고 +2.2°~-5.6° 범위 안에서 유지됨을 확인할 수 있었다. 또한 진폭/위상 오차를 보정할 수 있는 임피던스 튜닝 회로도 사용하였다. 제안된 구조를 검증하기 위해 5 GHz 차동 이차고조파를 발생하는 전압조정발진기를 0.18- $\mu$ m CMOS 공정을 통해 설계 제작하였다. 이차고조파의 차동출력의 차이인 에러 신호는 임피던스 튜닝 회로를 통하여 -70 dBm이라는 낮은 수준으로 측정되었다. 따라서 CMOS LC 전압조정발진기가 진폭차가 0.34 dB 이고 위상차가 1° 인 만족할만한 차동의 이차고조파 신호를 출력하고 있음을 확인하였다.

## Abstract

A technique is presented to extract differential second harmonic output from common source nodes of a cross-coupled P- & N-FET oscillator. Provided the impedances at the common source nodes are optimized and the fundamental swing at the VCO core stays in a proper mode, it is found that the amplitude and phase errors can be kept within 0~1.6 dB and +2.2°~-5.6°, respectively, over all process/temperature/voltage corners. Moreover, an impedance-tuning circuit is proposed to compensate any unexpectedly high errors on the differential signal output. A prototype 5-GHz VCO with a 2.5-Hz LC resonator is implemented in 0.18- $\mu$ m CMOS. The error signal between the differential outputs has been measured to be as low as -70 dBm with the aid of the tuning circuit. It implies the push-push outputs are satisfactorily differential with the amplitude and phase errors well less than 0.34 dB and 1°, respectively.

**Keywords:** Voltage Controlled Oscillator, CMOS VCO, Push-Push VCO.

## I. 서 론

고주파 통신용 송수신기에서는 높은 출력 주파수와 낮은 위상잡음, 적은 전력소모를 갖는 발진기가 필수적이다. 일반적으로 LC 공진기를 갖는 발진기가 수십 GHz의 고주파대역으로 갈수록 작은 값의 인덕터가 필요하지만 반도체 공정 오차로 인해 발진기의 동작 주파수가 높아질수록 설계 값과 실제 제작후의 주파수의

오차가 커질 가능성이 높다. 이러한 VCO의 문제점을 개선하기 위해 VCO에 주파수 체배기와 같은 회로를 부가하여 VCO는 낮은 주파수에서 동작시키지만 출력 주파수는 높이는 방법이 사용된다. 그러나 이러한 방법은 추가적인 회로와 추가적인 전류소모를 필요로 한다는 단점을 가지고 있다. 또 높은 주파수를 얻어내기 위한 다른 방법으로는 VCO 내에서 두 배의 주파수를 얻어 내는 푸쉬-푸쉬 (Push-Push)구조가 있다. 이 구조는 두 개의 평행발진기로부터 나온 출력을 한 지점에서 효과적으로 더하여 두 배의 주파수 출력을 얻는 방식이다. 이와 같은 구조는 Si RFIC<sup>[1-2]</sup> 및 III-V MMIC<sup>[3-5]</sup>에서 많이 사용되고 있다.

한편, RF집적회로(RFIC)에서 동상의 잡음(Common-mode noise)를 효과적으로 제거하여 잡음에 강한 신호

\* 학생회원, \*\* 평생회원, 광운대학교 전파공학과  
(Radio Science and Engineering Dept., Kwangwoon University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음  
(IITA-2006-C1090-0603-0038).

접수일자: 2007년3월27일, 수정완료일: 2007년5월22일

처리를 하기 위해서는 차동신호가 매우 중요하다. 그러나 기존의 푸쉬-푸쉬 VCO는 일반적으로 단일(single-ended) 출력만을 발생시킨다<sup>[5-6]</sup>. 이와 같은 단일신호 출력에서 차동신호(Differential-signal)를 얻기 위해서는 single-to-differential converter와 같은 추가적인 회로를 구성해야 하는 단점을 가지고 있다.

본 논문에서는 이와 같은 문제점들을 해결하고자 차동의 이차고조파 출력을 얻을 수 있는 전압조정발진기의 새로운 구조를 제안하였다. 차동 이차 고조파 출력을 갖는 CMOS LC 전압조정발진기의 동작원리를 조사하고, 제안된 회로개념의 실험적 확인을 위해 5GHz대역에서 CMOS LC 전압조정발진기를 설계 제작하였다. 본회로는 향후 수십 GHz대역에서 차동의 이차고조파 출력을 발생시키는 전압조정발진기에 적용될 수 있을 것이다.

## II. 동작 원리와 검증

### 1. 동작원리

본 논문이 제안한 푸쉬-푸쉬 전압조정발진기의 구조는 그림1의 회로와 같다. 인덕터( $L_{tank}$ )와 가변용량다이오드(varactor diode -  $C_{tank}$ )의 LC공진기와 부성저항(negative- $g_m$ )을 만들어 내기 위한 교차결합된 N-FET( $M_{1-2}$ ) 및 P-FET( $M_{3-4}$ )으로 구성되어 있다. 또 공통소스 단자(common source node) P와 M의 각각의 Q-factor와 임피던스를 같게 하고 탱크의 진폭을 키우도록 인덕터  $L_P$ ,  $L_M$  을 추가하였다.

전압조정발진기가 동작을 하면 그림 1의  $V_{fp}$ 와  $V_{fm}$ 의 신호파형처럼 차동출력이 얻어진다. 이때, P-FET, N-FET쌍의 상하 두 개의 공통소스단자에서 기본주파수  $V_{fp}$ 와  $V_{fm}$ 의 2차 고조파(second harmonics)성분인  $V_{2fp}$ 와  $V_{2fm}$  출력을 얻게 된다. 이 P, M 단자에서 발생된 두 배의 출력 주파수  $V_{2fp}$ ,  $V_{2fm}$ 은 위상차가  $180^\circ$ 이고, 진폭이 같은 차동신호가 될 수 있다. 이를 위해서는 P, M 단자가 같은 주파수 대역에서 공진하며 같은 Q-factor를 갖으며 탱크내 기본 주파수 성분의 진폭이 충분히 커야 한다. 다음은 이에 대해 자세히 알아보도록 한다.

먼저 P 와 M 단자에서의 2차 고조파 출력전압은 다음과 같이 간단히 나타낼 수 있다.

$$\begin{aligned} V_{2fp} &= - I_{HD2} \times Z_P, \\ V_{2fm} &= + I_{HD2} \times Z_M \end{aligned} \quad (1)$$

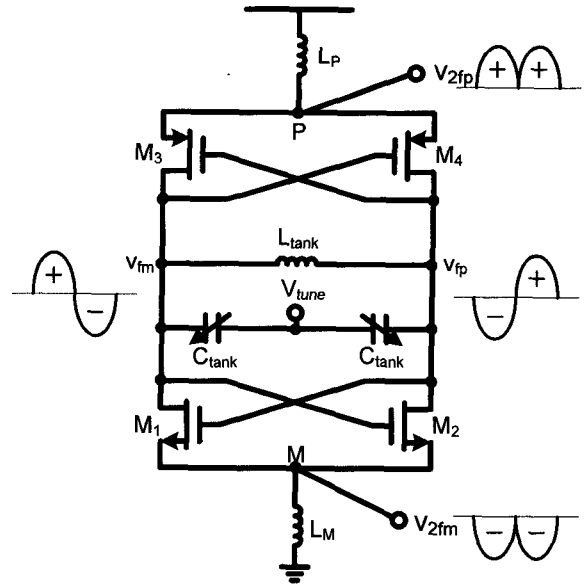


그림 1. 차동의 2차 고조파출력을 얻어내는 CMOS 전압조정발진기의 회로도

Fig. 1. Circuit schematic of CMOS VCO for obtaining differential 2<sup>nd</sup> harmonic output.

여기서  $I_{HD2}$ 는 2차 고조파 전류성분이고  $Z_{P,M}$ 은 P 단자와 M 단자에서의 임피던스를 의미한다. Fully differential 회로에서 1차 고조파 성분은 Differential path에서 순환하는 반면에 2차 고조파 성분은 Common mode path로 흐르기 때문에,  $I_{HD2}$ 가 공급전압으로부터 접지로 흐를 때, P, M 단자에서의 2차 고조파 전류  $I_{HD2}$ 는 같은 방향, 같은 크기가 된다. 이제 P와 M의 Q-factor가 같고  $Z_P$ 와  $Z_M$ 이  $2\omega_0$ 에서 같은 대역에서 공진한다고 가정하자. 그때 식 (1)에 의해 이차 고조파 출력 전압  $V_{2fp}$ 와  $V_{2fm}$ 은 완벽한 차동신호가 될 것이다.

그러나 N-FET과 P-FET의 서로 다른 소신호 파라미터와 기생성분 값 등에 의해서 공통소스단자 P와 M의 각각의 Q-factor와 임피던스  $Z_P$ 와  $Z_M$ 이 달라질 수 있다. 이러한 경우는 전압조정발진기가 전류제한 영역에서 동작할 때 쉽게 나타난다. 전류제한 영역에서는 교차 결합된 FET 쌍이 소스 팔로우로 동작을 하게 된다. 그때의 2차 고조파 출력 전압은 다음과 같이 나타낼 수 있다.

$$V_{2fp,m} = \frac{g_m + j\omega C_{gs}}{Z_{P,M}^{-1} + g_m + j\omega C_{gs}} V_{fp,m} \quad (2)$$

여기서  $g_m$ 은 트랜스컨덕턴스,  $C_{gs}$ 는 P-FET과

N-FET의 게이트-소스 커패시턴스,  $Z_{P,M}$  은 P 단자와 M 단자에서의 임피던스를 의미한다. 식 (2)에서 나타낸 것과 같이 P-FET 과 N-FET의 모든 소신호 파라미터들이 같을 때에만  $V_{2fp}$ 와  $V_{2fm}$ 이 차동신호가 될 수 있다. 그러나 P-FET과 N-FET의 소신호 파라미터들이 다르기 때문에  $V_{2fp}$ 와  $V_{2fm}$ 은 완벽한 차동신호를 만들어 낼 수 없다. 이와 같은 문제는 Yang *et al*<sup>[7]</sup>에 의해서도 언급된 바 있다. 전류제한 영역에서의 또 다른 문제는 2차 고조파 출력의 진폭이  $Z_P$ 나  $Z_M$ 에 비해 작은  $g_m$ 을 가지고 있기 때문에 진폭이 대략 50 mV이하로 매우 작다는 것이다.

이렇게 N-FET과 P-FET의 서로 다른 소신호 파라미터에도 불구하고 식(1)에서처럼 완벽한 차동의 이차 고조파를 출력시키기 위해서는 전압조정발진기를 전압제한 영역에서 동작시켜야 한다. 이 전압제한 영역에서는 교대로 스위칭 된 FET가 triode 영역으로 들어간다. 그리고 FET는 채널저항으로만 간단히 모델화 시킬 수 있다. 따라서 식 (2)에서 언급한 소신호 파라미터  $g_m$ 과  $C_{gs}$ 에 의한 효과는 없어지게 된다. 위와 같은 결과로 2차 고조파 출력 파형  $V_{2fp,m}$ 은 오직 식 (1)에서 언급한 것처럼 공통소스단자의 임피던스  $Z_P, Z_M$ 에 의해서만 결정이 되는 것이다.

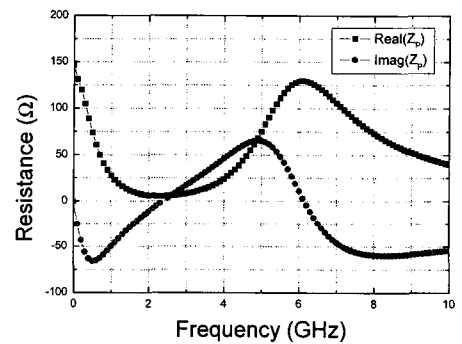
2. 시뮬레이션을 통한 동작원리 검증

앞에서 살펴본 것처럼 LC 전압조정발진기가 차동 이차고조파 출력을 갖기 위해서는 전압제한 영역에서 동작을 하여야 한다. 이와 같은 내용을 시뮬레이션을 통해 검증해보기로 한다. 시뮬레이션은 LC 공진부는 3 GHz 대역으로 설정하고 차동의 이차 고조파는 6 GHz 대역으로 설정하였다.

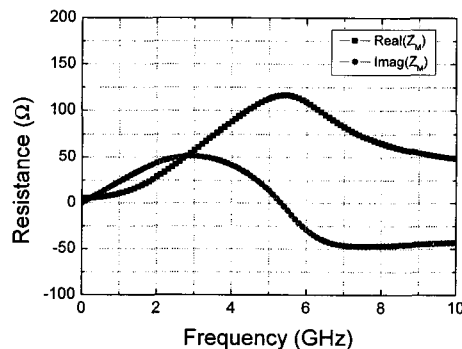
식 (1)에서처럼 공통소스단자 P, M의 임피던스  $Z_P, Z_M$ 가 같을 때에 차동의 이차고조파를 얻을 수 있다고 하였다. 이를 검증해 보기로 한다. 그림 2(a)와 (b)는 P와 M 단자에서의 s-parameter 시뮬레이션 결과이다. 그림 2에서 보는 바와 같이 P단자와 M단자의 Real 성분과 Imaginary 성분이 공진주파수의 이차 고조파 영역인 6GHz 대역에서 공진하고 있다. 6GHz에서의 임피던스  $Z_P$ 는 114.3  $\Omega$  이고  $Z_M$ 는 110.7  $\Omega$  이다. Q-factor는 P단자에서 8.45, M단자에서 7.7로 시뮬레이션 되었다. 이와 같이 P와 M단자에서 같은 대역에서 공진하고 같은 Q값을 가질 때 LC 전압조정발진기는 차동의 이차 고조파를 출력한다.

전류제한 영역과 전압제한 영역에서 차동의 이차고조파 출력도 검증하였다. 아래 설명에서 전압조정발진기의 N-FET 관련 신호파형만 나타내었는데, P-FET 부분에도 같은 원리로 대칭적으로 동작을 하는 것으로 이해하면 된다.

발진기가 전류제한 영역에서 동작할 때 트랜지스터는 소스 팔로우(source follow)로 동작하게 된다. 그림 3(a)에 보이듯, 각각의 트랜지스터는 게이트 입력전압 (gate input voltage)에 따라 교대로 소스팔로우 증폭기로 동작을 하거나, Off상태가 된다. 이때, 소스 팔로우로 동작하는 트랜지스터에 따라 각각  $V_{fp}, V_{fm}$ 의 반주기 “+” 영역이 합쳐져  $V_{2fm}$ 을 만들어 낸다. 0.18- $\mu$ m CMOS 공정을 이용하여 SPICE 시뮬레이션 하였다. 그림 3(b)는 그 결과인데,  $V_{fp}, V_{fm}$ 의 반주기 “+” 영역이 모여  $V_{2fm}$ 에 나타나고, 반대로  $V_{fp}, V_{fm}$ 의 반주기 “-” 영역이 모여  $V_{2fp}$ 로 나옴을 알 수 있다. 여기서 주의해야 할 것은  $M_1, M_2$ 의  $V_{gs}$  전압(DC bias)보다  $V_{fp}$ 와  $V_{fm}$  전압파형의 최저점이 높을 때 그림 2와 같은 방식으로 동작을 한다는 것이다. 그림에서 보이듯  $V_{2fp}, V_{2fm}$ 은 차동신호

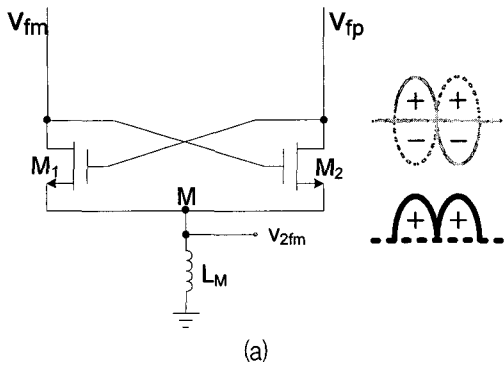


(a)

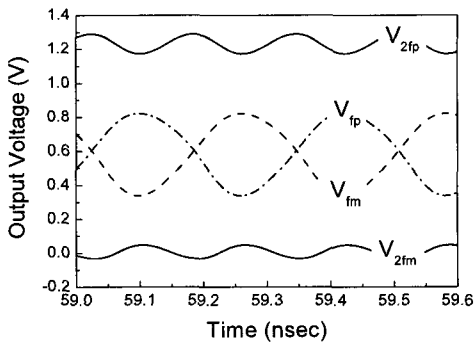


(b)

그림 2. (a) P 단자에서의 임피던스  
(b) M 단자에서의 임피던스  
Fig. 2. (a) Impedance at P node.  
(b) Impedance at M node.



(a)



(b)

그림 3. 전류제한영역에서의 동작

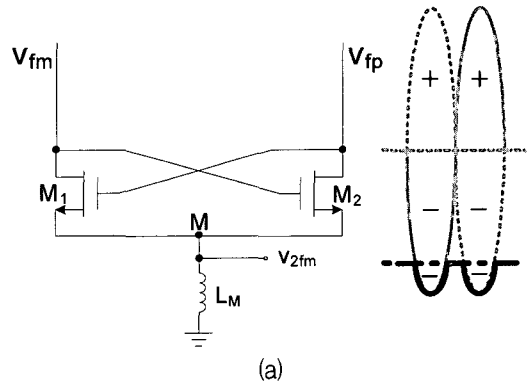
(a)개념도 (b)출력파형

Fig. 3. Operation in the current-limited regime.

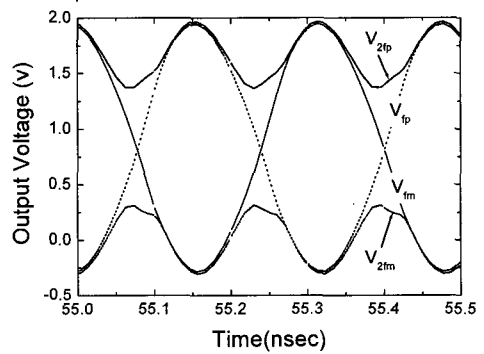
(a) conceptual diagram, (b) simulated waveform

에 가깝지만 위상 및 진폭오차가 비교적 크고 신호의 크기가 매우 작은 단점이 있음을 알 수 있다.

다음은 발진기가 전압제한 영역에서 동작할 때이다. 전압제한 영역에서는 LC 탱크의 진폭이 커서  $V_{fp}$ ,  $V_{fm}$ 의 최저점이 소스 전압보다 더 낮은 전압까지 내려 간다. 이때  $V_{gs}$ 는 negative가 될 수 없기 때문에  $V_{gs}$ 가 positive를 유지하기 위해 N-FET에서는 소스전압이 탱크스윙의 최저점보다 더 낮아지고 P-FET에서는 소스 전압이 탱크스윙의 최고점보다 더 높아진다. 따라서 NFET의 소스단자의 전압은 탱크스윙( $V_{fp/m}$ )의 전압과 형의 최저점을 따라가고 P-FET의 소스단자 전압은 탱크스윙( $V_{fp/m}$ )의 전압과 형의 최고점을 따라가게 된다. 따라서 LC 탱크의 파형이 차동신호라면 이차고조파 신호인  $V_{2fp/m}$ 도 차동신호로 출력된다. 이와 같은 동작을 그림 4(a)에 나타내었다. 그림 4(a)를 보면 탱크스윙( $V_{fp}$ ,  $V_{fm}$ )의 “-” 영역이 M 단자에서 합쳐져서 두 배의 주파수  $V_{2fm}$  이 나타나고 있음을 알 수 있다. 그림 4(b)는 시뮬레이션 결과 파형이다. 그림에서와 같이  $V_{2fm}$ 과  $V_{2fp}$ 의 진폭이 크고 위상오차도 작은 차동신호임을 확인할 수 있다.



(a)



(b)

그림 4. 전압제한영역에서의 동작 (a)개념도 (b)출력파형

Fig. 4. Operation in voltage-limited regime.

(a) conceptual diagram, (b) simulated waveform

결론적으로 전류제한영역의 동작보다 전압제한영역에서의 동작이 좀 더 정확한 차동신호를 만들어 낸다는 것을 확인하였다. 이것은 전류제한 영역에서는 P-FET과 N-FET이 비교적 불균형한 소스폴로우(source follow) 동작으로 인하여 이차고조파 신호  $V_{2fp}$ ,  $V_{2fm}$  을 만들어 내지만, 전압제한 영역에서는 전압조정발진기에서 발생한  $V_{fp}$ ,  $V_{fm}$ 의 올라가는 전압출력파형과 내려가는 전압출력파형을 따라  $V_{2fp}$ ,  $V_{2fm}$  을 만들어내기 때문이다.

전류제한 영역과 전압제한 영역 중간 단계도 확인하였다. 그림 5(b)는 이 영역에서의 시뮬레이션 결과 파형이다. 그림 5(b)의 출력 파형처럼 2차 고조파 신호가 왜곡 되어 마치 4배의 주파수처럼 출력되어지고 있다. 그러나 이것은 신호가 불규칙하고 불안하여 재현성이 없는 영역이다.

전압제한 영역에서  $V_{2fp}/V_{2fm}$ 이 완전한 차동신호가 되기 위해서는  $V_{fp}/V_{fm}$ 가 완전한 차동신호이어야 한다는 조건이 필요하다. 이것을 이해하기 위해 개념적 파형을 살펴보자. 그림 6(a)에 차동한  $V_{fp/m}$ , 그리고 이로부터 얻어진 두 배 주파수의  $V_{2fp/m}$ 를 나타내었다. 그림에서  $V_{2fp}$ 와  $V_{2fm}$ 이 완전한 차동신호임을 알 수 있다. 그러나 그림 6(b)의  $V_{fp/m}$ 처럼, 상승시간과 하강시간이 달라 서

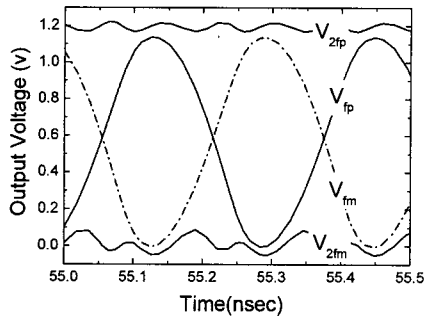
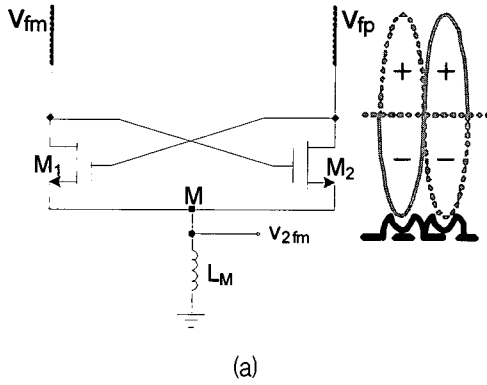


그림 5 전류제한영역과 전압제한영역의 중간영역에서의 동작 (a)개념도 (b)출력파형

Fig. 5. Operation in the transition mode. (a) conceptual diagram, (b) simulated waveform

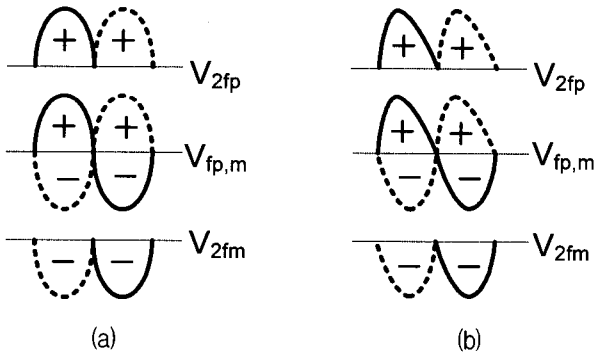


그림 6. 기본주파수파형의 왜곡이 이차고조파 파형에 미치는 영향  
Fig. 6. Effects of the fundamental swing at the tank core on the differential output signal.

로의 최고점과 최저점이 서로 일치 하지 않다면  $V_{fp/m}$ 의 양의 영역이 나타나는  $V_{2fp}$ 와 음의 영역이 나타나는  $V_{2fm}$ 은 더 이상 차동신호가 될 수 없다.

### III. 회로설계

0.18- $\mu\text{m}$  RF CMOS 기술을 이용하여 6 GHz에서 차동이차 고조파 출력을 얻는 LC VCO 회로를 설계하였

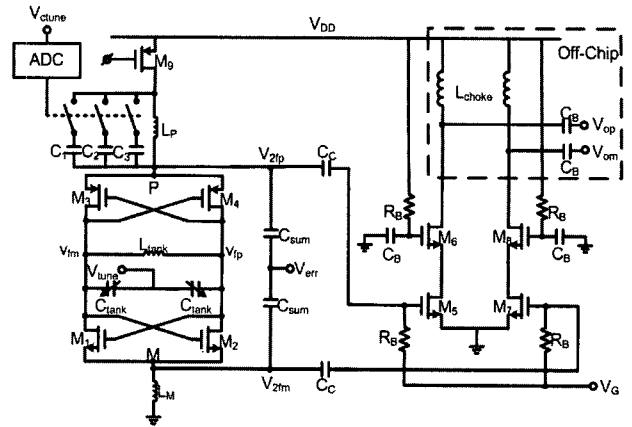


그림 7. 차동 이차 고조파 출력을 얻는 전압조정발진기의 회로도

Fig. 7. Circuit schematic of the differential push-push VCO.

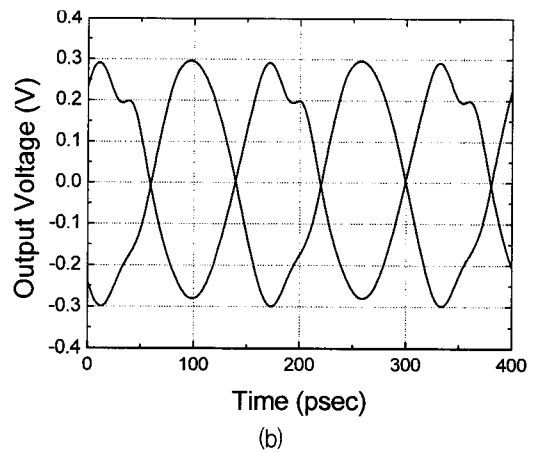
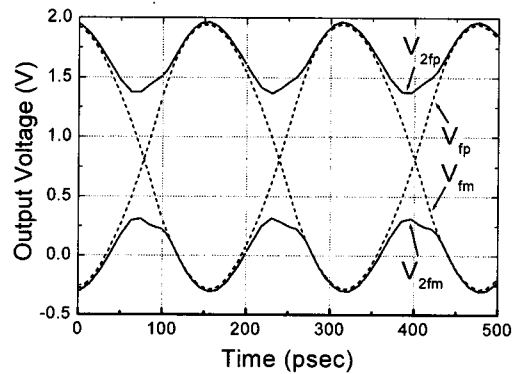
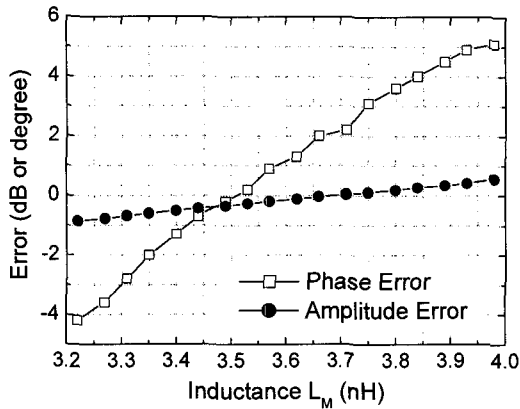


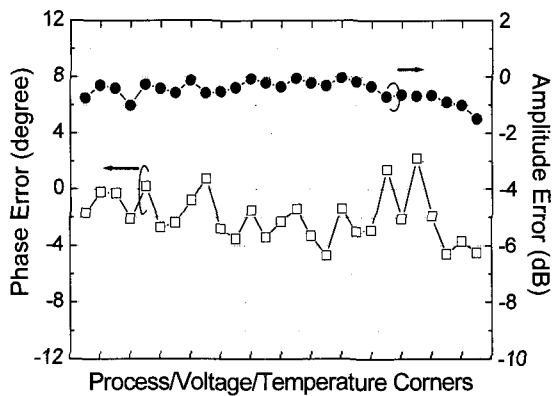
그림 8. 시뮬레이션 출력 파형, (a) 기본주파수와 2차고조파 파형, (b) dc 레벨이 제거된 차동 출력 파형

Fig. 8. Simulated waveforms, (a) the fundamental and the 2nd harmonic signals, (b) differential output signals with dc-level removed.

다. 그림 7에 회로도를 나타내었다. 전체회로는 1.8 V 공급전원에 5.1 mA의 전류가 소모되었다. VCO는 상호



(a)



(b)

그림 9. 차동출력의 진폭/위상오차 (a) 인덕터의 ±10%의 변화 (b) 공정변화 (SS/TT/FF), 온도 (-30/27/80°C), 공급전압(1.7/1.8/ 2.0V)에 따른 진폭과 위상 오차

Fig. 9. Amplitude and phase errors against (a) the inductance variation of ±10%, and (b) the corner conditions of process (SS/TT/FF), temperature (-30/27/80°C), and supply voltage (1.7/1.8/2.0 V).

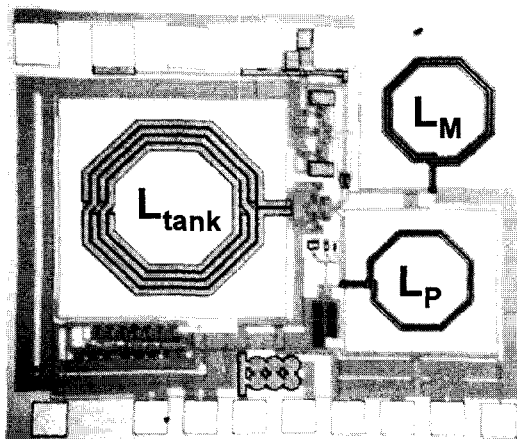


그림 10. 칩 사진

Fig. 10. Chip Micrograph.

교차 결합된 NMOS 및 PMOS 트랜지스터( $M_{1-4}$ ) 로 구성되어 있으며, LC 공진로 6.82 nH의 symmetric 인덕터  $L_{tank}$ 와 60 fF~180 fF 의 가변용량 다이오드 (varactor diode)  $C_{tank}$ 를 사용하였다. 발진 기본주파수는 3 GHz로 설계 하였으며, 그것의 2차 고조파(second harmonic)는  $V_{2fp}$ ,  $V_{2fm}$ 의 차동신호를 만들어 낸다.  $V_{2fp}$ ,  $V_{2fm}$  인  $V_{op}$ ,  $V_{om}$ 을 측정하기 위해 외부의 RF-choke load를 이용한 캐스코드(cascode) 증폭기를 사용하였다. 캐스코드 증폭기의 전력이득은 6 GHz 에서 2.15 dB이다.  $L_P$ ,  $L_M$ 은 차동신호의 불균형을 최소화하기 위해 최적화 되었으며 각각 1.87 nH, 3.62 nH 로 설계 하였다.  $L_P$ 와 병렬로 연결된 스위치 커패시터 뱅크  $C_1-C_3$  는 공정변화로 인한 차동신호의 오차를 보정하기 위해 사용하였다. 이를 위해  $C_1-C_3$ 를 동작시키기 위한 3bit 의 간단한 ADC(analog-to-digital converter)를 설계하였다.

GHz 대역의 신호는 시간영역에서는 정확하게 측정하는 것이 쉽지 않기 때문에<sup>[8]</sup> 정확하고 쉽게 측정이 가능한 주파수 영역에서 차동 신호를 측정하도록 하였다. 따라서 테스트 단자인  $V_{err}$ 은  $V_{2fp}$ 와  $V_{2fm}$ 의 오차 정도를 측정하기 위해 사용되었다. Error Signal  $V_{err}$ 은  $C_{sum}$  을 지나 두 차동신호로부터 더해져 발생한다.

그림 8(a)는 발진주파수와 P단자와 M단자에서의 2차 고조파 출력파형을 나타낸 것이다. 그림 8(b)는 커플링 커패시터  $C_C$ 를 지난  $V_{2fp}$ 와  $V_{2fm}$ 이다. 차동 이차 고조파 출력신호의 위상차는  $1.05^\circ$ 이고 진폭 차는 0.34 dB (595 mV<sub>pp</sub> vs. 572 mV<sub>pp</sub>)로서 매우 우수한 차동신호를 얻을 수 있었다.

공통소스단자(P, M단자)를 출력 신호로 발생시키는 단자로 이용하고 있다. 이 단자의  $L_P$ 와  $L_M$  인덕턴스 값에 따라  $V_{2fp}$ 와  $V_{2fm}$ 의 임피던스가 변화하고 그에 따라  $V_{2fp}$ 와  $V_{2fm}$ 의 진폭과 위상차가 달라질 수 있다. 이 영향을 조사하기 위해  $L_P$ ,  $L_M$ 에 따른 위상차와 진폭차를 시뮬레이션 했다. 일반적으로 인덕터의 공정오차를 ±5%로 가정할 때  $L_M$  은 3.2 nH~4 nH까지 변할 수 있다. 이때의 진폭 및 위상오차를 그림 9(a)에 나타내었다. 결과를 보면 인덕터의 공정오차를 가질 때 위상차 ±5°, 진폭차가 ±1.0 dB 정도를 유지 하는 것을 알 수 있다. 또한 프로세스(SS/TT/FF), 온도(-30, 27, 80°C), 공급전압(1.7, 1.8, 2.0 V) 총 27가지의 조합으로 코너 (coner) 시뮬레이션을 한 결과 -1.5~0 dB -4.7°~2.2° 정도를 유지하는 것을 알 수 있었다. 그림 9(b)는 그 결과를 나타낸 것이다.

IV. 제작 및 측정결과

차동 푸쉬-푸쉬 VCO는 TSMC 0.18- $\mu\text{m}$  RF CMOS 공정을 통해 제작되었다. 그림 10은 제작된 VCO 칩 사진이다. 면적은 패드를 포함하여  $1 \times 0.9 \text{ mm}^2$ 이다. RF on-wafer probes와 Bias-tee를 이용하여 측정하였고, 1.8-V 공급전원에 VCO core에 3.2 mA 의 전류가 소모되었다.

그림 11은 그림 7의  $V_{op}$  또는  $V_{om}$ 에서 단일출력으로 측정한 출력스펙트럼이다. 출력주파수는 5.59 GHz, 기본주파수 억압은 -15 dBc로 측정되었다. 그림 12와 같이 위상잡음은 1 MHz offset 에서 -114 dBc/Hz로 측정되었다. 여기서 출력은 단일출력으로 측정되었는데, 차동출력으로는 3 dB가 더 좋아질 것이다. 가변용량 다이오드의 조정전압( $V_{tune}$ )이 0~1.8 V로 증가함에 따라 그림 13과 같이 주파수 조정범위는 5.47 GHz~5.77 GHz

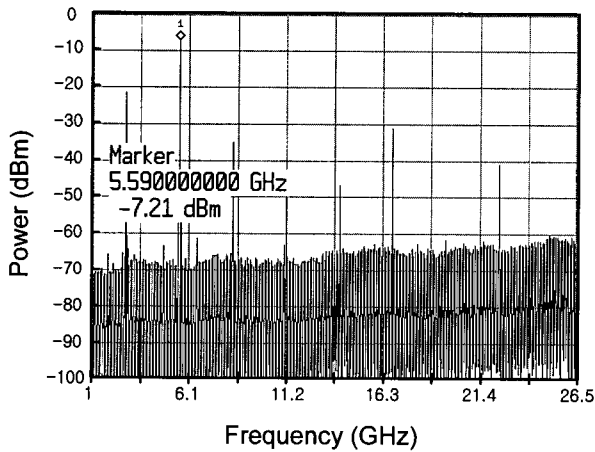


그림 11. 측정된 출력 스펙트럼  
Fig. 11. Measured output spectrum.

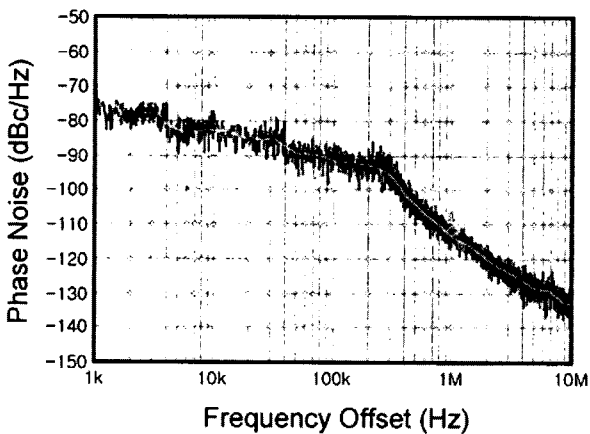


그림 12. 측정된 위상잡음  
Fig. 12. Phase noise measurement.

로 측정되었다. 그리고 출력전력은 케이블 손실 1.2 dB 를 감안하여 -6.8 dBm~-5.3 dBm 로 측정되었다.

차동신호의 위상차와 진폭차를 알 수 있는  $V_{err}$  를 측정하였다. 차동신호의 오차를 보정하기 위해 사용된  $C_{1-3}$ 를 동작시키지 않았을 때는  $V_{err}$  신호의 출력 스펙트럼이 -38 dBm로 측정되었지만,  $V_{ctune}$ 이 0.9~1.4 V 일 때는 20 dB~30 dB 정도 감소되었다. 그림 14는  $V_{ctune}$ 이 0.5, 0.9, 1.2 V 일 때  $V_{err}$  신호의 출력 스펙트럼이다.  $V_{ctune}$ 이 0.5 V 일 때는 비교적 큰 출력이 나오

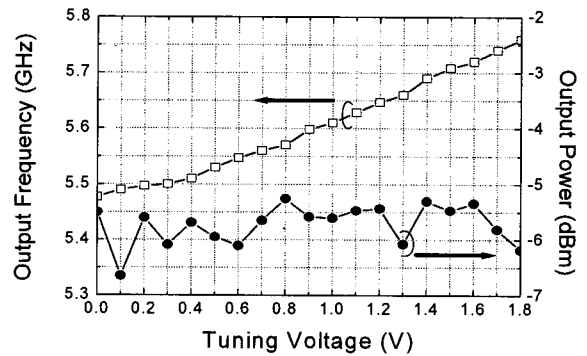


그림 13. 출력 주파수와 출력 전력  
Fig. 13. Tuning characteristics of the output frequency and power.

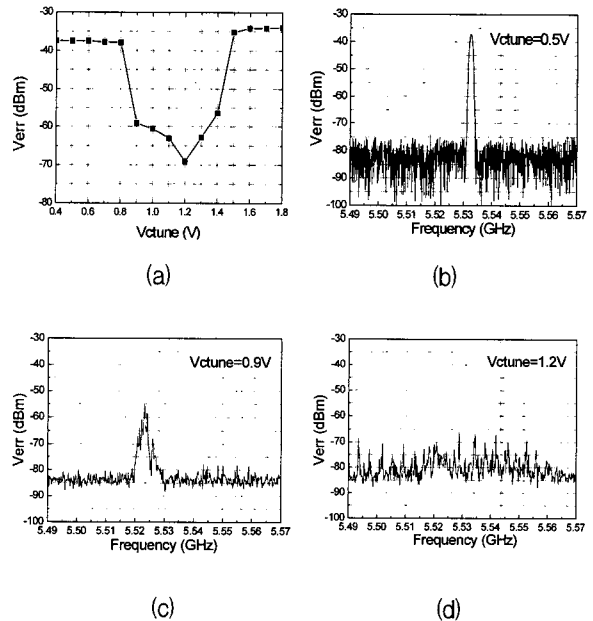


그림 14. (a)커패시턴스 뱅크의 튜닝전압( $V_{ctune}$ )에 따른 오차신호 스펙트럼 측정결과 (b-d)  $V_{ctune} = 0.5, 0.9, 1.2 \text{ V}$  일때의 에러 시그널 스펙트럼  
Fig. 14. (a) Measured error signal power against the capacitor bank tuning voltage ( $V_{ctune}$ ), (b-d) error signal spectrum for  $V_{ctune}=0.5, 0.9, 1.2 \text{ V}$ , respectively.

고 있다. 그러나  $V_{\text{ctune}}$ 이 0.9 V일 때는 현저하게 감소한다. 나아가  $V_{\text{ctune}}$ 이 1.2 V일 때는 거의 노이즈 레벨처럼 출력됨을 알 수 있다. 이것은  $V_{2fp}$ 와  $V_{2fm}$ 의 두 신호가 거의 완벽한 차동신호로 출력되고 있음을 의미하는 것이다.

VCO FOM(figure-of-merit)은 다른 출력주파수와 다른 전력소모를 가지고 있는 VCO를 공정하게 평가하는데 널리 사용되는 식 (3)을 사용하였다.

$$FoM = \Phi(f_m) - 20 \log \left( \frac{f_o}{f_m} \right) + 10 \log \left( \frac{P_{\text{diss}}}{1mW} \right) \quad (3)$$

여기서  $\Phi(f_m)$ 는 측정된 위상잡음,  $f_{\text{osc}}$ 는 발진 주파수,  $f_m$ 은 offset 주파수이다. 본 결과의 VCO FOM은 -181 dBc/Hz로 계산 되었다. 이는 비슷한 주파수 대역에서 기존에 발표된 CMOS VCO<sup>[9]</sup>의 -173.6 dBc/Hz보다 좋은 결과임을 알 수 있다.

#### IV. 결 론

CMOS LC 전압조정발진기에서 차동의 이차고조파를 출력하기 위해 새로운 전압조정발진기를 제안하였다. 공통소스단자인 P/M 단자를 공진시키고 같은 Q값을 가지며 전압조정발진기를 전압제한영역에서 동작시킬 때 원하는 차동 이차 고조파 신호를 얻을 수 있음을 보였다. 5 GHz대역 CMOS LC VCO를 제작하여 차동 신호의 오차신호가 -70 dBm 낮아짐을 확인하였다. 본 논문이 제안한 방법은 앞으로 수십 GHz 대역에서 차동의 이차 고조파 출력을 효율적으로 발생시키는 기술로 적용될 수 있을 것이다.

#### 참 고 문 헌

- [1] Y.-H. Cho, M.-D. Tsai, H.-Y. Chang, C.-C. Chang, H. Wang, "A Low Phase Noise 52-GHz Push-Push VCO in 0.18-um Bulk CMOS Technologies," in *IEEE RFIC Symp. Dig.*, pp. 131-134, June 2005.
- [2] X. Yang, C. Cao, J. Lin, K. K. O, and J. Brewer, "A 131-GHz Push-Push VCO in 90-nm CMOS Technology," in *IEEE RFIC Symp. Dig.*, pp. 613-616, June 2005.
- [3] O. Lee, J.-G. Kim, J. Laskar, S. Hong, "A 60-GHz Push-Push InGaP HBT VCO With Dynamic Frequency Divider," *IEEE Microwave and Wireless Comp. Letters*, vol. 15, no. 10, pp. 679-681, October 2005.
- [4] K. W. Kobayashi, et al., "A 108-GHz InP-HBT Monolithic Push-Push VCO with Low Phase Noise and Wide Tuning Bandwidth," *IEEE J. Solid-State Circuits*, vol. 34, no. 9, pp. 1225-1232, Sept. 1999.
- [5] H. Shin, J. Kim, "A 17-GHz Push-Push VCO Based on Output Extraction From a Capacitive Common Node in GaInP/GaAs HBT Technology," in *IEEE Trans. Microwave Theory and Tech.*, vol. 54, no. 11, pp.3587-3863, Nov. 2006 .
- [6] T.-P. Wang, R.-C. Liu, H.-Y. Chang, L.-H. Lu, H. Wang, "A 22-GHz push-push CMOS oscillator using micromachined inductors", *IEEE Microwave and Wireless Comp. Letters*, vol. 15, no. 12, pp. 859-861, December 2005.
- [7] M.-S. Yang, S. - M. Oh, S. - G. Lee, "Low power fully differential frequency doubler," *IEE Electronic Letters*, vol. 39, no. 19, pp. 1388-1389, Sept. 2003.
- [8] C. C. Meng, Y. W. Chang, S. C. Tseng, "4.9-GHz Low-Phase-Noise Transformer-Based Superharmonic-Coupled GaInP/GaAs HBT QVCO," *IEEE Microwave and Wireless Comp. Lett.*, vol. 16, no. 6, pp. 339-341, June 2006.
- [9] Y. K. Chu, H. R. Chuang, "A fully integrated 5.8GHz U-NII band 0.18um CMOS VCO," *IEEE Microwave and Wireless Comp. Lett.*, vol. 13, no. 7, pp. 287-289, Jul 2003.



## 저 자 소 개



김 현(학생회원)  
 2004년 2월 중부대학교 정보통신  
 공학사  
 2006년 8월 광운대학교  
 전파공학과 공학석사  
 2007년 1월~현재 광운대학교  
 전파공학과 박사과정  
 재학중

<주관심분야 : RF/Analog Integrated Circuits>



신 현 철(평생회원)  
 1991년 2월 KAIST 전기 및 전자  
 공학과 공학사  
 1993년 2월 KAIST 전기 및 전자  
 공학과 공학석사  
 1998년 2월 KAIST 전기 및 전자  
 공학과 공학박사

1997년 4월~1997년 10월 독일 Daimler Benz  
 Research Center 연구원

1998년 1월~2000년 3월 삼성전자 System LSI  
 선임연구원

2000년 4월~2002년 4월 미국 UCLA Postdoc

2002년 5월~2003년 8월 미국 Qualcomm  
 RF/Analog IC Design 선임연구원

2003년 9월~현재 광운대학교 전파공학과 조교수

<주관심분야 : RF/Analog/Microwave Integrated  
 Circuits and Systems>