

논문 2007-44SD-6-4

BD 기록기를 위한 전단 시스템에 관한 연구

(A Study of Front-end System for BD Recorder)

최 광 석*

(GoangSeog Choi)

요 약

BD-R/RE/ROM을 2배속으로 기록하고 재생할 수 있는 전단 시스템을 개발하였다. 시스템의 재생능력은 PR(a,b,c,d,e)형 5탭 PRML을 채택함으로써 향상되었다. 제안된 PRML 덕분에 2배속 25GB 디스크에서 $\pm 0.6^\circ$ 이상의 라디알 및 탄젠셜 틸드 마진을 가지고도 2×10^{-4} 이하의 BER을 얻을 수 있었다. 최적파워레벨이 다른 다양한 BD-R/RE의 안정적인 기록을 위해 OPC 방법에 대해서도 제안하였다. 개발한 시스템은 0.18- μm CMOS공정으로 60mm² 면적에 1,400만 트랜지스터를 칩에 집적하였다.

Abstract

The front-end system having a capable of 2x reading and writing of BD-R/RE/ROM is developed. Its readability is improved by adopting 5-tap adaptive partial response maximum likelihood (PRML) with the PR(a,b,c,d,e) type channel. Due to the proposed PRML, less than 2×10^{-4} of the bit error rate (BER) is achieved with radial and tangential tilt margin of over $\pm 0.6^\circ$ on 25GB disc in 2x speed. The method of an optimum power control (OPC) for stable writing of various BD-R/RE is proposed. The developed chip contains 14-million transistors in a 60mm² dies, and is fabricated in 0.18- μm CMOS technology.

Keywords : BD, Adaptive PRML, OPC, Adaptive Equalizer, Viterbi Detector

I. 서 론

IT시대의 도래는 많은 양의 디지털 데이터를 위한 저장 및 전송을 요구한다. 많은 저장 매체 중에서 광 디스크는 어떠한 다른 저장 매체들보다 편리하고 값이 싸며 주로 AV 및 PC응용에 사용되어진다. 1982년 CD (Compact Disc)의 도입이후로, 광 디스크는 디지털 데이터를 저장하는 매체로서 중요한 역할을 해오고 있다. 1990년대 중반에 SD (Standard Definition) 화질의 영화들을 위한 DVD (Digital Versatile Disc)가 등장하였다. DVD가 등장한 이후, 시장이 급속히 증가해서 DVD 재생기 및 기록기는 가장 성공한 가전제품으로 여겨지게 되었다. DVD는 4-8Mb/s에서 2시간 이상의 SDTV 방

송을 저장하기위한 용량을 가지고 있다. 그러나 HDTV (High Definition TV)방송이 시작된 이후에는 이를 2시간 이상 저장할 수 광 디스크가 필요하게 되었다. 그리하여 2002년에 처음으로 BD-RE (BD Rewritable)에 대한 규격이 발표되었다^[1]. 그리고 BD-RE만을 2배속으로 기록하고 재생할 수 있는 전단 시스템이 2004년도부터 발표되었다^[2,3]. 그 이후에도 DVD와 BD를 포함한 광 디스크들을 기록하고 재생할 수 있는 많은 칩들이 나타났다^[4,5]. BD-RE의 규격 발표이후에 BD-R/ROM의 규격도 2005년 말에 거의 완성되었다. 그리하여 BD-R/RE/ROM을 기록하고 재생 할 수 있는 전단 시스템을 개발하는 것이 필요하게 되었다. 그리고 PC의 저장 매체로 활용하기 위해서 고속의 동작에서도 안정적으로 재생할 수 있도록 전단 시스템의 재생능력을 향상시키는 것이 중요하게 되었다. 한편 BD-R/RE를 기록하는 동안에 디스크들 사이의 최적 파워 레벨의 차이는 최적의 기록을 어렵게 한다. 이러한 문제점들은 해소하기위

* 정희원, 조선대학교 정보통신공학부
(School of Information and Communication
Engineering, Chosun University)
접수일자: 2007년2월1일, 수정완료일자: 2007년5월11일

하여 OPC 방법을 제안하였다. 개발된 전단 시스템은 데이터 PLL (Phase Locked Loop), PRML, 데이터 처리기, 서보 블록, 버퍼제어 블록 등으로 구성된다.

본 논문에서는, 먼저 광 디스크 시스템의 전단시스템에 대해 간단히 기술한다. 두 번째로, 향상된 재생능력을 가진 5-탭 PRML의 알고리즘과 구조에 대해 상세히 설명한다. 다음에 OPC에 대한 처리흐름에 대해 간단히 언급한다. 마지막으로, 제안한 전단 시스템의 테스트 결과를 보여주고 본 논문을 마감한다.

II. 일반적인 전단 시스템

그림 1은 광 디스크 시스템을 간략화한 블록도로, 전적으로는 RF 블록, 전단 시스템 블록 및 후단 시스템 블록 등을 포함하는 3개의 블록들로 나뉘어 질 수 있다.

재생모드에서 RF 블록은 광 픽업으로부터의 아날로그 신호를 처리하며 등화된 RF 신호와 포커스 및 트랙 에러와 같은 에러신호들을 출력한다. 또한 RF 신호를 처리하기 위하여 AGC (Automatic Gain Control), DC 제거, 밸런스 조정 및 오프셋 조정과 같은 기능들도 RF 블록에 포함되어있다. 전단 시스템은 광 디스크의 물리 계층에 있는 데이터를 처리하는 역할을 한다. 재생모드에서 RF 블록으로부터 넘어온 아날로그로 등화된 RF 신호들을 받아들이고, 후단 시스템에 처리된 사용자 데이터를 전달한다. 후단 시스템은 사용자 데이터를 가지고 원 데이터를 만들어내는 역할을 한다. 후단 시스템은 MPEG2 (Moving Picture Experts Group2) 및 H.264와 같은 알고리즘으로 소스 복호하기도 하고, CSS (Content Scrambling System), CPRM (Content Protection for Recording Media) 및 AAC (Advanced

Access Content System)와 같은 암호화 해독처리도 한다. 기록 모드에서의 데이터 처리 흐름은 재생모드에서와는 반대이다.

이후부터 본 논문에서 개발한 전단 시스템에 집중하도록 한다. 전단 시스템은 PLL, 적응 등화기와 비터비 검출기를 포함하는 PRML, 모뎀과 오류부호정정 기능을 포함하는 데이터 처리기 및 서보 블록 등으로 구성된다. 재생 모드에서는 등화된 아날로그 RF 신호가 전단시스템에 입력되어, ADC (Analog-to-Digital Converter)에 의해 디지털화되어 PLL에 이용되는데, 이 PLL에서는 아날로그 RF 신호에 동기된 클록을 생성해 낸다. ADC에 의해 양자화된 RF 신호는 PRML블록에서도 사용되어지는데, 이 PRML 블록에서는 비트 직렬 데이터를 추출하여 데이터 처리기로 보낸다. 데이터 처리기는 17PP 복조, 버퍼 제어, 오류 정정 등과 같은 기능들을 수행한다. 서보 블록은 포커스 및 트랙 서보를 위한 스피들 모터와 스텝 모터를 제어한다.

광 채널은 데이터 밀도, 트랙 밀도, 광 픽업 성질 등에 의해 특징 지워질 수 있다. PRML의 적응 등화기는 디스크 포맷에 따라 다른 형태의 PR 채널을 채택한다. [3]에서의 전단 시스템에서는 PR(a,b,a)형 채널을 선택했다. LED (Level Error Detector)와 LMS (Least Mean Square) 계산기를 가지고 디지털 FIR (Finite Impulse Response) 필터는 적응 등화를 한다^[6]. PRML의 비터비 검출기는 적응 등화기의 등화된 디지털 출력을 받아들이고, 직렬 비트 스트림을 출력한다. 데이터 처리기는 직렬 데이터를 받아들인 후에, 직렬 데이터를 17PP 복조하고, RS (Reed Solomon) 복호로 오류 정정하고, ATA (Advanced Technology Attachment) 인터페이스를 통해 후단 시스템에 전달한다.

그림 2는 [3]에서 사용되어진 적응 등화기이다. 시스템은 PR(a,b,a)형 채널을 가지며 17PP 변조가 최소 변조 길이 2T를 가지므로, PR(a,b,a) 등화 후의 값들은 단지 4 레벨 값들로 분리되어진다. 적응 등화기는 11-탭 적응 FIR 필터, LED, LMS 계산기로 구성된다. FIR 필터의 탭 계수들을 최적화 하기위해서, LED는 필터의 출력들을 저장하고 주어진 시간 동안에 목표 응답의 원하는 레벨까지 일치하는 출력들의 검출 레벨을 찾기 위해서 그것들을 비교한다. LED는 부분 응답의 이미 정해진 예상 레벨로부터 검출 레벨을 감한다. 그리고 나서 LMS 계산을 위해 출력 에러 값들이 결정되어진다.

그림 3은 종래의 비터비 검출기를 나타낸다. BM (Branch Metric)을 계산하기위해서 등화된 디지털 출력

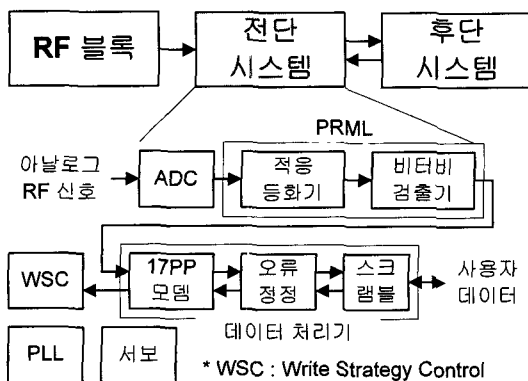


그림 1. 광 디스크 시스템을 간략화한 블록도
Fig. 1. A Simplified block diagram of an optical disc system.

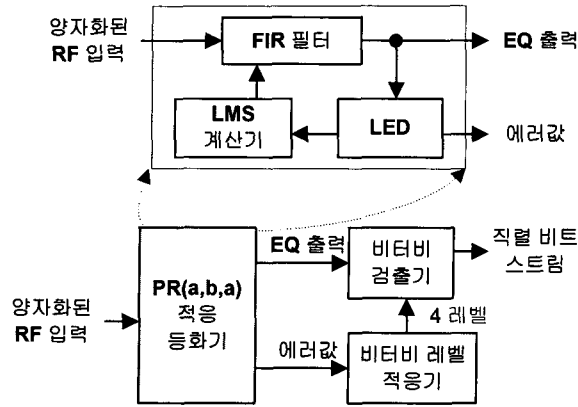


그림 2. 종래의 적응 등화기
Fig. 2. Conventional adaptive equalizer.

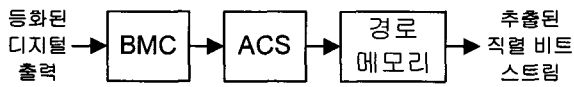


그림 3. 종래의 비터비 검출기
Fig. 3. Conventional Viterbi detector.

데이터는 BMC (Branch Metric Calculator)에 입력된다. 계산된 BM은 이미 정의된 트렐리스도에 따라서 ACS (Add Compare Select)를 통해서 선택적으로 더해진다. 마지막으로, 직렬 비트 스트림은 역-트레이스 방식으로 통해 경로 메모리로부터 추출되어지고 데이터 처리기에 전달되어진다.

III. 5탭 PR(a,b,c,d,e)형 PRML

그림 4는 제안한 PRML 구조의 블록도이다. 이 구조는 적응 등화기, 비터비 검출기와 채널 인식기로 구성된다. 먼저, BD의 광 채널로서 PR(a,b,c,d,e)를 채택했다. 비록 커진 채널 깊이로 인해 회로 양이 조금 증가하겠지만 PR(a,b,c,d,e)형은 재생능력을 위한 시스템 마진 측면에서 PR(a,b,a)보다 훨씬 낮다. BD의 17PP변조에서 최소 장 길이가 2T이기 때문에, PR(a,b,c,d,e) 등화 후의 값들은 16개의 기준 레벨 값들로 나누어진다. T는 채널 비트의 클록 주기이다.

양자화 된 RF 입력들을 검출하는 능력을 향상시키기 위한 몇 가지 등화기들이 있었다^[6,7]. 본 논문에서, 이전 논문 [3]에서 사용하였던 적응 등화기로서 11-탭 FIR 필터를 선택하였다. 그러나 16개의 기준 레벨들은 채널 인식기에서 계산되어진다. 적응 방법은 LMS 알고리즘에 의해 다음과 같이 처리되어진다.

$$W_{k+1} = W_k + 2\mu \cdot \xi \cdot X_k \quad (1)$$

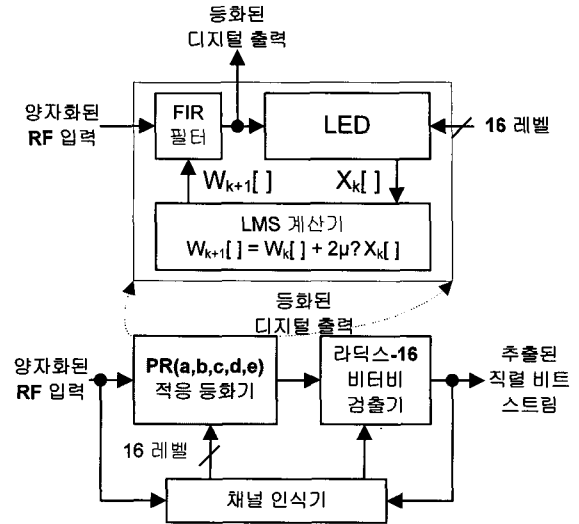


그림 4. 제안된 PRML 블록도
Fig. 4. Block diagram of the proposed PRML.

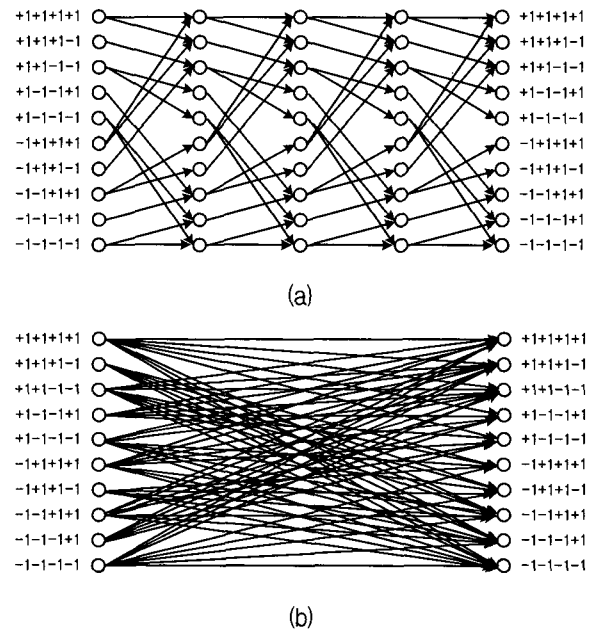


그림 5. 트렐리스도 (a) 원형, (b) 라디스-16형
Fig. 5. Trellis diagram (a) original, (b) radix-16 type.

여기서, W_{k+1} , W_k , X_k , ξ 과 μ 는 $(k+1)$ 번째 양자화 시간에서 새로운 필터계수들, (k) 번째 양자화 시간에서 현재 필터 계수들, (k) 번째 양자화 계산에서 모든 필터 탭들에 놓여지는 입력 데이터, 적응 에러 및 적은 이득이다.

최소 길이가 2T이고 목표 채널이 PR(a,b,c,d,e)이기 때문에, 트렐리스도는 그림 5(a)와같은 원형을 가진다. 그리고 트렐리스도는 그림 5(b)와 같이 고속 응용을 위해 라디스-16형으로 변환되어질 수 있다. 그림 6은 고속 응용이 가능한 라디스-16 비터비 검출기를 나타낸다. 이는 기존의 비터비 검출기에, SIPO (Serial Input

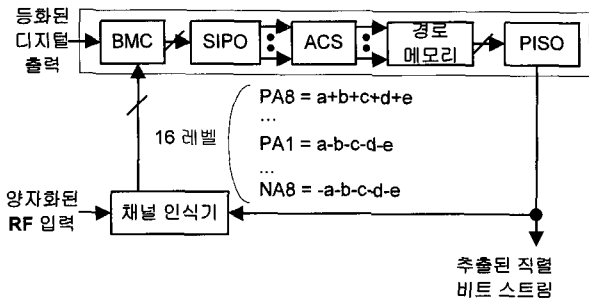


그림 6 라디스-16 비터비 검출기
Fig. 6. Radix-16 Viterbi detector.

Parallel Output)과 PISO (Parallel Input Serial Output)를 결합해서 구현되어진다. 라디스-16 형 비터비 검출기 구조에서는 동작 클럭으로 채널주파수를 4로 나눈 클럭을 사용할 수 있게 해준다. 이 구조는 10개의 상태들, 16개의 가지들 및 6개의 ACS 유닛들을 가지고 있다. BM 계산을 위한 입력 값들은 DC-오프셋이 제거된 데이터와 채널 인식기에서 계산되어진 16개의 기준 레벨들이다.

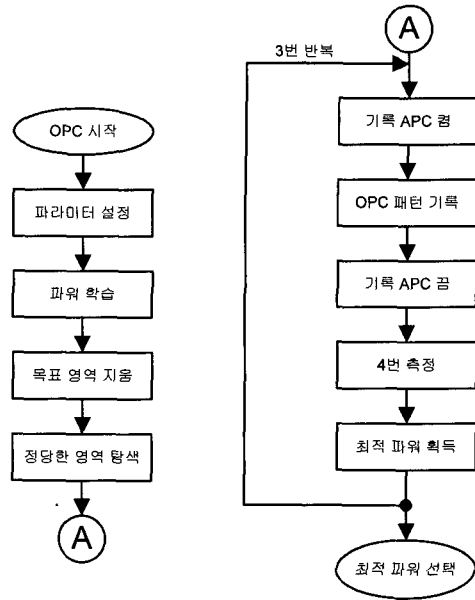
5-탭의 비터비 구조와 적응 등화기를 가지고, 채널 인식기는 채널의 특성을 나타내는데 적합한 16개 레벨을 찾는다. 채널 인식기는 아래와 같이 매 양자화 시간마다 16개의 비터비 레벨사이에서 1개의 레벨을 선택적으로 갱신한다.

$$L_{k+1} = L_k + d/c \tag{2}$$

여기서, L_{k+1} , L_k , d 와 c 는 $(k+1)$ 번째 양자화 시간에서 새로운 필터계수들, (k) 번째 양자화 시간에서 선택된 현재 필터 계수들, (k) 번째 양자화 시간에서 입력 데이터로부터 선택된 레벨을 감산한 값에 상응하는 레벨 에러와 채널 인식기 이득이다.

IV. OPC

본 논문의 전단 시스템은 OPC 기능을 수행한다. OPC는 디스크마다 다른 최적 기록 파워를 검출하는 제어로서 광 기록 디스크 시스템에 있어서는 꼭 필요한 기능이다. 본 논문에서 제안한 OPC 기능의 흐름은 그림 7(a)와 같다. 먼저 대상 디스크의 최적 파워 레벨을 찾기 위해서 파라미터를 설정한다. 그리고 파워 학습을 하고 알고리즘을 수행할 목표 영역을 지운다. 기록하기 전에 APC (Automatic Power Control)를 걸고 나서 각종 OPC 패턴을 기록하고 나서 APC를 끈다. 각 영역별로 4번을 측정하고 나서 최적을 파워를 얻게 되는데,



* APC : Automatic Power Control

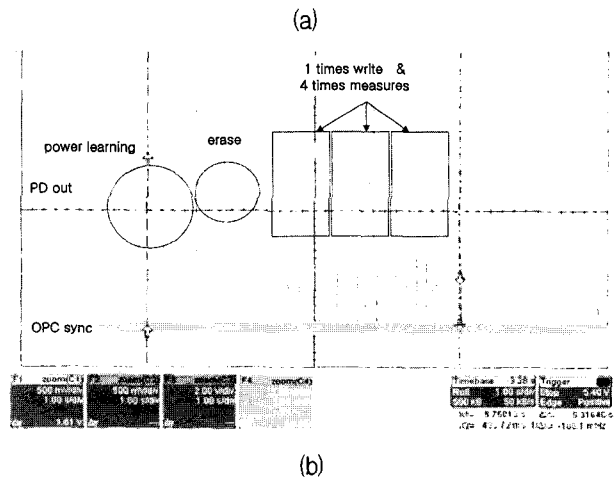


그림 7. OPC (a) 흐름, (b) 측정된 제어신호들
Fig. 7. OPC (a) flow, (b) Measured control signals.

이를 작업을 3번 반복하고 나서 대상 디스크에 적합한 최종적인 최적 파워 레벨을 결정하게 된다. 테스트는 소니에서 만들어진 디스크들을 포함하여 몇 가지 25GB BD-R/RE에서 이루어졌다. 그림 7(b)은 OPC를 행하는 과정에서 필요한 각종 신호들을 오실로스코프로 측정된 것이다. OPC 테스트 결과, 본 논문의 전단 시스템은 대부분의 BD-R/RE에서 3초 이내로 최적 파워 레벨을 얻을 수 있었으며, 여러 번 구해진 최적 파워 레벨의 오차를 3퍼센트 이내로 줄일 수 있었다.

V. 구현 및 테스트 결과

그림 8은 제출된 전단시스템을 구현한 칩 레이아웃이다. 많은 아날로그 및 디지털 코어들을 포함하는 하

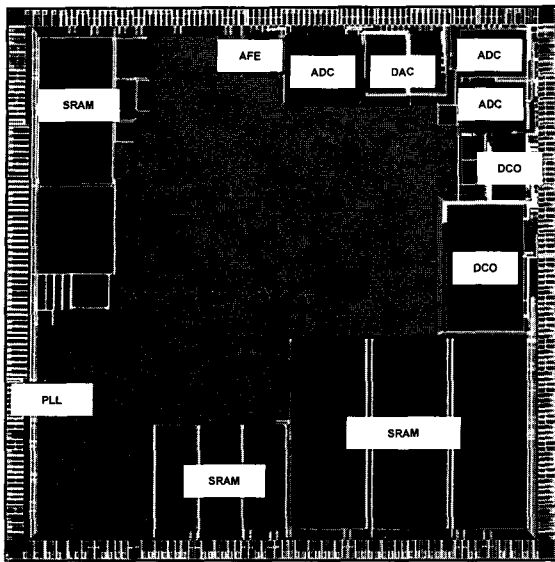
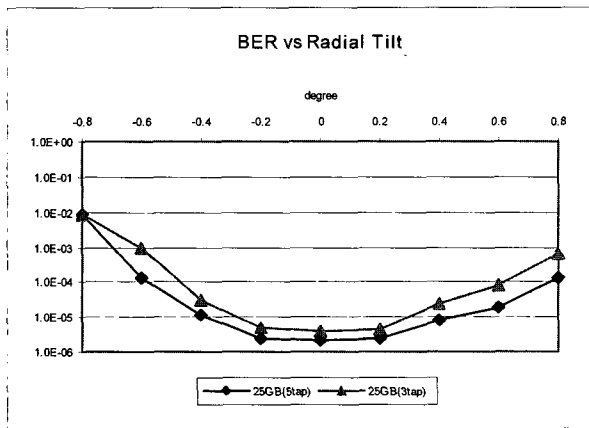
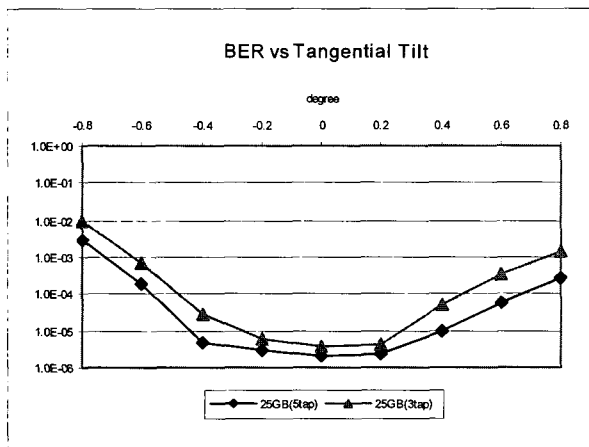


그림 8. 전단 시스템-온-칩의 레이아웃
Fig. 8. Layout of a front-end SOC.



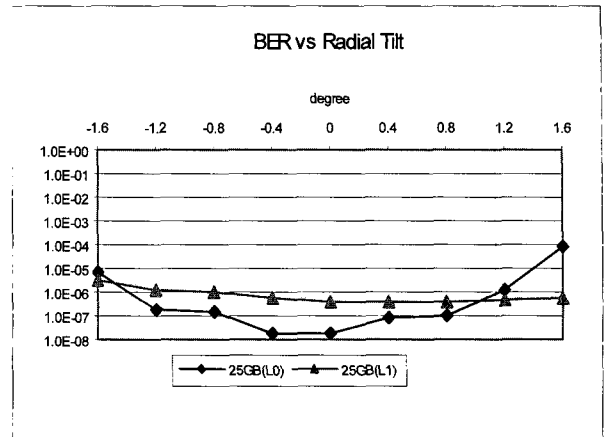
(a)



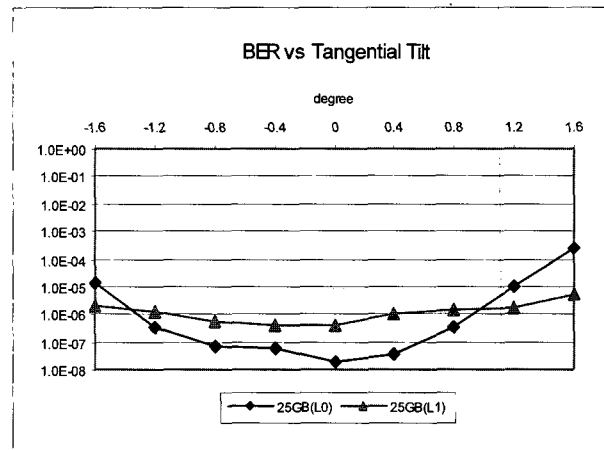
(b)

그림 9. 비트오류율 대 (a)라디알 틸트, (b)탄젠셜 틸트 @2배속 1층 25GB BD

Fig. 9. BER vs. (a) radial tilt, (b) tangential tilt @ single layer BD in 2x speed.



(a)



(b)

그림 10. 비트오류율 대 (a)라디알 틸트, (b)탄젠셜 틸트 @1배속 2층 25GB BD

Fig. 10. BER vs. (a) radial tilt, (b) tangential tilt @ double layer BD in 1x speed.

드 매크로와 논리 회로들을 포함한다. 그림 8의 레이아웃의 중심영역에 많은 논리 회로들이 나타나고, 가장자리에는 하드 매크로들이 위치해있다. 시스템은 0.18- μm CMOS 공정으로 64 mm² 정도의 면적을 가지며 1,400 만 트랜지스터를 포함한다. 패키지는 256 LQFP (Low profile Quad Flat Package) 이며, 공급전원은 내부 논리회로에 대해서 1.8V이고 아날로그 코어와 I/O 인터페이스에 대해 3.3V이다. 2배속 재생모드로 132MHz 정도의 채널클럭으로 동작시킬 때 약 1W의 전력 소모를 나타낸다.

제안한 5-탭 PRML의 성능을 확인하기 위해서, 25GB BD상에서 BER을 측정하였다. 이미 알려진 바와 같이 디스크 틸트는 라디알 및 탄젠셜 등 2가지 형태가 있다. 측정은 2배속으로 전단 시스템을 구동하면서 이

루어졌다. 전단 시스템은 타이밍 오류없이 잘 동작하였다. 그림 9는 BER 테스트 결과들을 나타낸다. 그림 9(a)는 라디알 틸트에 따른 BER을 나타낸다. 제안한 5-탭 PR(a,b,c,d,e) PRML 구조는 시스템 구동에 필요한 기준 BER을 2×10^{-4} 라고 할 때, $\pm 0.6^\circ$ 이상의 라디알 틸트 마진의 좋은 성능을 나타냈다. 그림 9(b)는 탄젠셜 틸트에 의한 BER 결과 값을 나타낸다. 이 결과들도 라디알 틸트의 결과들과 비슷하게 나타났다. 그림 9에서 나타나듯이, 제안된 5-탭 PRML 구조의 BER 성능은 종래의 3-탭 구조의 성능보다 훨씬 좋다는 것을 알 수 있다.

1배속으로 2층 25GB BD의 BER도 측정하였다. 이에 대한 BER 결과는 그림 10에 나타난다. 그림 10(a)는 L0와 L1층에서 라디알 틸트에 따라 BER을 나타낸다. 시스템은 2개의 층에서 모두 거의 10^{-8} 의 BER을 나타냈다. 그림 10(b)는 탄젠셜 틸트에 따른 BER을 나타냈다.

VI. 결 론

본 논문에서는 BD 기록기를 위한 전단 시스템을 제출하였다. 이 시스템은 BD-R/RE/ROM을 2배속으로 재생하고 기록할 수 있으며, 데이터 PLL, PRML, 데이터 처리기 및 서보 블록 등을 포함하고 있다. 더 좋은 재생 능력을 위하여 PR(a,b,c,d,e) 적응 등화기와 비터비 검출기를 포함하는 5-탭 PRML이 제안되었다. 측정결과를 볼때, 제출된 전단 시스템은 2배속에서 시스템 구동에 필요한 기준 BER 대비 $\pm 0.6^\circ$ 이상의 라디알 및 탄젠셜 틸트 마진을 가지는 좋은 성능이 나타났다. 특성이 다른 기록 디스크들의 안정적인 기록을 위해서 OPC 방법이 제안되었고, 이로 인해 3초 이내로 최적 파워 레벨을 찾으며 얻어진 결과 값들은 3퍼센트 이하의 에러 값을 가진다. 본 논문의 전단 시스템은 0.18- μ m CMOS 공정으로 칩으로 제작되었고, BD-R/RE/ROM를 가지고 2배속으로 충분히 테스트하고 검증하였다.

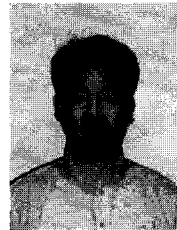
참 고 문 헌

[1] System Description of Blu-Ray Disc Rewritable Format *Part I*.
 [2] G.S.Choi, "The Front-End SOC for a Blu-ray Disc Recorder," *IEEE Communications Magazine*, Vol. 42, pp.124-131, Dec. 2004.
 [3] G.S.Choi et al., "A 0.18- μ m CMOS Front-end Processor for Blu-ray Disc Recorder With an

Adaptive PRML," *IEEE Journal of Solid-State Circuits*, Vol.40, No.1, pp.342-350, Jan. 2005.

[4] J.S.Pan, "A CMOS multi-format read/write SoC for 7x Blu-ray, 16x DVD, 56x CD," *IEEE International Solid-State Circuits Conference*, pp.572-573, Feb.2005.
 [5] J.S.Kim, "A 0.18- μ m CMOS SoC of a front-end hardware platform for DVD-multi recorders," *IEEE International Conference on Consumer Electronics*, pp.53-54, Jan.2005.
 [6] H.S.Park et al., "Simplified error generation scheme for LMS adaptation of PRML channel," *Proc. Satellite ISOM 2000*, pp.70-71, Sep. 2000.
 [7] H.Kobayashi et al., "Effects of limit equalizer in Blu-ray Disc format," *IEEE Trans. on Consumer Electronics*, pp.1141-1147, Nov. 2003.

저 자 소 개



최 광 석(정회원)

1987년 부산대학교 전자공학과 학사 졸업.

1989년 부산대학교 전자공학과 석사 졸업.

2002년 고려대학교 전자공학과 박사 졸업.

1989년-2006년 삼성전자 DM연구소 수석연구원
 2007년 현재 조선대학교 정보통신공학부 교수
 <주관심분야 : 통신 및 디지털 미디어 SOC설계>