

논문 2007-44SD-6-3

공급 전압 변화에 둔감한 Gbps급 저전력 LVDS I/O 회로

(Power Supply-Insensitive Gbps Low Power LVDS I/O Circuits)

김 재 곤*, 김 삼 동**, 황 인 석**

(Jaegon Kim, Samdong Kim, and Inseok Hwang)

요 약

본 논문에서는 공급전압 변화에 둔감한 Gbps급 저전력 LVDS I/O회로를 설계하였다. 제안된 LVDS I/O는 1.8 V, 0.18 μm TSMC 공정을 이용하여 설계, 시뮬레이션 및 검증하였다. 설계된 LVDS I/O회로는 송신단과 수신단을 포함한다. 제안하는 송신단은 phase splitter와 SC-CMFB를 이용한 출력버퍼로 구성된다. phase splitter의 출력은 공급 전압이 변화하여도 $50 \pm 2\%$ 의 duty cycle을 가지며 $180 \pm 0.2^\circ$ 의 위상차를 가진다. 출력 버퍼는 SC-CMFB를 이용하여 허용 가능한 V_{CM} 전압 값인 $1.2 \pm 0.1 V$ 를 유지하도록 설계하였다. V_{OD} 전압 또한 허용범위에서 최소값인 250 mV를 갖도록 설계하여 저전력 동작이 가능하도록 구성하였다. 수신단은 38 mV의 히스테리시스 전압값을 가지면서 DC오프셋 전압값이 0.2 ~ 2.6 V로 넓은 공통 모드전압 범위가 가능하도록 설계하였고 공급전압 변화에도 rail-to-rail로 복원할 수 있는 기능을 가지고 있다. 또한, 수신단은 1 GHz에서 38.9 dB의 높은 전압 이득을 갖도록 설계하였다.

Abstract

This paper presents power supply-insensitive Gbps low power LVDS I/O circuits. The proposed LVDS I/O has been designed and simulated using 1.8V, 0.18 μm TSMC CMOS process. The LVDS I/O includes transmitter and receiver parts. The transmitter circuits consist of a differential phase splitter and an output stage with the switched capacitor common mode feedback(SC-CMFB). The differential phase splitter generates a pair of differential signals which provides a balanced duty cycle($50 \pm 2\%$) and phase difference($180 \pm 0.2^\circ$) over a wide supply voltage range. Also, V_{OD} voltage is 250 mV which is the smallest value of the permissible V_{OD} range for low power operation. The output buffer maintains the required V_{CM} within the permissible range($1.2 \pm 0.1 V$) due to the SC-CMFB. The receiver covers a wide input DC offset range(0.2 ~ 2.6 V) with 38 mV hysteresis and produces a rail-to-rail output over a wide supply voltage range. Beside, the designed receiver has 38.9 dB gain at 1 GHz, which is higher than conventional receivers

Keywords : LVDS, Phase splitter, SC-CMFB, Rail-to-rail, Power supply-insensitive

I. 서 론

VLSI 테크놀로지의 급속한 발전에 따라 근래의 VLSI

칩들은 수백 MHz로 부터 수 GHz의 클럭 주파수에서 동작하고 있다.^[1,2] 따라서 이러한 VLSI 칩의 높은 성능을 충분히 활용하기 위하여서는 칩과 칩 간 모듈과 모듈 간, 시스템과 시스템 간 송·수신 신호의 대역폭 향상이 요구되고 있다. 하지만, 기존의 unterminated, full-swing CMOS I/O의 경우 ring-up 현상에 기인한 신호의 지연 및 왜곡현상, 송·수신단 양 끝에서의 반사잡음 및 인접 전송로와의 누화잡음 등에 의해 수백 Mbps의 고속 신호의 송·수신이 불가능하고 또한 큰 swing폭에 기인한 EMI(Electro-Magnetic-Interference) / EMC(Electro-Magnetic Compatibility) 문제와 높은 소비전력 문제가

* 학생회원, 신도리코(주) 연구소
(R&D Center, Sindoricoh Inc.)

** 평생회원, 동국대학교 전자공학과
(Dept. of Electronics Engineering, Dongguk University)

※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터
를 통한 한국 과학 재단의 우수 연구센터 지원금에
의하여 수행되었습니다.

접수일자: 2007년1월2일, 수정완료일: 2007년5월16일

심각해짐에 따라 위의 문제들을 해결할 수 있는 새로운 구조의 I/O구조가 필요하게 되었다^[3]. 따라서 SSTL, RAMBUS™ channel, LVDS(Low-Voltage Differential Signaling) 등의 새로운 I/O가 제안되고 상용화 되었다.^[4,5,6]

본 논문에서는 노이즈에 의해 공급전압이 변하더라도 Gbps급에서 IEEE 1596.3 표준^[6]에서 규정한 LVDS 전기적 특성을 만족하면서 저전력, 고속 동작이 가능한 LVDS I/O 회로를 제안하고 TSMC 0.18 μm CMOS 공정 기술을 이용하여 시뮬레이션으로 검증하였다. 본 논문에서 제안하는 새로운 형태의 phase splitter는 안정된 duty cycle과 180°의 위상차를 가지는 두 개의 신호를 출력할 수 있으며, 송신단의 출력버퍼에서 공급 전압이 변하더라도 일정한 전류(2.5 mA)와 차동 출력의 DC 오프셋 전압(1.2 V)을 유지하여 안정적인 데이터 전송이 가능하다. 제안하는 수신단은 넓은 공통모드 입력 전압범위와 노이즈 마진을 가지고 있어 공급전압 변동에 상관없이 100 mV의 작은 차동 전압을 입력으로 수신하여도 rail-to-rail의 풀 스윙할 수 있는 데이터 복원 기능을 갖추고 있다.

본 논문의 II장에서는 제안하는 LVDS 송·수신 회로를 구현하고 분석한다. III장에서는 설계된 LVDS I/O의 시뮬레이션 결과와 성능을 분석하였고 IV장에서는 결론을 맺는다.

II. 제안하는 LVDS 송수신 회로

1. LVDS 송·수신 회로의 구성

LVDS의 송·수신 회로의 세부 구성을 설명하기 위해 <그림 1>에 제안하는 LVDS 송·수신 회로의 구성을 도시하였다.

그림에서 (1)의 LVDS 송신단 회로는 디지털 데이터

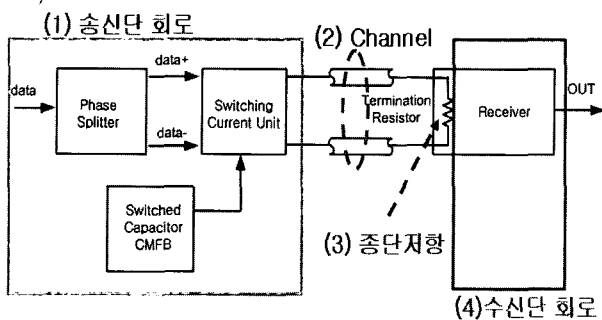


그림 1. 제안하는 LVDS 전송 시스템 구성
Fig. 1. The block diagram of the proposed LVDS I/O.

처리부로부터 CMOS 로직 호환 레벨의 직렬 데이터를 입력으로 받아 ANSI TIA/ EIA-644 LVDS의 신호전송 규약을 만족하는 신호 레벨로 변환하여 수신부로 해당 차동 신호를 전송하는 역할을 한다. (2)부분은 LVDS 신호가 송신단 출력 회로로부터 수신 회로로 전송되는 연결 전송선을 나타내고 있으며, PCB 선로 및 케이블 등이 이에 해당한다. (3)부분은 송신단 회로의 LVDS 구동 회로로부터 전송되는 차동 전류 신호의 전류 회귀 경로(current loop) 형성 및 임피던스 정합을 위한 종단 저항 역할을 한다. (4) 부분은 수신부의 LVDS 수신 회로로서 송신단 출력 회로로부터 전송된 LVDS 호환 신호 레벨로부터 CMOS 로직 호환 레벨을 복원하는 기능을 한다.

2. LVDS 송신단 회로

가. Phase splitter 설계

기존의 phase splitter는 feedback inductor 와 capacitor를 사용하여 phase delay를 최소화 한다. 이러한 LC 네트워크를 사용한 회로는 요구되는 components를 제작하는 데 많은 어려움과 비용이 든다. 또한 공급전압의 변화에 따라 phase difference가 $180 \pm 3^\circ$ 이상의 에러가 있는 단점이 있다.^[7]

본 논문에서 제안하는 그림 2의 phase splitter는 인버터 체인의 구조로 설계되었다. 180°의 위상차를 만들기 위해 인버터 단수를 다르게 하였다.

하지만, 이로 인해 생기는 지연 시간차 때문에 data+ 와 data-의 출력이 송신단 출력 회로에 delay로 작용한

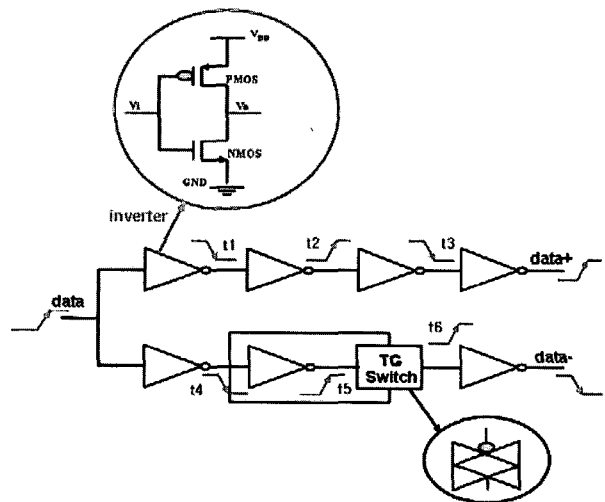


그림 2. 제안하는 phase splitter 구조
Fig. 2. The architecture of the proposed phase splitter.

다. 이러한 지연(pull-up 및 pull-down)시간을 보상하기 위하여 TG(Transmission Gate) switch를 사용하였다. 입력 파형(data)을 인가했을 때 TG 스위치가 없다면 data+와 data-에 delay가 없기 위해서는 $t_4+t_5=t_1+t_2+t_3$ 의 조건을 만족해야 한다. 하지만 인버터의 MOS 사이즈 조절로는 불가능하기 때문에 그림 2와 같이 TG스위치로 delay를 조절하여 $t_1+t_2+t_3=t_4+t_5+t_6$ 를 만족하도록 설계하였다. 제안된 phase splitter는 인버터 체인 형태로 구성하였기 때문에 전력소모가 21.1 nW로 훨씬 낮아지는 이점이 있다. 또한 공급전압 변화에 무관하게 VSS~VDD까지 full-swing이 가능하고 $50 \pm 2\%$ 미만의 duty cycle과 $180 \pm 0.2^\circ$ 미만의 위상차를 보여준다.

나. 송신단 출력 버퍼 설계

고속 동작이 가능하기 위한 LVDS 출력 버퍼 설계 시 문제가 되는 파라미터들로는 차동 전류 출력 신호에 따른 종단 저항에 인가되는 전압 스윙 폭을 나타내는 V_{OD} 와 차동 출력 전압의 DC 오프셋 전압(공통모드 전압)인 V_{CM} 이다. 수신단의 입력부에서 충분한 전압 마진을 갖는 신호를 입력으로 받기 위해, 출력 버퍼에는 표준을 만족하는 전류원이 필요하다. 즉, LVDS 출력 버퍼는 공급전압이 변화하여도 1.2 V의 일정한 공통모드 전압과 300 mV의 전압 스윙폭을 유지해야 한다. 이런 일정한 V_{CM} 전압을 유지하기 위해 CMFB회로를 사용한다. 하지만 기존의 CMFB회로는 약 1.2 V의 V_{CM} 전압을 유지하지만 몇 가지 단점이 있다. 첫 번째로 R_c 와 C_c 의 pole-zero compensation을 해줘야 한다. 두 번째로 V_{CM} 값을 감지하고 송신단과 전송선로의 임피던스 정합에 영향을 미치지 않으며 전류가 흐르지 않도록 하기 위해 큰 저항(100K Ω)을 사용하였다. 이는 chip 제작 시 면적의 증가를 가져오는 단점이 있다. 그리고 항상 20mA 이상의 정전류를 소비한다.^[8] 따라서 본 논문에서는 고속 저전력 LVDS 송신단을 설계하기 위해 SC-CMFB (Switched Capacitor Common-Mode FeedBack)을 사용하여 일정한 공통모드 전압을 유지하면서 300 mV이하의 전압 스윙을 갖는 회로를 설계하였다.

<그림 3>은 제안된 LVDS 송신단 출력버퍼를 나타낸다. 기존의 송신단 출력버퍼에 compensation R_c 와 C_c 를 제거하고 큰 저항을 사용하는 단점을 보완하기 위해 SC-CMFB를 사용하여 설계하였다. 또한, I_{REF} 를 최소한의 전류원으로 사용하여 V_{OD} 전압을 250 mV로 유지함으로써 저전력 동작이 가능하도록 설계하였다.

<그림 3(a)>는 전류원 역할을 하는 M1, M7과 스위

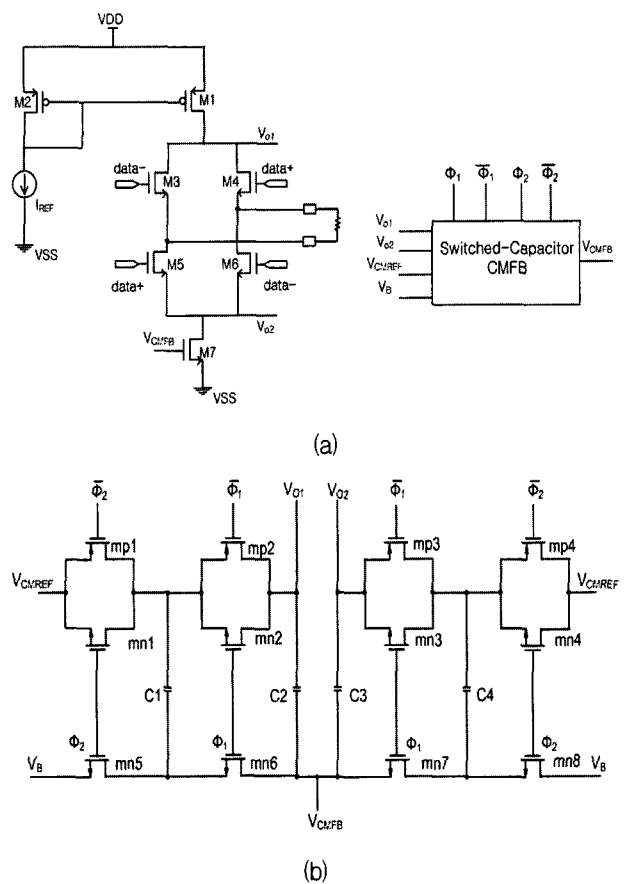


그림 3. (a) SC-CMFB를 적용한 송신단 출력버퍼 (b) SC-CMFB 회로
 Fig. 3. (a) The transmitter output buffer using the SC-CMFB delay cell. (b) The circuit of the SC-CMFB.

치 M3~M6에 의해 구성되는 일반적인 LVDS 출력 버퍼이다. 차동 출력 포트인 V_{O1} 과 V_{O2} 에서의 출력 임피던스는 이상적으로 무한대이므로 V_{O1} 및 V_{O2} 에서의 전압 값은 불안정해지고, 따라서 차동 출력 신호의 DC 오프셋 전압 값 또한 불안정하다. 따라서 V_{O1} 과 V_{O2} 사이의 DC 오프셋 전압값을 설정하기 위해 제안한 회로에서는 SC-CMFB회로를 적용하여 설계하였다. <그림 3(b)>에서 설계된 CMFB회로는 출력단의 오프셋 전압을 바이어스 전압에 귀환 시켜 오프셋을 제거하는 부채환 방식으로 구조가 간단하며 전력 소모와 주파수 제약이 없어 동작이 안정적인 장점이 있다. 또한, 클럭 피드스투의 영향을 최소화하기 위해서 CMOS 스위치를 사용하였다. 커패시터 C2와 C3은 차동 입력 전압인 V_{O1} 과 V_{O2} 를 평균하는 역할을 한다. C1과 C4는 DC 입력 전압인 ($V_B - V_{CMREF}$)을 C2와 C3에 전달하는 역할을 한다. 여기서 V_B 는 LVDS 출력 버퍼에서 전류원의 게이트에 인가하는 V_{CMFB} 의 참고 전압이고, V_{CMREF} 는

SC-CMFB 동작에 의해 차동 출력 전압의 DC 오프셋 전압이 지향하는 기준 전압이다. Φ_1 및 Φ_2 는 스위치의 on 시간이 서로 겹치지 않는 non-overlapping 디지털 클럭 입력이다.

$$V_{CMFB}(t) = V_B - V_{CMREF} + \frac{1}{2}(V_{O1}(t) + V_{O2}(t)) \quad (1)$$

when $\Phi_1 = \Phi_2 = 1$

식 (1)에서 정상 상태에 도달한 시각에는 $V_{CMFB}(t)$ 의 값은 DC 오프셋 전압 값인 $(V_{O1} + V_{O2}) / 2$ 에 대해 선형적으로 변하고 CMFB 회로의 소신호 전압이득인 $\partial V_{CMFB} / \partial \{(V_{O1} + V_{O2}) / 2\}$ 는 +1이 되어 공통모드 피드백(CMFB)회로로 동작하게 된다.^[9]

3. LVDS 수신단 회로

LVDS 수신단은 전송선의 종단 저항에서 차동 신호로 변환된 신호의 차이(V_{OD})를 감지하여 CMOS 로직 호환 레벨의 데이터로 복원시키는 역할을 한다. 이 경우에 송신단과 수신단 사이의 전송 선로에 인가된 잡음 성분들과 송·수신단간의 공통 모드 임피던스의 부정합에 의한 반사 잡음 등에 의해 공통 모드 슈프트 현상이 일어난다. 그렇기 때문에 LVDS 수신단의 조건은 넓은 입력 공통 모드 범위($0.2V \leq V_{CM} \leq 2.6V$)를 가져야 하며, 또한 낮은 차동 신호의 차이($|V_{OD}| \geq 0.1V$)를 감지할 수 있어야 하며 노이즈에 의한 공급전압의 변동 시에도 rail-to-rail로 신호를 복원할 수 있어야 한다.

본 논문에서는 위의 LVDS 수신단의 조건을 만족시키기 위해 <그림 4>에 보인 것처럼 rail-to-rail common-mode가 가능한 구조로 설계하였다.

첫 번째 단은 넓은 입력 공통 모드 범위를 확보하기 위해 입력이 NMOS와 PMOS 쌍 모두에 물리게 설계되어 낮은 common-mode의 신호의 경우 PMOS 입력단에 의해서 높은 common-mode의 신호의 경우 NMOS

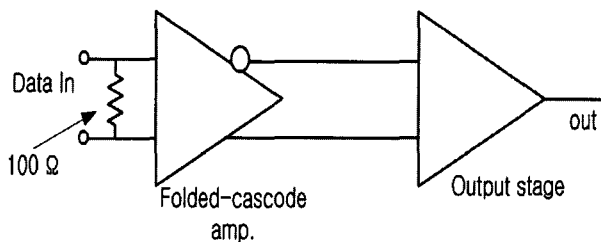


그림 4. 제안하는 LVDS 수신단의 블록도
Fig. 4. The block diagram of the proposed LVDS receiver.

입력단에 의해서 동작하는 rail-to-rail 완전 차동 folded cascode amp.를 사용하였다. 두 번째 단은 작은 크기의 입력 신호가 인가되더라도 수신단에서 충분히 안정된 데이터를 복원 가능하도록 output stage를 설계하였다.

가. 히스테리시스 특성을 갖는 folded cascode amp. 설계

LVDS 수신단의 첫째단은 감지된 신호에 포함된 노이즈에 의한 채터링 발생을 방지하기 위한 히스테리시스를 갖는 슈미트 트리거 회로가 필요하다. 이를 ANSI/TIA/EIA-644에서 25 mV 이상으로 규정하고 있다.^[5] <그림 5>는 히스테리시스 특성을 갖는 PMOS 입력 amp. 이다.

M1과 M2의 차동 증폭기와 M3~M6의 schmitt-trigger 회로로 구성되어 있다. 동작원리는 V_{in1} 이 그라운드에 접지되어 있고, V_{in2} 에 신호가 가해지는 경우 M2는 동작하지 않고 M1과 M3에 전체 전류가 흐르게 된다. 이 때 M2, M4, M5, M6에 흐르는 전류는 '0'에 근접하고, 출력 V_{out1} 은 V_{out2} 가 '0'일 동안 전원 전압에 근접한 전압을 출력하게 된다. 이 상태에서 V_{in2} 가 감소하게 되면 M2는 동작 상태에 이르게 되어 M2를 통해 흐르는 전류가 M5를 통해 흐르는 전류와 같아 질 때 까지 계속되고, 이 점을 지나면 M1은 동작하지 않고 모든 전류는 M2를 통해 흐르게 된다. M1과 M2의 동작상태가 바뀌는 상태에서 M1과 M2에 흐르는 전류와 각 MOS의 W, L을 사용하여 양의 트리거 전압(식(3))과 음의 트리거 전압(식 (4))을 나타낼 수 있다.

$$i_1 + i_2 = i_0 \quad (2)$$

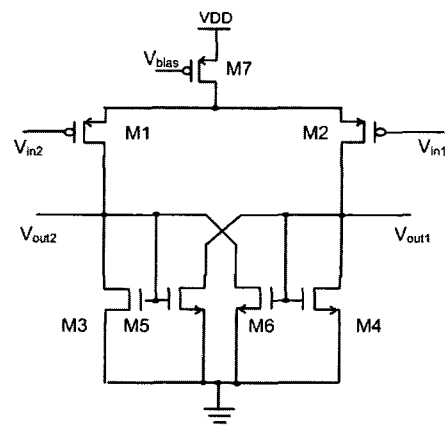


그림 5. 히스테리시스 특성을 갖는 PMOS입력 amp.
Fig. 5. PMOS input amp. with hysteresis.

$$V_{trig+} = \sqrt{\frac{i_o}{k'(W/L)_1}} \frac{\sqrt{\alpha-1}}{\sqrt{1+\alpha}} \% \quad (3)$$

$$V_{trig-} = \sqrt{\frac{i_o}{k'(W/L)_1}} \frac{\sqrt{\alpha-1}}{\sqrt{1+\alpha}} \% \% \quad (4)$$

여기서, $\alpha = \frac{(W/L)_5}{(W/L)_3} = \frac{(W/L)_6}{(W/L)_4}$ 이다.

위의 식(3) 과 식(4) 통해 다음과 같이 히스테리시스 전압 V_{hyst} 을 구할 수 있다.

$$V_{hyst} = V_{trig+} - V_{trig-} = 2\sqrt{\frac{i_o}{k'(W/L)_1}} \frac{\sqrt{\alpha-1}}{\sqrt{1+\alpha}} \quad (5)$$

<그림 5>의 수신단은 식(5)의 히스테리시스 특성을 갖기 때문에 노이즈에 의한 영향은 줄어드나 공통 모드 입력 전압 범위가 제한을 받는다. 즉, PMOS입력 amp.로만 구성되어있기 때문에 공통 모드 입력 전압 범위가 V_{SS} 쪽에서는 제한을 받지 않지만 V_{DD} 쪽에서 제한을 받는다. 그러므로 본 논문에서 제안된 첫째단의 amp.는 히스테리시스 특성을 가지면서 $V_{SS} \sim V_{DD}$ 까지의 넓은 공통 모드 입력 전압 범위를 갖도록 설계 되었다. 또한, 공급전압의 변동에도 안정적으로 동작함을 고려하여 설계 하였다.

<그림 6>은 제안하는 LVDS 수신단 회로이다. 앞에서 설명한 바와 같이 첫째단 amp.는 넓은 공통 모드 입력 전압 범위를 확보하기 위해 PMOS 입력 차동 증폭기(M1~M9)와 NMOS입력 차동 증폭기(M10~M16)를 병렬로 연결한 folded cascode 형태의 증폭기로 구성하였다. 동작 원리를 살펴보기 위해서 V_{CM} 전압을 식(6)과 같이 세 부분으로 구분할 수 있다.

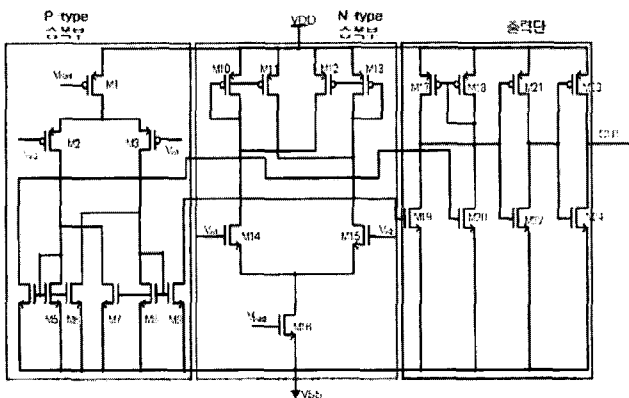


그림 6. 제안하는 LVDS 수신단 회로
Fig. 6. The circuit of proposed LVDS receiver.

$$(a) V_{CM} < V_{THN} + V_{DSAT,mn16}$$

$$(b) V_{CM} > V_{DD} - V_{DSAT,mp1} - |V_{THP}| \quad (6)$$

(c) other than (a) and (b)

V_{THP}, V_{THN} 은 각각 PMOS와 NMOS의 문턱 전압을 나타내고, $V_{DSAT,mn16}$ 및 $V_{DSAT,mp1}$ 은 각각 M1과 M16이 전류 공급원으로 동작하기 위한 드레인-소스간 최소 전압을 의미한다. (a)의 조건에서는 NMOS 입력 증폭부는 동작하지 않고 PMOS 입력부의 증폭기가 동작한다. 반대로 (b)의 경우에는 NMOS 입력부의 증폭기만 동작하게 된다. (c)의 경우는 NMOS와 PMOS 입력부의 증폭기가 모두 동작하게 되므로 결국 제한한 회로는 $V_{SS} \sim V_{DD}$ 까지의 넓은 입력 공통모드 전압 범위를 가지며 안정적으로 동작하게 된다.

나. Output stage 설계

<그림 6>에서 볼 수 있듯이 설계된 출력단은 첫째단에서의 차동 출력 신호를 단일 출력 신호로 변환하는 역할을 하는 일반적인 전류 거울 버퍼(M17~M20)와 노이즈에 의해 공급 전압이 변하더라도 수신단이 rail-to-rail로 풀스윙이 가능하도록 하기 위한 회로(M21~M24)로 구성된다. 표. 1에 제안한 LVDS 수신단이 만족시키는 사양을 나타내었다.

표 1. 제안된 LVDS 수신단의 사양

Table 1. The specification of the proposed LVDS receiver.

Parameters		Value
전력소모	P_D	3.3 mW
공급전압	V_{DD}	2~3.3 V
	V_{SS}	0~0.5 V
소신호 전압이득 (@1 GHz)	A_{dv}	38.9 dB

III. 시뮬레이션 결과

제안하는 LVDS 송신단과 수신단 회로 설계는 0.18 μm CMOS 공정 파라미터로 설계하였고, 회로를 검증하기 위하여 HSPICE 시뮬레이션 툴을 이용하여 V_{DD} 와

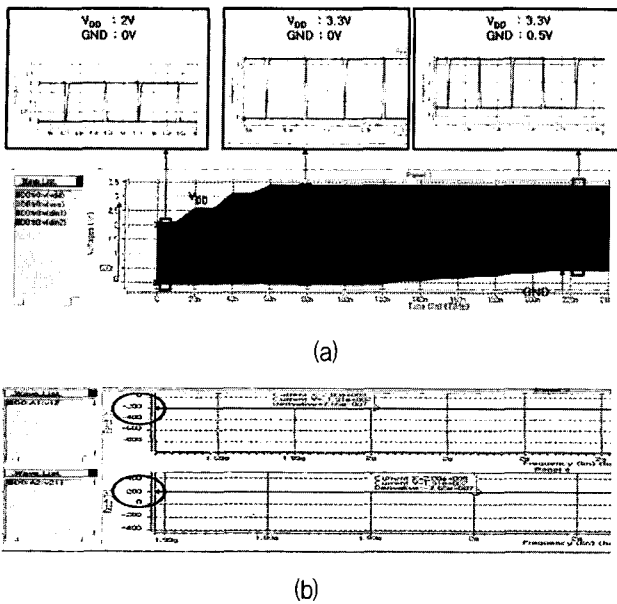


그림 7. (a) 공급전압 변화에 따른 phase splitter 출력파형
(b) 위상차
Fig. 7. (a) The phase splitter waveform over a supply voltage variation.
(b) The phase difference.

V_{SS} 의 공급전압 변화에 따른 정상적인 동작여부를 확인하였다. 시뮬레이션을 위해 전송 선로는 마이크로 스트립라인 형태의 w-model을 사용하여 HSPICE로 모델링하였다.

<그림 7>은 공급전압 변동 시 제안하는 phase splitter의 출력파형과 위상차의 결과를 보여준다. <그림 7(a)>에서 V_{DD} 는 2~3.3 V까지 V_{SS} 는 0~0.5 V까지 변화하여도 두 출력파형은 $V_{SS} \sim V_{DD}$ 까지 풀스윙을 하고 duty cycle도 $50 \pm 2\%$ 미만으로 유지됨을 보여준다. 또한 <그림 7(b)>에서 위상차는 $180 \pm 0.2^\circ$ 미만으로 유지되고 있으므로 안정적으로 동작함을 알 수 있다.

<그림 8>은 DC 옵셋 전압인 V_{CM} 과 종단저항 양단에 걸리는 전압 V_{OD} 를 나타낸다. V_{CM} 전압은 100ns의 settling time을 가지면서 약 $1.2 \pm 0.1 V$ 정도로 유지되고 있다. V_{OD} 는 LVDS 표준에서 정한 최소 전압인 250 mV로 스윙을 함으로써 I_{REF} 는 2.5 mA의 일정한 전류가 흐름을 확인할 수 있다. 제안하는 송신단 출력 버퍼에서 최소의 전류원과 SC-CMFB를 적용함으로써 4.21 mW로 전력소모를 줄일 수 있다. 이러한 결과는 기존의 송신단 회로들에 비해 저전력 소모 면에서 우수한 특성을 보여 주고 있다.^[10]

<그림 9(a)>는 V_{DD} 는 3.3 V, V_{OD} 는 0.1 V의 조건일 때 V_{CM} 전압을 0.2~2.6V까지 변화시킨 출력 파형이다.

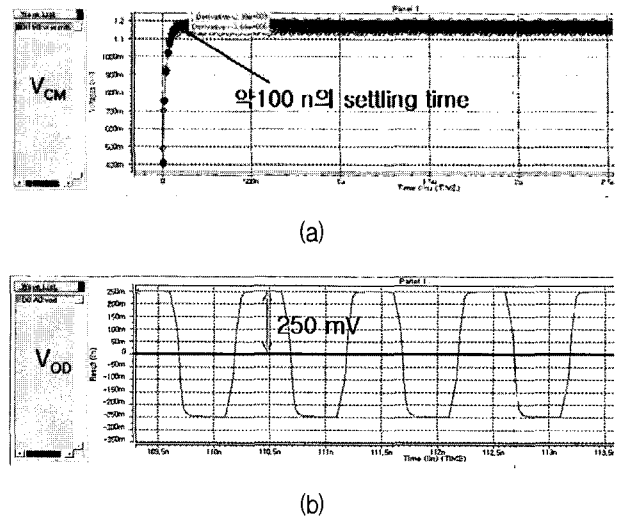


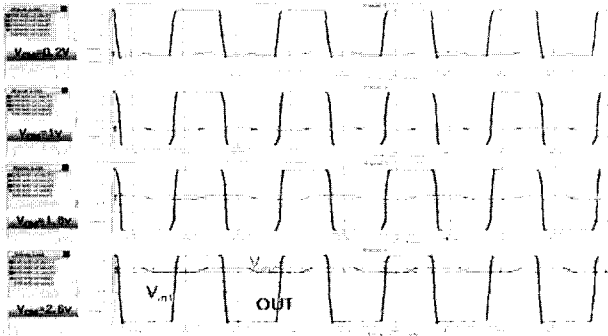
그림 8. (a) 차동 출력 신호의 DC 옵셋 전압(V_{CM})
(b) 차동 출력 신호의 진폭(V_{OD})
Fig. 8. (a) V_{CM} voltage.
(b) V_{OD} voltage.

LVDS 표준^[6]에서 정한 V_{CM} 범위 안에 어떠한 전압이 들어와도 rail-to-rail로 복원됨을 알 수 있다. <그림 9(b)>는 V_{DD} 는 2~3.3 V, V_{SS} 는 0~0.5 V, V_{OD} 는 0.1 V, V_{CM} 은 1.2 V인 조건에서 출력파형을 본 결과이다. 공급 전압의 변화에 상관없이 일정한 duty cycle을 유지하며 rail-to-rail로 풀 스윙을 함으로써 제안된 LVDS 수신단이 안정적으로 동작함을 확인하였다.

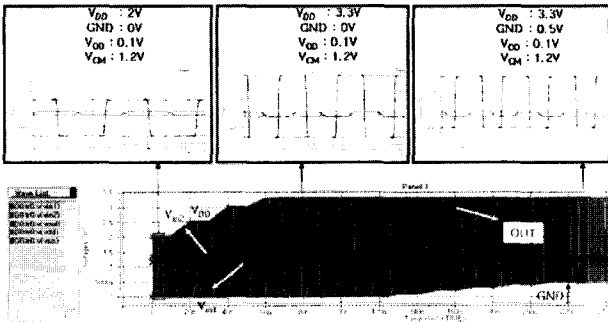
<그림 10>은 기존의 VCDA(Very wide Common mode range Differential Amplifier)^[11]와 제안하는 수신단의 이득을 살펴본 파형이다. 그림에서 알 수 있듯이 1GHz(2Gbps)에서 제안하는 수신단이 기존의 수신단에 비하여 약 15.4dB이상의 높은 이득을 가지고 있음을 확인할 수 있다.

<그림 11>은 LVDS 수신단의 히스테리시스 전압을 보기 위해 슈미트 트리거 DC 특성 곡선을 나타낸 파형이다. 그림에서 보는 바와 같이 'low'에서 'high'로 스위칭 시 스위칭 전압은 915 mV이며, 'high'에서 'low'로 스위칭 시 스위칭 전압은 877 mV로서 히스테리시스 전압은 약 38 mV임을 확인할 수 있다. 이는 LVDS 표준에서^[6] 정한 25 mV이상을 만족함을 알 수 있다.

<그림 12>는 1GHz의 pulse 신호를 인가했을 때 설계된 LVDS I/O 전체 회로의 시뮬레이션 결과이다. 시뮬레이션의 조건은 V_{DD} 는 1.8 V, GND는 0 V 인가 후 입력 1GHz의 pulse 신호가 복원되는지의 정상적인 동작여부를 확인하였다. (a) 파형은 1GHz의 송신단의 데이터 입력 신호이고 (b) 파형은 phase splitter의 출력

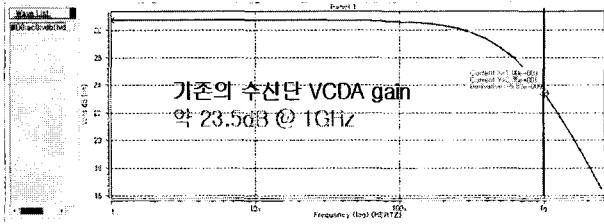


(a)

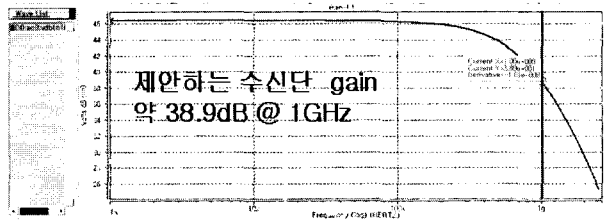


(b)

그림 9. (a) V_{CM} 에 변화에 따른 LVDS 수신단 출력파형
 (b) 공급전압 변화에 따른 LVDS 수신단 출력파형
 Fig. 9. (a) The receiver waveform over a V_{CM} voltage variation.
 (b) The receiver waveform over a supply voltage variation.



(a)



(b)

그림 10. (a) 기존의 수신단 VCDA 이득
 (b) 제안하는 수신단 이득
 Fig. 10. (a) The gain of conventional receiver VCDA.
 (b) The gain of proposed receiver.

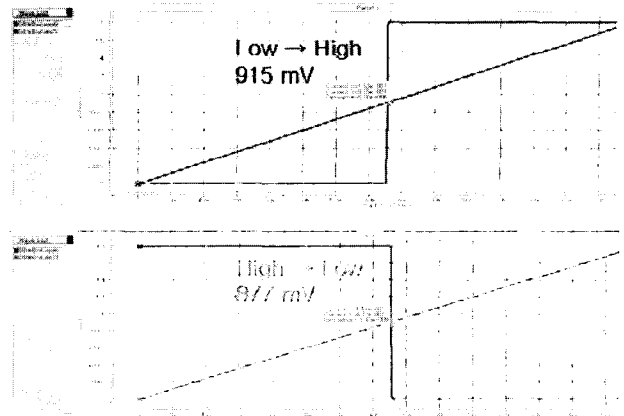


그림 11. 슈미트 트리거 DC 특성 곡선
 Fig. 11. DC characteristics of schmitt trigger.

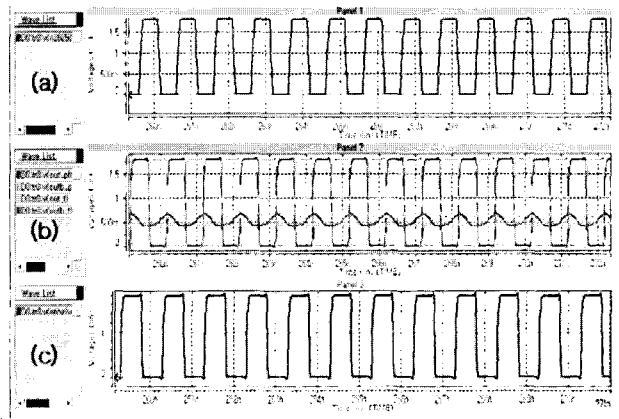


그림 12. 제안하는 LVDS I/O 전체회로 시뮬레이션 결과
 Fig. 12. The output waveform of the proposed LVDS I/O.

(data+, data-)신호와 종단저항을 통과한 LVDS신호인 V_{OD} 전압을 나타낸다. (c) 파형은 LVDS I/O 수신단의 output(OUT) 단의 신호로써 (a) 파형과 같은 출력 파형이 복원됨을 확인할 수 있다. 결과적으로 제안된 LVDS I/O의 전체 회로는 2Gbps 속도를 갖는 data 신호를 왜곡 없이 복원해 낼 수 있고 Gbps급에서 안정적으로 동작함을 확인할 수 있다.

IV. 결 론

본 논문에서는 TSMC 0.18 μm CMOS 공정을 사용하여 노이즈에 의해 공급전압이 변화하여도 LVDS 표준^[6]을 만족하며 저전력으로 Gbps급에서도 안정적으로 동작이 가능한 LVDS I/O 회로를 설계하였다. 제안된 phase splitter는 인버터 체인 구조로 설계하여 공급전압 변동 시에도 $V_{SS} \sim V_{DD}$ 까지 풀 스윙을 할 수 있고 $50 \pm 2\%$ 미만의 안정된 duty cycle과 $180 \pm 0.2^\circ$ 미만의

위상차를 유지하였다. 송신단 출력버퍼는 SC-CMFB를 사용하여 V_{CM} 전압이 $1.2 \pm 0.1 V$ 로 유지되며 V_{OD} 전압 또한 250 mV로 스윙하므로 2.5 mA의 일정한 전류가 유지됨으로 기존의 300 mV로 스윙하는 송신단 회로보다 저전력 동작이 가능하도록 설계하였다. 수신단은 folded cascode 증폭기 형태로 넓은 공통모드 입력 전압 범위(0.2~2.6 V)를 가질 뿐만 아니라 공급전압이 변하더라도 rail-to-rail로 출력전압이 풀 스윙으로 복원되는 특성을 보여 주었다. 또한, 38 mV의 히스테리시스 전압과 1 GHz(2 Gbps)에서 38.9 dB의 높은 이득을 가지므로 LVDS 표준^[6]을 만족하면서 Gbps급의 속도를 갖는 수신단을 설계하였다. 제안된 LVDS I/O의 전체회로 시뮬레이션 결과 1 GHz(2 Gbps)의 송신단 입력신호를 수신단에서 안정적으로 복원함을 확인하였다.

따라서 본 논문에 제안된 LVDS I/O 회로는 데이터 양이 많이 요구되는 컴퓨터 시스템, 휴대용 기기, LCD 모듈 및 네트워크 등 다양한 분야에 응용이 가능하다. 특히 높은 noise margin이 요구되는 시스템에서 보다 효율적으로 활용될 것으로 기대된다.

참 고 문 헌

- [1] K. Suzuki, et al., "A 500MHz 32b 0.4 μ m CMOS RISC Processor LSI," ISSCC Digest of Technical Papers, pp. 214-215, Feb., 1994.
- [2] N. A. Kurb, et al., "Multi-GHz Clocking Scheme for Intel® Pentium®4 Microprocessor," ISSCC Digest of Technical Papers, pp. 404-405, Feb., 2001.
- [3] W. J. Dally and J. Poulton, Digital System Engineering, Cambridge University Press, 1998.
- [4] Y. Konishi, et al., "Interface Technologies for Memories and ASICs-Review and Future Direction," IEICE Trans. on Electronics, vol. E82-C, pp. 438-446, Mar., 1999.
- [5] Electrical characteristics of low-voltage differential signaling(LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [6] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, July 1996.
- [7] Huainan Ma, Sher Jiun Fang, Hiroshi Nakamura, "Novel Active Differential Phase Splitters in RFIC for Wireless Applications," in IEEE RFIC Symp. Dig. Papers, pp. 51-54, 1998.
- [8] Gunjan Mandal, Pradip Mandal "Low Power LVDS Transmitter with Low Common mode Variation For 1GB/s-per Pin Operation," ISCAS, vol. 1 pp. I- 1120-1123, May, 2004.
- [9] 박홍준, CMOS 아날로그 집적회로 설계(하), 시그마 프레스, pp.783-789, 1999.
- [10] Hwang-Cherng Chow and Wen-Wann Sheen, "Low power LVDS circuit for serial data communications," ISPACS Proceedings, pp. 293-296, Dec. 2005.
- [11] Jaeseo Lee, Jae-Won Lim, Sung-Jun Song, Sung-Sik Song, Wang-joo Lee, Hoi-Jun Yoo, "Design and implementation of CMOS LVDS 2.5 Gb/s transmitter and 1.3 Gb/s receiver for optical interconnections," IEEE ISCAS, vol. 4, pp.702-705, May, 2001.

저 자 소 개



김 재 곤(학생회원)
 2005년 2월 동국대학교
 전자공학과 (공학사),
 2007년 2월 동국대학교
 전자공학과 (공학석사),
 2007년 3월~현재
 신도리코(주) 연구소
 <주관심분야 : 집적회로 설계>



김 삼 동(평생회원)
 1983년 서울대학교 금속공학과
 (공학사),
 1986년 서울대학교 금속공학과
 (공학석사),
 1992년 Department of Materials
 Science & Engineering,
 Stanford University
 (공학박사),

1994년 Stanford University, Solid State
 Electronic Lab., Post-Doctorate,
 1999년 현대 전자 메모리 선행기술 연구소 박막
 연구실 책임 연구원,
 1999년~현재 동국대학교 전자공학과 부교수
 <주관심분야 : 미소고체전자 현상 분석>

황 인 석(평생회원)-교신저자
 1972년 서울대학교 전자공학과 (공학사),
 1978년 U. of Wisconsin-Madison 전자공학
 (제어) (공학석사),
 1982년 U. of Wisconsin-Madison 전자공학
 (컴퓨터)(공학박사),
 1985년 Dept. of Electrical Engr.,
 U. of Minnesota, Minneapolis, 조교수,
 1989년 Signal Processor & VLSI Design Labs.,
 AT&T Bell Labs, MTS,
 1999년 현대전자산업(주) 반도체연구소장,
 전무이사
 2000년~현재 동국대학교 전자공학과 교수
 <주관심분야 : 집적회로 설계, 고속컴퓨터 및 통
 신용VLSI>